UNIVERSIDAD TECNICA FEDERICO SANTA MARIA

Repositorio Digital USM **https://repositorio.usm.cl**

Tesis USM TESIS de Pregrado de acceso ABIERTO

2021-07

SISTEMA DE ADQUISICION DE DATOS PARA DETECTORES DE MUONES

GONZALEZ CABEZAS, JAIRO ESTEBAN

https://hdl.handle.net/11673/50598

Repositorio Digital USM, UNIVERSIDAD TECNICA FEDERICO SANTA MARIA

UNIVERSIDAD TÉCNICA FEDERICO SANTA MARÍA

DEPARTAMENTO DE ELECTRÓNICA

VALPARAÍSO-CHILE

SISTEMA DE ADQUISICIÓN DE DATOS PARA DETECTORES DE MUONES

JAIRO ESTEBAN GONZÁLEZ CABEZAS

MEMORIA DE TITULACIÓN PARA OPTAR AL TÍTULO DE INGENIERO CIVIL ELECTRÓNICO

PROFESOR GUÍA
DR. GONZALO CARVAJAL

PROFESOR CO-REFERENTE
DR. HAYK HAKOBYAN

Julio, 2021

AGRADECIMIENTOS

Primero que todo, agradezco a CCTVal por la oportunidad de trabajar en este proyecto y por darme el apoyo, materiales, conocimiento, experiencia y financiamiento a lo largo de todo este período.

A a Rimsky Rojas, quien fue mi supervisor directo en CCTVal y me guió en el desarrollo de esta memoria de titulación. Gracias por la paciencia, dedicación y apoyo, así como también por toda la experiencia que gané trabajando a su lado.

A Hayk Hakobyan, profesor de la Universidad e investigador en CCTVal, por su apoyo incondicional tanto en lo académico como en lo emocional, por las oportunidades brindadas a lo largo del tiempo y por ayudarme a salir adelante con este proyecto cuando pensé que yo no sería capaz de lograrlo.

A Gonzalo Carvajal, mi profesor guía, por su paciencia, disposición y enseñanzas.

A mi padre, quien me motivó a estudiar electrónica, a seguir mis propios proyectos, me apoyó en todas mis decisiones y me acompañó a la distancia en cada momento. Gracias a él tengo la educación y la vida.

A mi madre, por creer en mí día a día, apostando por mi superación y preocupándose sin falta de todo lo posible y lo imposible. Gracias a ella conseguí la perseverancia y los valores que me construyen como persona.

A mis amigos Miguel, Javiera, Melissa, Exequiel, Antuán, Amelia, Darlyn, Guillermo, Dante, Kevin y Benjamín, por alegrarme día a día sin falta a pesar de la distancia, aconsejarme cuando fue necesario y por hacer la etapa de pandemia mucho más amena.

A Eduardo Valdivia, quien me ayudó de manera desinteresada en momentos de desesperación.

Y por sobre todo, a mi pareja Hernán, por acompañarme y apoyarme esta etapa Universitaria, por creer en mi y por ayudarme a salir adelante en los momentos difíciles. Gracias a él logré crecer en lo académico, profesional, y sobretodo en lo emocional. Si soy quien soy hoy, es gracias a su amor incondicional y confianza.

A todos ellos y muchos otros, gracias.

RESUMEN

Los muones son partículas subatómicas originadas por la interacción y decaimiento de otras partículas elementales. Los muones se originan principalmente por radiación cósmica proveniente del espacio exterior y son capaces de penetrar en la atmósfera, incluso llegando a la corteza terrestre y atravesando la materia que encuentran a su paso. Medir la energía de un muon luego de su paso a través de la materia permite conocer la densidad de los materiales atravesados, por lo que la detección de muones es un área de estudio interesante para análisis de terrenos y estructuras.

El "Sistema de adquisición de datos para detectores de muones" nace como un requerimiento del CCTVal (Centro Científico Tecnológico de Valparaíso) en el marco del proyecto "sTGC Minería", cuyo objetivo es realizar tomografías muónicas de terreno minero mediante detectores sTGC. Un detector emite señales eléctricas que representan la posición y la energía asociadas al paso de un muon, por lo que se requiere un sistema de adquisición que capture estas señales y las entregue a un posterior sistema de análisis para la caracterización del muon detectado.

En esta memoria de titulación se desarrolla un sistema de adquisición prototipo que cumple las funciones de muestrear señales digitales provenientes de un detector, discriminar la autenticidad de la detección mediante la lectura de una señal externa de disparo, y enviar la información capturada hacia un computador externo con el fin de almacenar y procesar los datos adquiridos. El sistema de adquisición debe ser capaz de muestrear 16 señales digitales cuyos tiempos de duración están en el orden de los nanosegundos, y debe diseñarse pensando en su replicación y escalamiento para facilitar la conexión de detectores adicionales. El trabajo de diseñar este sistema sienta un precedente importante para CCTVal, por lo que el proceso de desarrollo y los conocimientos adquiridos se documentan conjuntamente en esta memoria y en el repositorio de Git asociado.

Palabras claves: Detectores sTGC, Muones, FPGA, Adquisición de Datos.

ABSTRACT

Muons are subatomic particles originated by the interaction and decay of other particles. Muons originate mainly from cosmic radiation from outer space and penetrate the atmosphere, even reaching the earth's crust and passing through the matter they encounter on their way. Measuring the energy of a muon after passing through matter allows us to know the density of the materials traversed, so the detection of muons is a captivating study area for terrain and structure analysis.

The "Data acquisition system for muon detectors" was born as a requirement of the CCTVal (Centro Científico Tecnológico de Valparaíso) within the framework of the "sTGC Minería" project, whose objective is to carry out muonic tomography of mining land using sTGC detectors. A detector emits electrical signals representing the position and energy associated with the interaction with a muon, which is why an acquisition system is required to capture these signals and deliver them to a subsequent analysis system for the detected muon characterization.

This dissertation describes a prototype acquisition system that fulfills the functions of sampling digital signals from a detector, discriminating the detection accuracy by reading an external trigger signal, and sending the captured information to an external computer to store and process the acquired data. The acquisition system must be capable of sampling 16 digital signals on the order of nanoseconds and must be designed with replication and scaling in mind to facilitate the connection of additional detectors. The designing process of this system sets a valuable precedent for CCTVal, so the development process and the insights gained are jointly documented in this report and the associated Git repository.

Keywords: sTGC Detectors, Muons, FPGA, Data Acquisition.

CONTENIDO

AGRADECIMIENTOS i

RESUMEN iii

ABSTRACT iv

ÍNDICE DE FIGURAS vii

ÍNDICE DE TABLAS x

1. INTRODUCCIÓN 1
- 1.1. Contexto general 1
- 1.2. Motivación 2
- 1.3. Planteamiento del problema 4
- 1.4. Alcances y contribuciones 6
- 1.5. Organización del documento. 8

2. ESTADO DEL ARTE 9
- 2.1. LabPet II 9
- 2.2. 4D PET 11
- 2.3. ATLAS 12
- 2.4. Discusión sobre alternativas existentes 16

3. SISTEMA DE DETECCIÓN 18
- 3.1. Detector de Partículas 18
  - 3.1.1. Estructura general 19
  - 3.1.2. Detector sTGC utilizado 21
  - 3.1.3. Procedimiento de operación y pruebas 22
- 3.2. Interfaz de Lectura 25

3.2.1. Circuito interno de Amplificación, Acondicionamiento y Discriminación 28

4. SISTEMA DE ADQUISICIÓN 30
4.1. Arquitectura propuesta 30
4.1.1. Esquema general del sistema de adquisición propuesto 32
4.1.2. Plataforma de desarrollo utilizada 32
4.1.3. Sistema de adquisición propuesto 34
4.2. Implementación del sistema de adquisición 35
4.2.1. Sampler 38
4.2.2. Event Buffer 42
4.2.3. Event Reader y Comunicación 43
4.2.4. Utilización de recursos en el sistema implementado 44

5. EVALUACIÓN EXPERIMENTAL 46

6. CONCLUSION 53
6.1. Conclusiones 53
6.2. Trabajo futuro 55

A. CONEXIÓN DE SEÑALES LVDS EN FAMILIA DE PRODUCTOS XILINX 7 SERIES 56
A.1. Acerca del estándar LVDS 56
A.2. Interconexión LVDS para hardware Xilinx 7 Series 58
A.3. Descripción de hardware para utilización de puertos LVDS 58

B. CONTROL DE VERSIONES DE PROYECTOS VIVADO CON GIT 60
B.1. Creación de un repositorio Git 60
B.2. Clonación de un repositorio Git 61
B.3. Creación de los archivos y carpetas iniciales 62
B.4. Preparación del proyecto Vivado 63
B.5. Exportar script Tcl 63
B.6. Editar script Tcl 63
B.7. Confirmar y subir los archivos al repositorio remoto 65

REFERENCIAS 66

ÍNDICE DE FIGURAS

1.1. Representación artística de rayos cósmicos y lluvia de partículas subatómicas sobre la corteza terrestre. 3
1.2. Diagrama del experimento ATLAS. CCTVal colabora en la actualización de la zona indicada como "New small Wheel", que contiene detectores sTGC. 4
1.3. Fotografía correspondiente al montaje de detectores sTGC en la New Small Wheel del proyecto ATLAS. 5
1.4. Fotografía de la fabricación de detectores sTGC en laboratorios de CCTVal. Cada una de las placas observadas en la imagen corresponde a capas constitutivas de un detector. 6
1.5. Diagrama del sistema de muongrafía de terreno utilizando un solo detector. 7

2.1. Diagrama de bloques del sistema de adquisición de datos para LabPET II [1]. 10
2.2. Diagrama de bloques del sistema de adquisición de datos para Detector PET 4D [2]. 12
2.3. Layout del experimento ATLAS, donde se indica la posición de la Small Wheel y la Big Wheel [3]. 13
2.4. Diagrama de la interfaz de captura para detectores de muones TGC [4]. Los muones se representan con el símbolo μ. Existen 3 capas de detectores, por lo tanto se observan 3 bloques que incluyen retardos, selección y captura de los pulsos. 14
2.5. Diagrama del sistema de disparo y adquisición de datos en el experimento ATLAS [5]. 15
2.6. Diagrama de la tarjeta de lectura ROBIN en ATLAS [6]. 15
2.7. Diagrama de bloques de la FPGA en ROBIN [6]. 16

3.1. Diagrama del sistema de muongrafía de terreno utilizando un solo detector. 19
3.2. Estructura interna de un detector sTGC [7]. 20
3.3. Líneas de campo eléctrico observadas en un corte transversal de los cables y cátodos del detector. Los cátodos se ilustran en celeste, los cables se representan como puntos negros, y las lineas de campo corresponden a las flechas de color rojo [8]. 21
3.4. Estructura interna de un detector sTGC adaptado para este proyecto de titulación. El gas es contenido entre ambas capas de grafito (cátodos). Los cables internos corresponden a los ánodos. 22
3.5. Vista superior del detector prototipo. 23
3.6. Vista superior del detector, en donde se indican las etiquetas asociadas a cada canal en función del eje al que pertenece. Cada cuadro representa un área de detección de $1cm^2$. 23
3.7. Interfaz de lectura ASD. Se destacan en la imagen sus canales (hit) del 0 al 15, su salida analógica LEMO y el primer pin en su conector de 40 posiciones. 26
3.8. Diagrama de bloques del circuito principal para un canal de la interfaz ASD. Se indican la etapa de preamplificación, el amplificador principal de ganancia 7, y el comparador. 29

4.1. Diagrama del esquema general para el sistema de adquisición a diseñar. El disparo corresponde a la señal digital que indica si la partícula detectada es un muon, mientras que la señal digital corresponde al pulso captado por el detector, luego de haber pasado por la interfaz de lectura. Los datos son la información asociada a eventos seleccionados, que serán enviados a un dispositivo externo. 32
4.2. Tarjeta de desarrollo y módulo Zynq a utilizar. A la izquierda se ilustra la placa de desarrollo Trenz TR0703 [9] y a su derecha se ilustra el módulo que va montado en ella: Trenz TR0720 [10] que contiene un SoC Zynq 7000 [26]. 34
4.3. Diagrama de la arquitectura de hardware propuesta para el diseño de un sistema de adquisición de datos asociado a un solo detector de muones. 35
4.4. Block Design del sistema de adquisición de datos implementado en el módulo TE0720. 37

4.5. Diagrama de la vista superior de la tarjeta de desarrollo utilizada, indicando la nomenclatura de los pines correspondientes a sus conectores VG96. Los pines utilizados para conectar la interfaz ASD se encuentran destacados en verde, enmarcados en el recuadro rojo. 39
4.6. Diagrama simplificado del módulo *Sampler*, ejemplificado para una sola señal LVDS. 42
4.7. Diagrama simplificado del módulo *Event Buffer*. 43
4.8. Diagrama simplificado del módulo *Event Reader* y el módulo de comunicación en el procesador. 44

5.1. Configuración experimental para la emulación de pulsos digitales y monitoreo del sistema de adquisición implementado. 47
5.2. Ejemplo de uno de los 36 eventos, correspondiente al evento de prueba número 10. 48
5.3. Captura de pantalla de la interfaz ILA, donde se ilustra la recepción del primer evento de prueba. 49
5.4. Captura de pantalla de la interfaz ILA, donde se ilustra la recepción del cuarto evento de prueba. 50

A.1. Comparación de una señal diferencial interpretándola como terminales independientes y como terminales diferenciales. 57
A.2. Conexión entre un emisor y receptor LVDS, ubicados a la izquierda y derecha de la imagen respectivamente [11]. 58

B.1. Botón “New” para la creación de un nuevo repositorio remoto en *Github.com*. 61
B.2. Botón “Code” para acceder al enlace de clonación del repositorio. 62
B.3. Menú de configuración para la habilitación de IP Containers en Vivado. 64
B.4. Ventana de Vivado para la exportación de un script Tcl. 64

ÍNDICE DE TABLAS

3.1. Detalle de los puertos en el conector de 40 posiciones en la interfaz ASD. 27

4.1. Mapeo de conexiones entre Zynq e interfaz ASD. 40
4.2. Recursos de hardware utilizados en la implementación del sistema de adquisición. 45

5.1. Ejemplo de tabla de datos recibida por comunicación serial, correspondiente al experimento número 15. Los números representan la duración de cada señal en ciclos de reloj de 400MHz. 52

Capítulo 1

INTRODUCCIÓN

En este documento se detalla el trabajo realizado en torno al diseño, implementación y validación un sistema de adquisición de datos prototipo para detectores sTGC (small-strip Thin Gap Chamber) ya fabricados cuya función es detectar muones. El sistema de adquisición fue diseñado en base a indicaciones y requerimientos específicos del CCTVal (Centro Científico Tecnológico de Valparaíso) para aplicaciones de detección de partículas y muongrafía de terrenos mineros. El sistema fue implementado en una FPGA (Field-Programable Gate Array) utilizando el lenguaje de descripción de hardware SystemVerilog.

El presente capítulo relata el contexto, las principales motivaciones que originan esta memoria de titulación, el planteamiento del problema, sus alcances y las contribuciones asociadas. Al final del capítulo se incluye también la organización de este informe.

1.1. Contexto general

El planeta tierra es constantemente bombardeado por rayos cósmicos provenientes del espacio exterior, correspondiendo principalmente a partículas cargadas como protones y núcleos atómicos. El origen de estos rayos cósmicos es variado, y aunque la fuente de algunos es desconocida, la mayor parte de ellos provienen de tormentas solares, agujeros negros e incluso de eventos astronómicos asociados al origen del universo [12]. La velocidad alcanzada por estas partículas cósmicas es tan grande que entran en la categoría de partículas de altas energías, alcanzando desde unos cuantos GeV (Giga Electron Volts) en partículas provenientes del sol, hasta más de 1000 TeV (Tera Electron Volts) para rayos originados en centros galácticos y agujeros negros [13].

Los rayos cósmicos inciden en el planeta tierra e interactúan con la atmósfera terrestre, produciendo partículas secundarias y la ionización del medio. Estas partículas secundarias decaen en nuevas partículas o vuelven a interactuar con otras

a su paso, generando una efecto en cadena y produciendo así una lluvia de partículas subatómicas sobre la corteza terrestre, entre las cuales se encuentran los muones. La Figura 1.1 corresponde a una representación artística que ayuda a ilustrar una lluvia de partículas originada por radiación cósmica.

Los muones corresponden al 70 % de las partículas que logran llegar a la superficie del planeta. Un muon posee una carga eléctrica equivalente a la de un electrón, pero su masa equivale a casi 200 electrones. Los muones viajan a velocidades cercanas a la de la luz, lo que sumado a su gran masa, les permite atravesar la materia casi sin interactuar con ella. Durante sus cerca de 2μs de vida media [12] (desde su origen hasta su decaimiento), los muones son incluso capaces de llegar a zonas bajo tierra.

Al interactuar con la materia, los muones son absorbidos o su energía se ve disminuida. Detectar los muones y medir su energía restante permite conocer las propiedades de la materia que ha sido atravesada por estas partículas. Dado que la probabilidad de interacción de los muones es directamente proporcional a la densidad de la materia atravesada, se puede realizar un mapa de densidad de terreno a partir de la reconstrucción de vértices de interacción entre la materia y los muones, proceso conocido como muongrafía o tomografía muónica, útil en áreas como la arqueología, vulcanología, geología y minería. [14] [15].

Para llevar a cabo mediciones y análisis de detección de muones se requieren detectores, interfaces de lectura, análisis computacional, y por supuesto, un sistema de adquisición de datos capaz de transformar las detecciones a datos computables y analizables para extracción e interpretación de la información.

1.2. Motivación

El “Sistema de adquisición de datos para detectores de muones” nace como un requerimiento del CCTVal para aplicaciones de física de partículas en el marco del proyecto “sTGC Minería”, cuyo nombre se debe al tipo de detector utilizado, llamado ”small-strip Thin Gap Chamber”.

Uno de los objetivos principales de “sTGC Minería” es realizar tomografías muónicas de terreno minero detectando partículas que provengan de radiación cósmica, método similar al que se utiliza para encontrar criptas y cavernas en pirámides egipcias [16]. Estas tomografías sientan las bases para la detección de cavernas subterráneas y estimación de densidad en terrenos mineros.

Producto de la colaboración existente entre CCTVal y el experimento ATLAS (A Toroidal LHC ApparatuS) en CERN (Conseil Européen pour la Recherche Nucléaire), CCTVal cuenta con las herramientas y conocimientos necesarios para la fabricación de detectores de muones. Esta colaboración internacional consiste en la

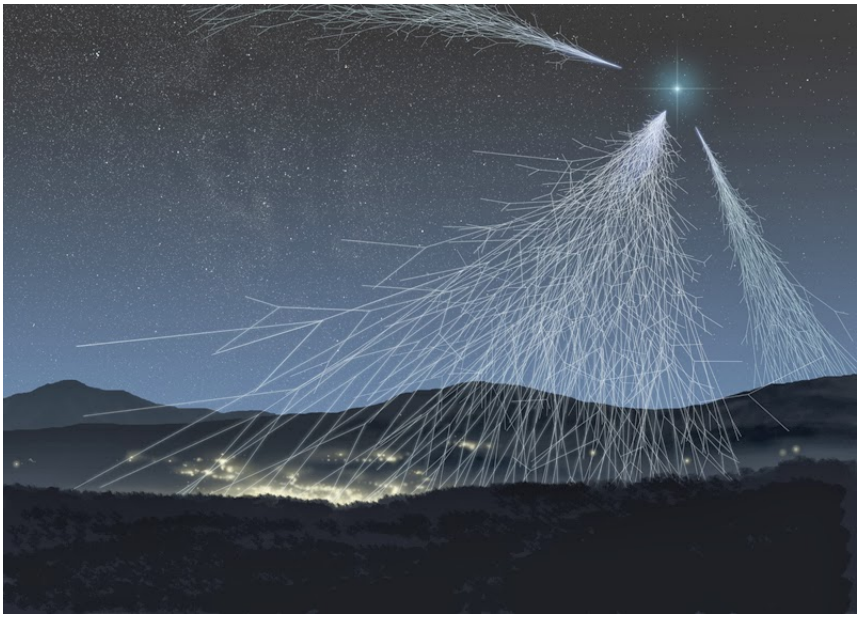

Figura 1.1: Representación artística de rayos cósmicos y lluvia de partículas subatómicas sobre la corteza terrestre.

actualización de un sector del experimento ATLAS, llamado Small Wheel, cuyos detectores son fabricados solamente en Chile y otros cuatro países. La Figura 1.2 ilustra el diagrama del experimento, indicándose la Small Wheel en el sector central del instrumento. La Figura 1.3 corresponde a un fotografía del proceso de montaje de la Small Wheel. Los trapecios dorados (marcado en rojo) que se observan en dicha imagen corresponden a los detectores sTGC, donde los tercios superiores (marcado en azul) de cada trapecio son los detectores fabricados en CCTVal. La Figura 1.4 ilustra una fotografía de los detectores sTGC en su etapa de fabricación. La tecnología utilizada para confeccionar estos detectores es la misma a utilizar en "sTGC Minería", aplicándose a detectores prototipo de tan solo 64cm^2 de superficie efectiva.

Actualmente, CCTVal cuenta con el conocimiento para fabricación de detectores, pero no cuenta con toda la experiencia respecto al manejo de datos provenientes de ellos. El diseño de un sistema de adquisición representa uno de los primeros pasos para adquirir experiencia práctica. Esta experiencia será valiosa para este y futuros proyectos relacionados con detección de partículas.

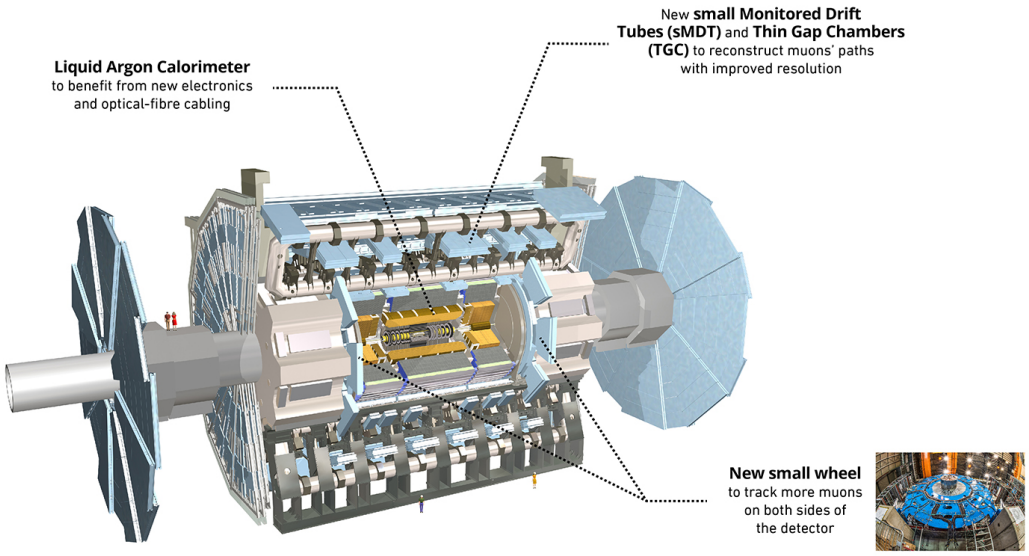

Figura 1.2: Diagrama del experimento ATLAS. CCTVal colabora en la actualización de la zona indicada como "New small Wheel", que contiene detectores sTGC.

1.3. Planteamiento del problema

La detección de muones requiere una serie de etapas y variados detectores, tales como los utilizados en el experimento ATLAS en el CERN. Las etapas esenciales incluyen la generación de una señal de disparo [17], la detección de partículas y la adquisición de los datos. En "sTGC Minería" ya se cuenta con un sistema de disparo y de detección, pero hace falta diseñar un sistema de adquisición. Es este sistema de adquisición es el que se desarrollará en esta memoria de titulación. Se espera que este sistema de adquisición sea capaz de captar las señales generadas por los detectores y determinar los vértices de interacción entre los muones y el detector, proceso que será explicado en el Capítulo 3.

El "Sistema de adquisición de datos para detectores de muones" cumplirá con las funciones de adquirir, discriminar y transferir la información captada por el detector, para contribuir a la tomografía muónica del terreno. La Figura 1.5 ilustra el sistema de muongrafía de terreno considerando un solo detector de muones. Para su operación, el sistema utiliza detectores secundarios (centelladores), una unidad de coincidencia, un detector sTGC y una interfaz de lectura. Los dos primeros corresponden a la etapa de generación de señal de disparo (en morado), mientras que los últimos dos corresponden a la etapa de detección (en verde). La etapa de adquisición

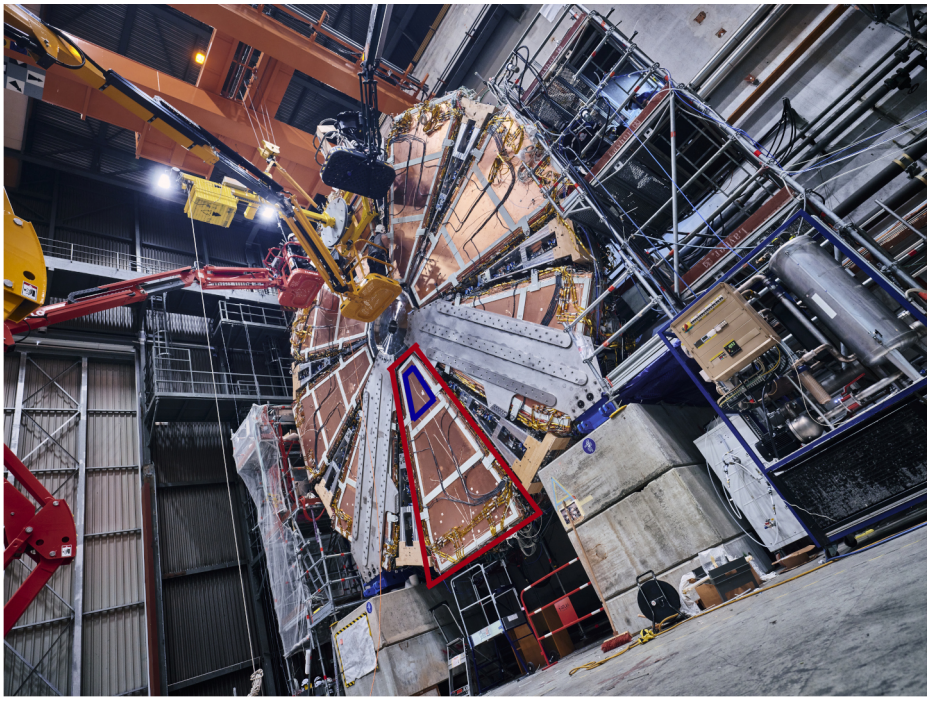

Figura 1.3: Fotografía correspondiente al montaje de detectores sTGC en la New Small Wheel del proyecto ATLAS.

de datos, (correspondiente al sistema a diseñar, coloreado en rojo) capta y discrimina los pulsos generados por el sistema de detección. La información resultante será comunicada a etapas posteriores para análisis de datos.

Si bien en este prototipo funcional de adquisición solo se realizarán pruebas a pequeña escala, se requiere que este sistema sea capaz de operar con detectores de mayor tamaño o con arreglos de varios detectores, permitiendo el análisis de zonas de mayor área o el estudio de trayectorias de partículas con detectores superpuestos. Esto implica que el sistema debe ser de naturaleza modular y escalable, sobre todo en torno a la cantidad de señales que es capaz de procesar.

El objetivo principal del sistema de adquisición a diseñar es entregar los datos que permitan determinar vértices de interacción en un detector. Como objetivo secundario, el proyecto debe ser una herramienta replicable que esté disponible para ser utilizada en nuevos proyectos y experimentos del centro de investigación. Así mismo, el desarrollo y la documentación del proceso debe ser un aporte al conocimiento sobre la implementación de sistemas electrónicos para la detección y análisis de partículas utilizando estas tecnologías, ya que es uno de los primeros en ser desarrollados en CCTVal.

Figura 1.4: Fotografía de la fabricación de detectores sTGC en laboratorios de CCT-Val. Cada una de las placas observadas en la imagen corresponde a capas constitutivas de un detector.

1.4. Alcances y contribuciones

Se espera que este sistema sea capaz de generar información suficiente para representar la ubicación de los vértices de interacción en la superficie del detector, con una resolución de al menos 1cm^2.

El sistema deberá ser capaz de captar al menos 8 pares de señales, con la opción de ampliarlo a más canales, discriminando interacciones con partículas no deseadas mediante la interpretación de la señal de disparo.

La información generada pasará a etapas siguientes de análisis o de representación gráfica, por lo cual es importante que el sistema sea capaz de entregar información pertinentemente ordenada y seleccionada para dichos fines. La información debe ser enviada de manera tal que permita distinguir un evento de otro y reconocer el canal del detector asociado a cada señal captada.

El trabajo principal de esta memoria de titulación se realizó durante el período de emergencia derivado de la pandemia COVID19. Debido a la contingencia y a la imposibilidad de acceder al equipamiento e instrumentación de laboratorio para realizar pruebas en hardware real, se decidió en conjunto con los profesores referentes limitar la parte experimental a la evaluación del sistema de adquisición diseñado en términos de simulación funcional, utilizando herramientas que emulen las señales digitales que se verían en una serie de eventos de detección que permitan probar cada canal de adquisición de manera exhaustiva. Mediante la evaluación experimental

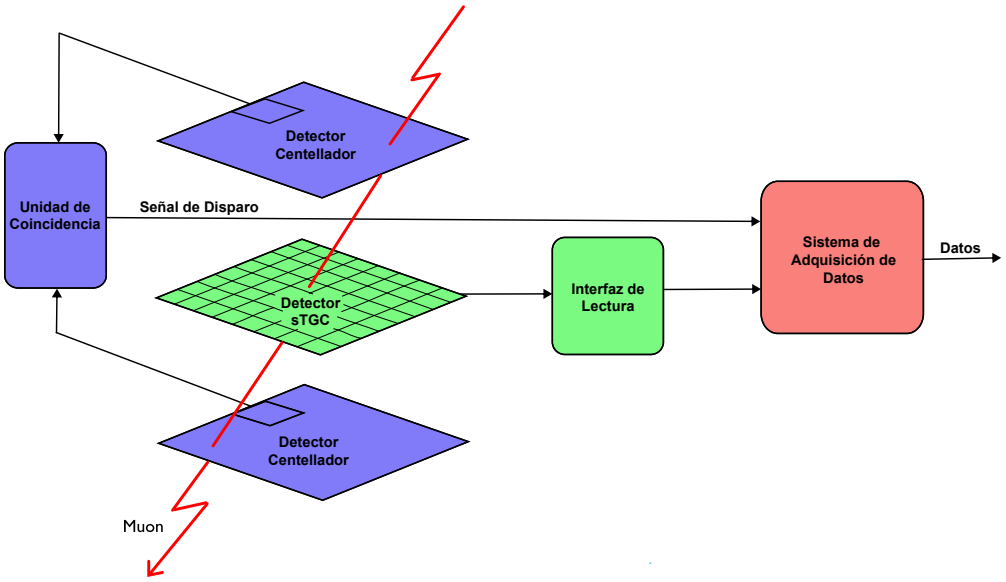

Figura 1.5: Diagrama del sistema de muongrafía de terreno utilizando un solo detector.

se espera comprobar el correcto funcionamiento del sistema de adquisición y que su resolución de muestreo y lógica de operación cumplan con los requisitos técnicos a plantear en el Capítulo 4. La principal ventaja de esta evaluación es que no requiere de equipamiento adicional para su realización, ya que la emulación de señales digitales será generada en la misma plataforma de desarrollo en que se implementa el sistema de adquisición, pero no permitiría evaluar el funcionamiento completo del proyecto sTGC minería ya que no contempla el efecto de posibles errores de detección o transporte de señales provenientes de los detectores y no sería capaz de representar el comportamiento de todo el espectro de señales posibles por ser una evaluación experimental en base a señales sincrónicas ideales con duraciones iguales o mayores a la máxima resolución de muestreo a implementar en el sistema de adquisición.

Finalmente, uno de los principales aportes de esta memoria de titulación recae en la documentación respecto a entorno, operación y desarrollo del sistema de adquisición en cuestión. Esto con el fin de facilitar su implementación en nuevos sistemas, permitir profundizar y mejorar la propuesta diseñada y entregar las herramientas al centro y a futuros estudiantes para operar dispositivos que posean etapas equivalentes. Esto incluye documentación sobre la operación de la interfaz de lectura, el manejo de señales digitales y el software empleado para el diseño del hardware. Además, el diseño desarrollado estará disponible en un repositorio Git [18], permi-

tiendo así replicar los experimentos y extender el sistema de adquisición partiendo de una base ya probada.

1.5. Organización del documento.

Este documento se estructura de la siguiente manera:

- El **Capítulo 2** incluye el estado del arte en cuanto a dispositivos de adquisición de datos para partículas de altas energías.
- El **Capítulo 3** describe las características del detector de partículas utilizado y resume las especificaciones del sistema de lectura para señales provenientes del detector, además de explicar su estructura y funcionamiento.
- El **Capítulo 4** detalla la arquitectura propuesta para la realización del sistema de adquisición, detallando el desarrollo de cada una de sus etapas.
- El **Capítulo 5** incluye pruebas realizadas en el sistema con el fin de comprobar funcionamiento y resultados del dispositivo.
- El **Capítulo 6** incluye las conclusiones finales y trabajo futuro propuesto a partir de lo realizado en este proyecto de titulación.

Capítulo 2

ESTADO DEL ARTE

Previo al diseño del sistema de adquisición de datos para detectores de muones, es pertinente conocer el estado del arte de otros sistemas de adquisición para física de partículas, con el fin de contrastar y rescatar las diferentes estrategias y tecnologías empleadas en la actualidad.

Como referencia para el diseño del sistema de adquisición, se han investigado detectores como los descritos en [19] y [20], enfocados a detección de partículas en diferentes rubros y condiciones. En este capítulo se describen tres sistemas relacionados a esta temática, destacando ideas sobre el esquema general de adquisición de datos, tecnologías que se utilizan actualmente para construirlos y métodos para adquirir y procesar las señales captadas.

2.1. LabPet II

Uno de los detectores estudiados es LabPet II [1], detector que posee un DAQ (Data Acquisition system) distribuido en tres etapas donde cada una de ellas está compuesta por una FPGA, tal como se ilustra en la Figura 2.1. Una primera etapa llamada *Front-End board* se encarga de registrar tiempo, energía y posición de las partículas captadas; una segunda etapa llamada *Hub board* ordena cronológicamente los eventos capturados, mientras que una tercera etapa llamada *Coincidence board* agrupa detecciones coincidentes, calculando además la tasa de eventos aleatorios ocurridos. Esta última etapa es capaz de recibir datos desde múltiples Hub boards para luego enviarlos a un computador.

Si bien los detectores de LabPet II están diseñados para otro tipo de partículas (positrones), la naturaleza de las señales es muy similar a los muones, y por lo tanto la lógica para su adquisición y procesamiento es comparable. Aún así, la cantidad de señales que es capaz de manejar dicho dispositivo ronda las 64 señales por módulo, a tasas cercanas a los 2 millones de eventos por segundo, las que comparativamente sobrepasarían las necesidades del sistema a desarrollar en este proyecto de titulación. Por ejemplo, los rayos muones cruzan la corteza terrestre a aproximadamente 1

muon por minuto en un área de 1 cm^2 [14], muy por debajo de lo que se espera en LabPET II. Replicar un sistema como LabPet II para sTGC minería sería factible, pero implicaría un uso de recursos mayor al realmente necesario, ya que se podrían alcanzar los objetivos propuestos para sTGC minería con un sistema de menor tamaño, por ejemplo utilizando solo una FPGA por módulo de detección en vez de dos o tres.

Del sistema de adquisición para LabPet II se destaca la utilización de multiplexores, serializadores/deserializadores y memorias de almacenamiento temporal (*buffer*). Dada la naturaleza y cantidad de eventos, se hace necesario serializar la información, ya que de otro modo sería necesario construir dispositivos con múltiples puertos de entrada o incluir varios del mismo tipo. Además, debido a la frecuencia de los eventos, se hace obligatoria la existencia de *buffers* para el almacenamiento de la información, permitiendo procesarlos y transmitirlos hacia etapas posteriores a tasas menores. Es destacable también la utilización de métodos para ordenar cronológicamente los eventos y la implementación del método TOT (Time-over-threshold) [21] para el cálculo de energía y datos temporales de pulsos analógicos. Este último es el método utilizado por la interfaz de lectura presente en el proyecto sTGC Minería.

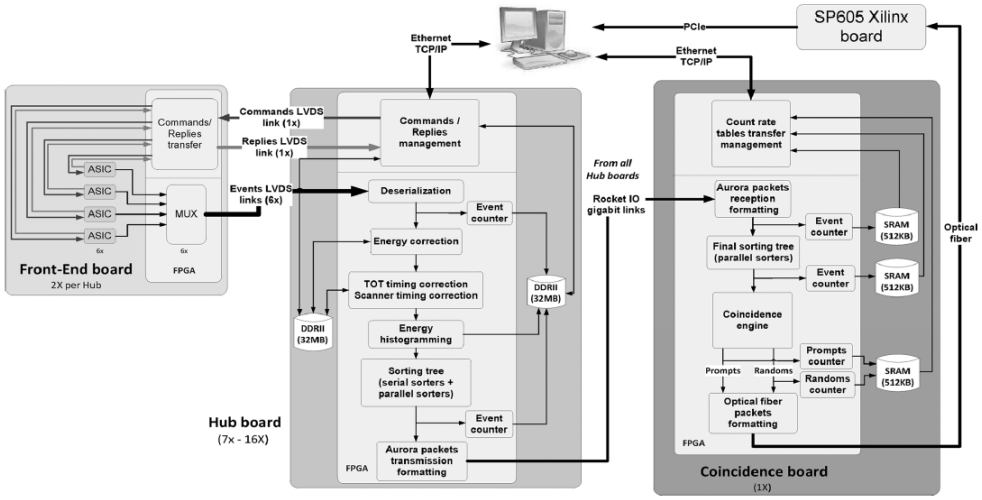

Figura 2.1: Diagrama de bloques del sistema de adquisición de datos para LabPET II [1].

2.2. 4D PET

Otro sistema de referencia es el DAQ para el sistema modular 4D PET [2]. Este dispositivo permite capturar entre 144 a 576 señales provenientes de arreglos matriciales de fotomultiplicadores. Se caracteriza principalmente por poseer una tarjeta madre central, en la cual es posible conectar hasta 18 tarjetas de adquisición. Cada una de estas tarjetas tiene de 8 a 32 canales para adquisición de señales, y su función es capturar, procesar y enviar información a la placa madre. La Figura 2.2 ilustra la arquitectura de este sistema.

Las señales son capturadas por ASICs (*Application Specific Integrated Circuits*), muestreadas por conversores análogo-digitales y procesadas por una FPGA, mientras que una FPGA principal (etiquetada como Master FPGA) se encarga de controlar a las FPGAs anteriores y de recibir los datos capturados. El procesamiento inicial de las señales se encarga de calcular energía y datos temporales asociados a las partículas detectadas, mientras que el procesamiento final relaciona los eventos que hayan sido temporalmente coincidentes entre sí y a su vez calcula el tiempo de vuelvo de las partículas, mediante un conversor de tiempo a señal digital (TDC).

Este sistema destaca por su modularidad, la cual permite un fácil escalamiento. En contraste con LabPET II, se utilizan varias placas adquisidoras paralelas en vez de utilizar serialización de datos, permitiendo procesar la información antes de llegar a la FPGA principal. Cabe destacar que esta arquitectura está relacionada con la necesidad de encontrar múltiples eventos simultáneos en distintas ubicaciones, requerimiento que no está presente en el sistema que se planea diseñar para este proyecto de titulación.

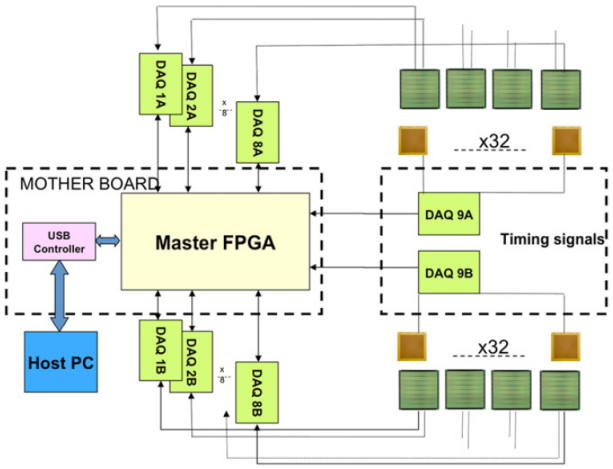

Figura 2.2: Diagrama de bloques del sistema de adquisición de datos para Detector PET 4D [2].

2.3. ATLAS

Finalmente, la referencia más importante corresponde al experimento ATLAS [4], ya que una de sus etapas utiliza detectores sTGC, mientras que otra de sus etapas utiliza la misma interfaz de lectura que será utilizada en sTGC Minería.

El experimento ATLAS se encarga de interceptar grupos de partículas provenientes de haces de protones acelerados en el LHC (Large Hadron Collider) en CERN, con el objetivo de estudiar las colisiones de partículas ocurridas a su paso. Las colisiones se generan aproximadamente cada 25μs [6], y cada colisión produce cerca de 23 interacciones con el detector, que junto a otros factores implica cerca de 10^9 eventos cada segundo. La tasa de aparición y nivel de energía de estos eventos son las principales razones por las que este detector es tecnológicamente complejo.

El estudio de colisiones tiene como objetivo medir partículas conocidas y deducir la existencia de partículas nuevas. Para lograrlo, es necesario reconstruir las trayectorias e interacciones de todas las partículas medibles mediante múltiples y variados sistemas de detección. Uno de estos sistemas corresponde al Espectrómetro de Muones [22], el cual permite determinar la validez de los eventos y trazar la trayectoria de los muones emitidos en las colisiones.

El Espectrómetro de Muones se compone de múltiples tecnologías de detección diferentes, una de las cuales corresponde a los detectores sTGC ubicados en la Small Wheel, mencionada en la Sección 1.2. Otra de las tecnologías de detección que componen al Espectrómetro corresponde a los detectores TGC (Thin Gap Chamber), los cuales se diferencian de los detectores sTGC en el tamaño de sus componentes. Los

detectores TGC están ubicados en el sector denominado Big Wheel, indicado en la Figura 2.3, y sus datos son obtenidos gracias a una interfaz de lectura llamada ASD (Amplificator-Shaper-Discriminator). Esta interfaz de lectura, en conjunto con detectores sTGC, da vida al proyecto sTGC Minería en CCTVal, y su funcionamiento será explicado con mayor detalle en el Capítulo 3.

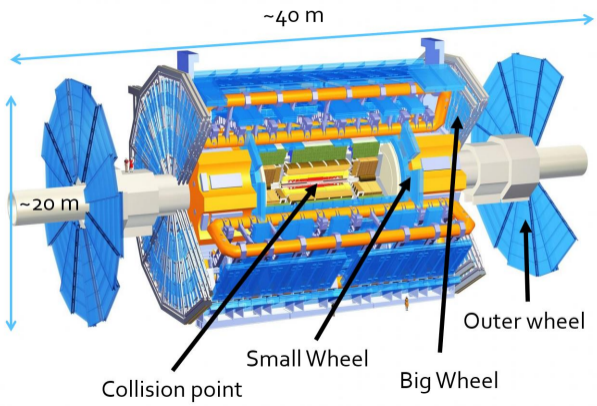

Figura 2.3: Layout del experimento ATLAS, donde se indica la posición de la Small Wheel y la Big Wheel [3].

La Figura 2.4 ilustra el sistema de captura de datos para detectores TGC del Big Wheel en el Espectrómetro de Muones. Los muones son representados con el símbolo μ y cruzan tres capas de detectores TGC, cada una de las cuales cuenta con sus interfaces de lectura ASD. Los bloques posteriores se encargan de pre-procesar los pulsos capturados y entregarlos a las posteriores etapas de lectura y de selección de eventos.

En ATLAS, la selección de eventos a ser estudiados se lleva a cabo en dos etapas. La primera de ellas, llamada *Level 1 Trigger*, involucra al Espectrómetro de Muones y calorímetros. La segunda etapa involucra algoritmos distribuidos en varios computadores y se le conoce como *High-level Trigger*. La Figura 2.5 ilustra ambas etapas en paralelo a los sistemas de lectura de datos. El sistema de lectura de datos ilustrado en 2.4 corresponde al cuadro amarillo ubicado en la esquina superior derecha de la Figura 2.5, etiquetado como *Muon*. Si el Level 1 Trigger aprueba un evento detectado por el Espectrómetro y los calorímetros, entonces inicia la adquisición de estos datos en la tarjeta de lectura (etiquetada como *Readout System* en la Figura 2.5). Además, el Level 1 Trigger envía información sobre regiones de interés a analizar, con el fin de llevar a cabo la segunda etapa de selección (*High-Level Trigger*). Esta segunda etapa de selección utiliza software distribuido en cerca de 2000 computadores conectados a una red Ethernet y filtra eventos en función a muestras

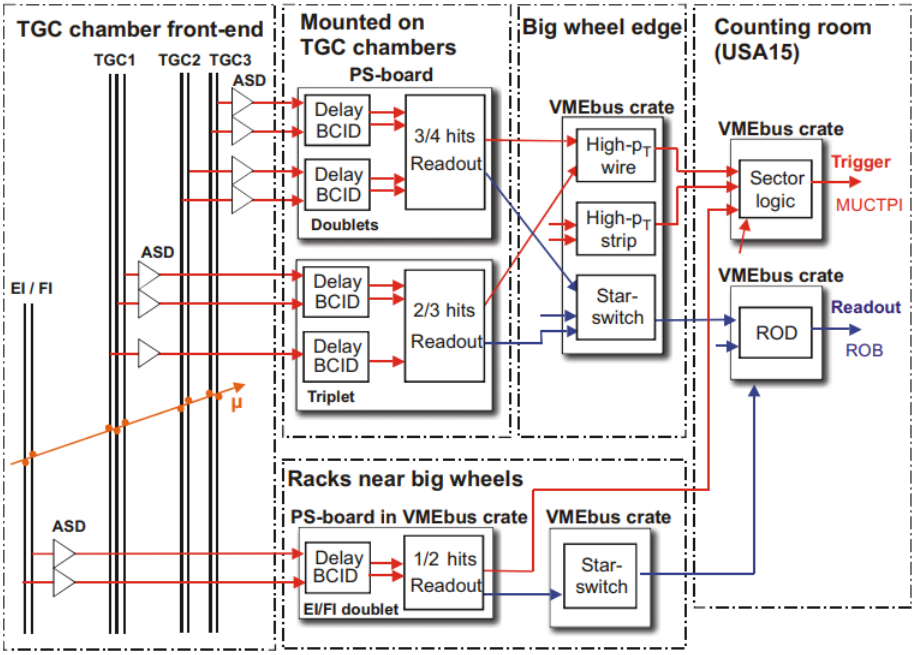

Figura 2.4: Diagrama de la interfaz de captura para detectores de muones TGC [4]. Los muones se representan con el símbolo μ. Existen 3 capas de detectores, por lo tanto se observan 3 bloques que incluyen retardos, selección y captura de los pulsos.

de datos pertenecientes a las regiones de interés calculadas por el Level 1 Trigger [5]. Finalmente, los eventos seleccionados son transferidos y almacenados en los bancos de datos del centro de investigación.

Entrando aún más en detalle respecto a la Figura 2.5, el verdadero sistema de adquisición de datos en ATLAS es un software distribuido en red [6], capaz de discriminar, procesar y transferir los eventos seleccionados hacia los bancos de almacenamiento de datos. El sistema de lectura (*Readout System*), en conjunto con el Level 1 Trigger, solo sería un equivalente a una interfaz de captura muy sofisticada. Para el caso de esta memoria de titulación, el Readout System del experimento ATLAS sería comparable, en términos de sus niveles de complejidad y de los bloques lógicos que los componen, al sistema de adquisición de datos que se desea diseñar para sTGC Minería.

El Readout System de ATLAS consiste en una tarjeta llamada ROBIN, compuesta de buffers, chips de comunicación, memoria flash, un procesador y una FPGA, como se ilustra en la Figura 2.6

La lógica implementada en la FPGA se ilustra en la Figura 2.7. Se observa que su

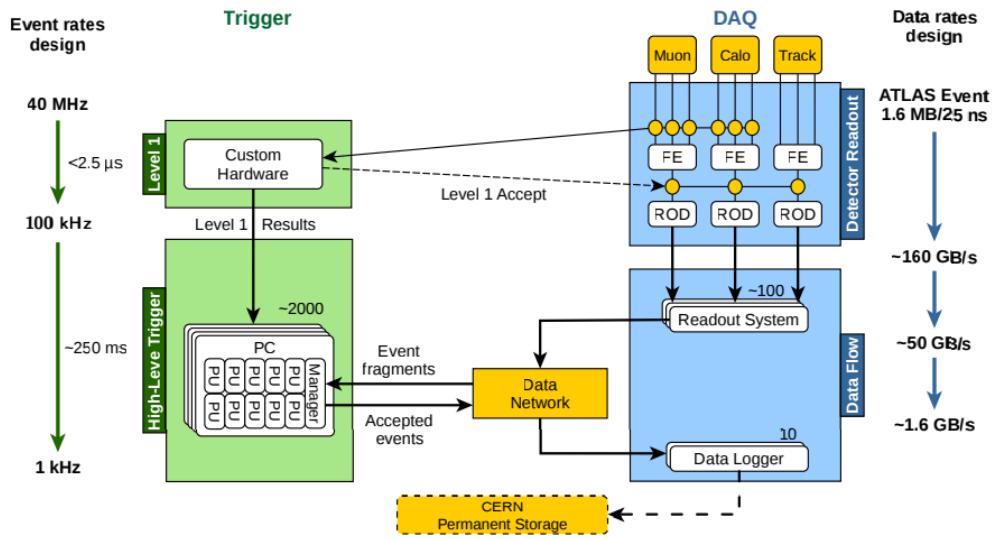

Figura 2.5: Diagrama del sistema de disparo y adquisición de datos en el experimento ATLAS [5].

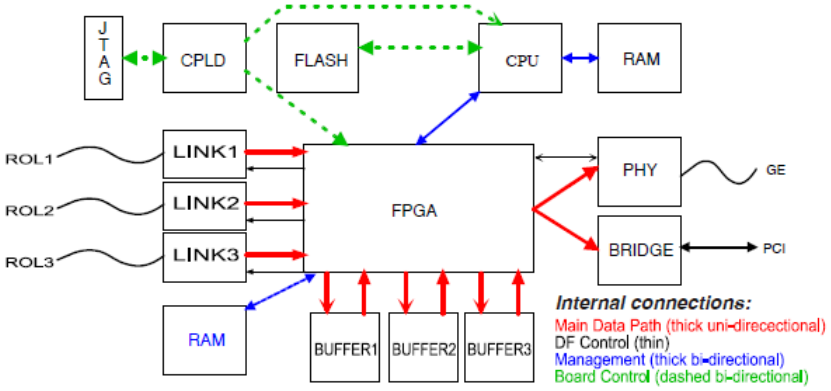

Figura 2.6: Diagrama de la tarjeta de lectura ROBIN en ATLAS [6].

labor es principalmente controlar los buffers de datos, traspasar los eventos captados hacia la siguiente etapa y eliminar los datos descartados por la señal de disparo de alto nivel.

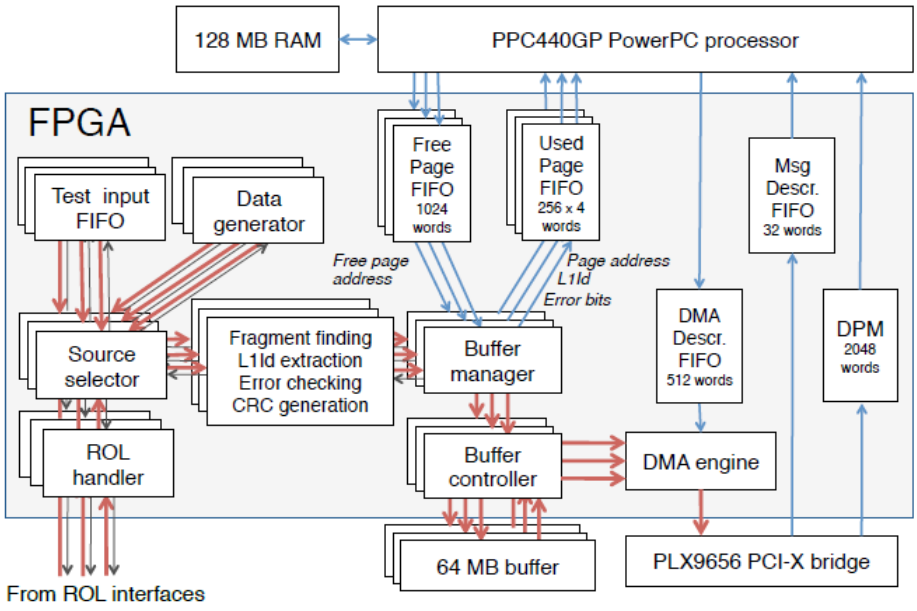

Figura 2.7: Diagrama de bloques de la FPGA en ROBIN [6].

Si bien ATLAS es un proyecto con detectores comparativamente más complejos que los descritos en las Secciones 2.1 y 2.2, ATLAS presenta elementos comunes con ellos es su composición, sobretodo en cuanto a la utilización de ASICs y FPGAs para captura y control de los datos adquiridos. ATLAS se asemeja funcionalmente al 4D PET, en el sentido de implementar múltiples instancias de hardware equivalente, para así lograr manejar mayor cantidad de datos y brindar mayor control en cada uno de ellos. El fuerte de ATLAS radica en su conectividad en red y sistemas distribuidos, necesarios para la gran cantidad de datos simultáneos que deben ser procesados.

2.4. Discusión sobre alternativas existentes

Es claro que la tendencia en desarrollo de sistemas de adquisición es la utilización de ASICs en etapas de primera lectura, mientras que se utilizan FPGAs en etapas de manejo de datos y preprocesamiento, principalmente debido a la magnitud temporal de las señales, a la alta necesidad de precisión en su sincronización, y a la gran cantidad de señales de entrada que deben ser atendidas.

Los elementos más utilizados y recomendados a implementar son los buffers de almacenamiento, principalmente para ajustar la tasa de transmisión de datos de la captura hacia las siguientes etapas de procesamiento, que suelen ser más lentas. En

el sistema que se planea diseñar esto no es un problema, ya que la tasa de eventos es muy baja en comparación a los detectores estudiados. Aún así, los buffers pueden ser útiles para el escalamiento de los detectores en el futuro.

El concepto de serialización de datos estuvo principalmente presente en el detector LabPET II. Es pertinente considerarlo, sobretodo para el escalamiento del detector de muones. En caso de requerir cubrir un área mayor o con varias capas superpuestas de detectores, será necesario captar mayor cantidad de señales. Es allí donde se debe decidir si es recomendable comenzar con serialización de datos o con paralelismo de hardware.

En resumen, es conveniente diseñar el sistema en una FPGA dedicada a la adquisición de datos, incluyendo buffers de almacenamiento para los eventos capturados y replicando este sistema para cada detector adicional.

Capítulo 3

SISTEMA DE DETECCIÓN

El proyecto sTGC Minería se compone de tres sistemas principales: disparo, detección y adquisición, como se ilustra en la Figura 3.1. Como se introdujo en la Sección 1.3, el sistema de disparo [17] (ilustrado en morado) ya ha sido construido en el CCTVal y está formado por dos detectores centelladores y una unidad de coincidencias que emite una señal digital de disparo (indicada en morado) cuando un muon traspasa ambos detectores centelladores. Esta señal de disparo es necesaria para discriminar eventos captados por el detector sTGC y descartar interacciones procedentes de otras partículas cargadas que no sean muones.

Si bien los detectores centelladores presentes en el sistema de disparo son capaces de detectar exclusivamente el paso de muones, estos no son capaces de determinar la ubicación del vértice de interacción y solo se utilizan como detectores complementarios. Para localizar vértices de interacción se utiliza el sistema de detección sTGC fabricado por CCTVal (ilustrado en verde en la Figura 3.1), que gracias a su tecnología de fabricación permite determinar la ubicación de los vértices con resoluciones de 1cm^2 o incluso mejores.

En este capítulo se detalla la forma y funcionamiento del sistema de detección, describiendo el prototipo de detector sTGC utilizado en sTGC Minería y describiendo también la interfaz de lectura ASD. Este sistema de detección ya ha sido construido y probado por CCTVal, pero es necesario conocer sus características para entender su funcionamiento, así como también para determinar la cantidad y tipos de señales a leer en el sistema de adquisición de datos que se diseñará en esta memoria de titulación.

3.1. Detector de Partículas

La detección de muones en este proyecto es realizada mediante un detector de partículas inspirado en los detectores sTGC del experimento ATLAS, como se mencionó en la Sección 1.2. Los detectores originales se ubican en la llamada Small

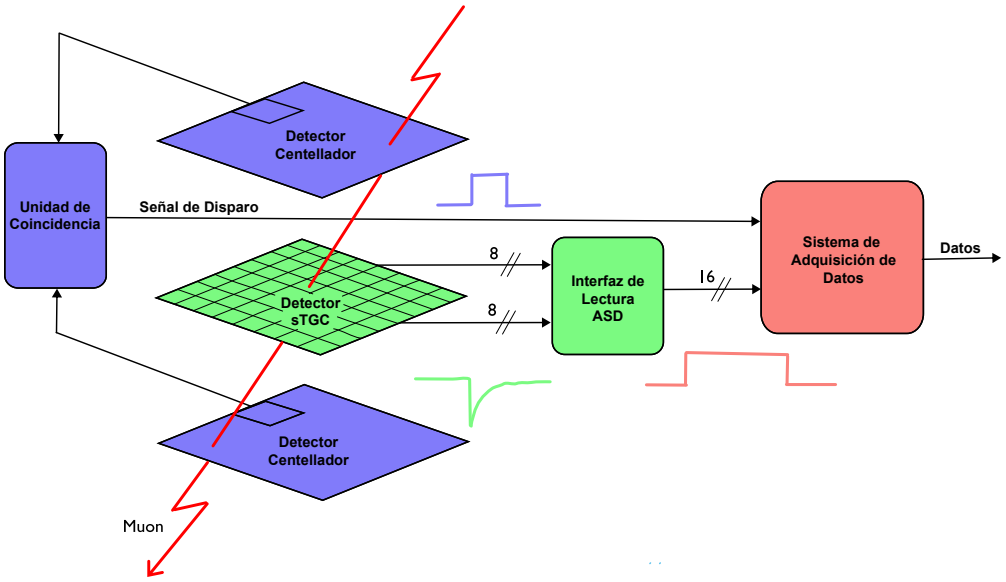

Figura 3.1: Diagrama del sistema de muongrafía de terreno utilizando un solo detector.

Wheel de ATLAS, formando parte del Espectrómetro de Muones, el cual se encarga de determinar el momento y la trayectoria de los muones emitidos por las colisiones. Para el proyecto sTGC minería, CCTVal construyó un prototipo de detector sTGC a menor escala utilizando la misma tecnología de fabricación presente en los detectores originales. En esta sección se describe la estructura de un sTGC original y la del prototipo en cuestión, incluyendo información sobre el funcionamiento y operación del prototipo de detector sTGC fabricado en CCTVal.

3.1.1. Estructura general

Un sTGC está compuesto por dos planos de grafito (cátodos), con múltiples cables en medio (ánodos) [3], tal como se observa en la Figura 3.2. Recubriendo el exterior de ambos cátodos se ubican capas aislantes que separan los cátodos de las zonas conductoras, llamadas "*pads*" en la cara superior y "*strips*" en la cara inferior del detector, diferenciándose en la forma y área que abarca cada uno. Los *strips* corresponden a delgados rectángulos de cobre, mientras que los *pads* son mantos de cobre más anchos, equivalentes al área de varios *strips*. Los cables al interior del detector se encuentran orientados perpendicularmente respecto a los *strips* y en paralelo a los *pads*.

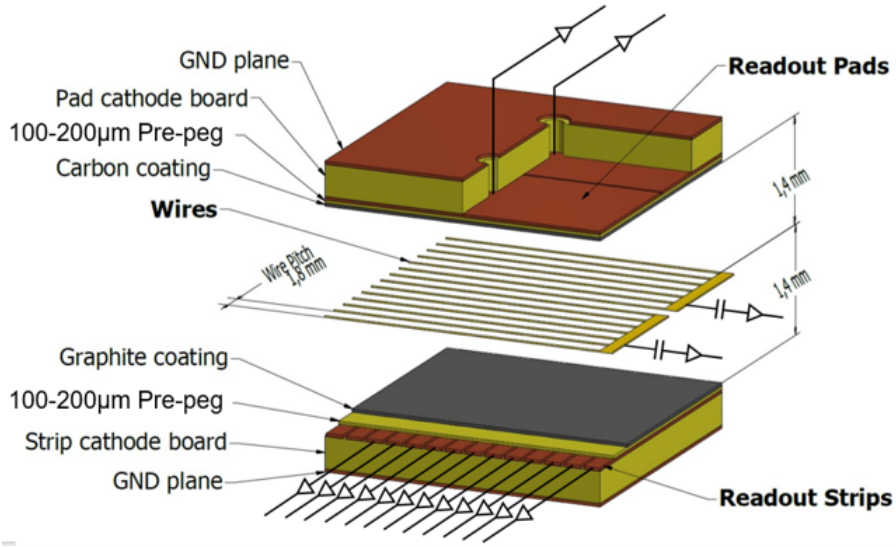

Figura 3.2: Estructura interna de un detector sTGC [7].

Al interior del detector, entre los planos de grafito, se infiltra un gas compuesto por dióxido de carbono y n-pentano [3]. Mediante la aplicación de alto voltaje se genera un campo eléctrico entre ánodos y cátodos. Se utilizan 3000 V_{DC} entre cátodos y ánodos para generar el campo eléctrico, limitando la corriente a 50uA. El gas en el interior puede ser dióxido de carbono puro, pero esto genera mayor probabilidad de generar descargas no asociadas a muones. La Figura 3.3 representa un corte transversal de un detector y sus líneas de campo eléctrico desde ánodo (cables) hasta cátodos (lámina de grafito superior e inferior).

El paso de muones a través del detector genera la ionización del gas y la liberación de electrones, los cuales son captados por los cables del detector gracias al campo eléctrico. El flujo de electrones en el gas ionizado genera pulsos de corriente en los cables, produciendo diferencia de potencial en los cátodos. Esta diferencia de potencial interactúa con los *pads* y *strips* en el exterior del detector, generando pulsos de voltaje en estas zonas conductoras, pero con polaridad inversa respecto a la corriente presente en los cables. En la Figura 3.1, el pulso de voltaje correspondiente a la señal de salida de un canal de detección está representado por el pulso verde dibujado en la zona central de la imagen.

La amplitud de los pulsos generados en el detector será mayor en torno al vértice de interacción y menor en zonas lejos de él. Esto permite relacionar la posición y energía de la partícula con las amplitudes de los pulsos en cada *strip* o cable medido.

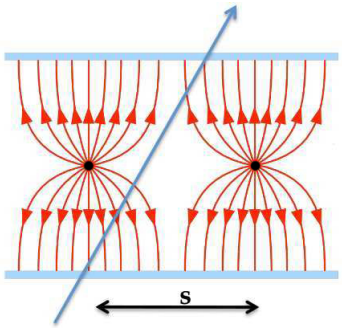

Figura 3.3: Líneas de campo eléctrico observadas en un corte transversal de los cables y cátodos del detector. Los cátodos se ilustran en celeste, los cables se representan como puntos negros, y las lineas de campo corresponden a las flechas de color rojo [8].

3.1.2. Detector sTGC utilizado

En ATLAS, los vértices de interacción se determinan leyendo las señales provenientes de *strips* y cables al mismo tiempo. Debido a que los *strips* son perpendiculares a los cables, su lectura forma un cuadrante imaginario de dos ejes coordenados (*strips* vs. cables), similar al presentado en la Figura 3.6. Por ejemplo, si un muon interactúa con un cable y un *strip* al mismo tiempo, significa que el vértice de interacción se ubica en las cercanías de la intersección *strip*/cable. Sin embargo, para el trabajo considerado en esta memoria de titulación se leerán solo las señales provenientes de *strips*, por los que se estará midiendo un solo eje de posición y será necesario agregar un segundo eje coordenado para poder determinar los vértices de interacción. La ventaja de leer señales desde *strips* es que las señales medibles en ellos son de fácil acceso, debido a que los *strips* son superficies conductoras expuestas al exterior y permiten incorporar conectores sobre ellos sin mayor dificultad.

Para agregar un eje coordenado adicional al detector, se reemplazan los *pads* de la cara superior por *strips* perpendiculares a los del plano contrario. Así se logra tener información bidimensional del paso de una partícula leyendo solo las señales provenientes de *strips* perpendiculares entre sí. La Figura 3.4 ilustra la composición del detector capa por capa y detalla la orientación de cables y *strips*.

En particular, en cada cara del detector utilizado se cuenta con 8 *strips* de 15cm de largo y 1cm de ancho cada uno, sin contar los *strips* en los bordes del detector debido a que el área abarcada por estos es diferente a la forma de un *strip* estándar, entorpeciendo la medición y posterior reconstrucción de datos. Una fotografía de este detector se incluye en la Figura 3.5. En la parte superior de la fotografía, en recuadros verdes, se observan tubos para el flujo de gas. Por abajo, en amarillo, se

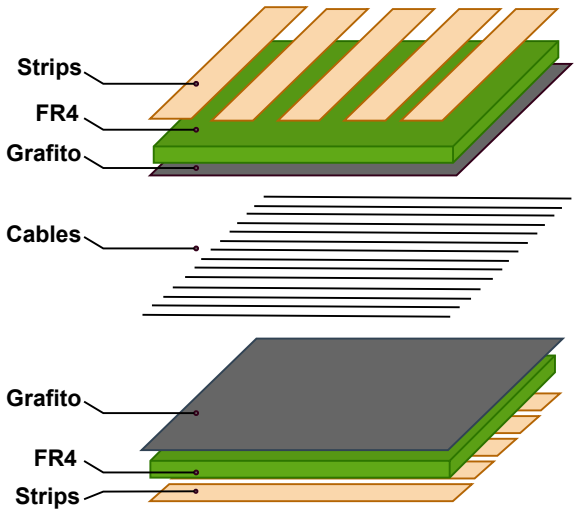

Figura 3.4: Estructura interna de un detector sTGC adaptado para este proyecto de titulación. El gas es contenido entre ambas capas de grafito (cátodos). Los cables internos corresponden a los ánodos.

indican 8 cables coaxiales conectados a los *strips* de la cara superior del detector. A la izquierda están situados los otros 8 cables correspondientes a los *strips* de la cara inferior, también etiquetados en amarillo. En el costado derecho, en el recuadro azul, existe una red resistiva para la lectura de cables internos del detector, los cuales no serán utilizados en este proyecto.

Dado que los *strips* de la cara superior del detector son perpendiculares a los de la cara inferior, es posible interpretar el detector como un cuadrante de ejes coordenados según se ilustra en la Figura 3.6. En esta figura, cada cuadro representa un área de detección de 1cm^2, la cual corresponde a la precisión para la determinación de los vértices de interacción. Como el detector posee 8 *strips* por cara, se tiene un total de 16 canales de detección, los que en su conjunto forman 64 zonas de detección de 1cm^2. Los *strips* de la cara superior se nombrarán como el eje X, mientras que los *strips* correspondientes a la cara inferior del detector serán asociados al eje Y, siendo el cuadro (0,0) aquel que se ubica en la zona de detección inferior izquierda.

3.1.3. Procedimiento de operación y pruebas

Antes de poner en marcha mediciones o experimentos con un nuevo detector, se deben realizar ajustes, caracterizaciones y pruebas que permitan corroborar el correcto funcionamiento del dispositivo. Para esto, se recomienda llevar a cabo una secuencia de experimentos con el fin de comprobar el funcionamiento de cada canal

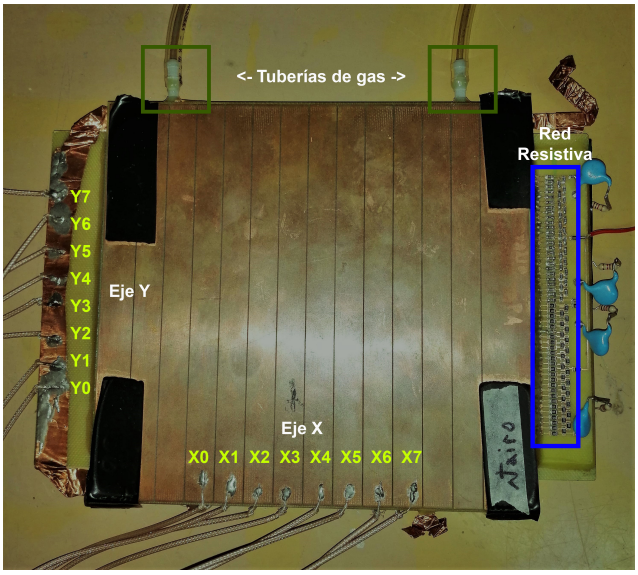

Figura 3.5: Vista superior del detector prototipo.

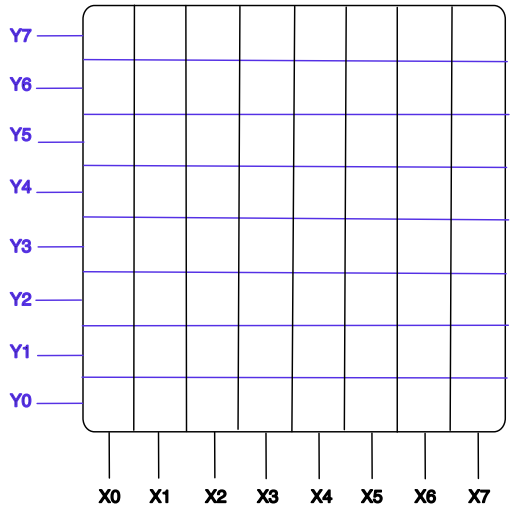

Figura 3.6: Vista superior del detector, en donde se indican las etiquetas asociadas a cada canal en función del eje al que pertenece. Cada cuadro representa un área de detección de 1cm^2.

y medir el ruido base, la frecuencia de detección y las amplitudes medias esperadas.

A. Dispositivos para lectura de señales

Para observar los pulsos captados por el detector es necesario contar con un sistema de lectura adecuado. Este dispositivo deberá poseer una baja impedancia, menor a 100Ω para evitar atenuaciones y reflexiones, así como también deberá contar con una etapa de amplificación tal que permita medir sin problemas las señales captadas con un osciloscopio, digitalizador o un sistema para adquisición de datos. Las señales emitidas por el detector rondan el orden de los milivolts, lo cual significa que el sistema de lectura debe poseer una ganancia tal que la magnitud de la señal de salida esté dentro de la resolución de voltaje del aparato de medición.

Un ejemplo de sistema de lectura es la interfaz ASD mencionada en la Sección 2.3, la cual será utilizada en este proyecto de titulación. Esta interfaz está diseñada para la correcta lectura de *strips* y cables provenientes de detectores TGC, contando con una amplificación inicial de 0.8V/pC de carga y con una segunda etapa capaz de amplificar 7 veces la señal entrante. Además, la primera etapa de amplificación de la interfaz ASD se encarga de darle forma al pulso captado, con el fin extender la señal en el tiempo y facilitar su muestreo.

B. Estimación de ruido base

Una vez escogidos los métodos de lectura y las herramientas de muestreo a utilizar, es necesario medir el ruido base del detector. Este ruido corresponde a distorsiones propias del dispositivo, como fugas de corriente, conducción indeseada y ruido electromagnético. Conocer el ruido base permite filtrar el ruido para el análisis de eventos de interés.

Para realizar la medición de ruido base en este detector prototipo se debe hacer circular el dióxido de carbono (o mezcla de dióxido de carbono y N-Pentano). Antes de proceder a realizar mediciones, es necesario esperar a que el detector haya sido llenado totalmente de gas. Dada su área interior cercana a los 225cm^2, el detector se encontrará completamente infiltrado con gas tras 20 minutos de operación.

Cuando el detector se encuentra totalmente lleno de gas, se procede a medir el ruido base en cada uno de sus canales, sin conectar el detector a su fuente de alto voltaje. Estas mediciones permiten generar histogramas de ruido, los cuales han de tener una distribución gaussiana en condiciones normales de operación [23].

La amplitud del ruido base definirá una zona que deberá ser considerada en los análisis de eventos. Pulsos dentro de este rango de amplitudes no serán correctamente captados. Por otro lado, se espera que el ruido sea menor que la amplitud media de los eventos generados por cruce de muones en el detector.

Conocer tanto la amplitud del ruido base como la de los pulsos originados por muones, permite escoger señales de disparo en la tarjeta ASD, o filtros digitales en

las etapas de análisis.

C. Observación de falsas detecciones

Para una fiel interpretación de la información captada por un detector, es importante conocer la distribución y frecuencia de detecciones que no correspondan a cruce de muones. La medición de estos parámetros requiere la generación del campo eléctrico dentro del detector conectando su respectiva fuente de alto voltaje.

Una vez generado el campo eléctrico, es posible captar falsas detecciones o disparos aleatorios producto de la conductividad de los materiales o fugas de corriente. Estos eventos suelen tener una distribución normal y ser de amplitudes mayores a la de interés (muones). Conocer esta información permite ignorar señales sobre un umbral tal que se correspondan con amplitudes de eventos no deseados.

D. Detección de partículas

Para comprobar el correcto funcionamiento del detector, es de gran utilidad utilizar fuentes radioactivas para generar pulsos de prueba. Aunque una fuente radioactiva de rayos Gamma genera pulsos de mayor amplitud que eventos producidos por muones, esta permite comprobar la correcta operación de cada canal y la distribución de carga del evento en cada canal adyacente.

Para el caso de detección de muones, es importante contar con un sistema de disparo para ignorar detecciones provenientes de otras partículas cargadas capaces de ionizar el gas al interior del detector. Para el caso de sTGC, se cuenta con el sistema de detectores centelladores mencionados con anterioridad e ilustrados en la Figura 3.1. Se recomienda posicionar uno de estos detectores sobre el detector sTGC, cubriendo un área igual a la que abarque el sTGC. De ser factible, se recomienda incluir un segundo detector centellador por debajo, para generar una señal de disparo conjunta con el centellador superior. Esto permite descartar incidencias casi horizontales de muones, pasando por un centellador pero no por el detector sTGC.

3.2. Interfaz de Lectura

La interfaz de lectura ASD (Amplificator-Shaper-Discriminator) [24] es un sistema de 16 canales utilizado para la lectura de detectores TGC en la Big Wheel del experimento ATLAS, como se mencionó en la Sección 2.3. El propósito principal de esta interfaz es detectar pulsos de alta frecuencia provenientes de detectores TGC, los cuales forman parte del Level-1 Trigger en el espectrómetro de muones. Cada canal se corresponde con un *strip* o cable de un detector, por lo que al analizar las

señales de salida de esta tarjeta permite determinar los vértices de interacción de muones con el detector.

La Figura 3.7 corresponde a una fotografía de esta interfaz, destacando sus conectores principales y sus canales de entrada. Los canales son llamados *Hits* y se enumeran del 0 al 15. La interfaz ASD posee un conector de 40 pines para la conexión de su fuente de voltaje, transmisión de las señales de salida e ingreso de pulsos de prueba. El detalle de cada pin se ilustra en la Tabla 3.1, donde las columnas izquierdas corresponden a los terminales positivos de los pares diferenciales, mientras que las columnas derechas indican los terminales negativos.

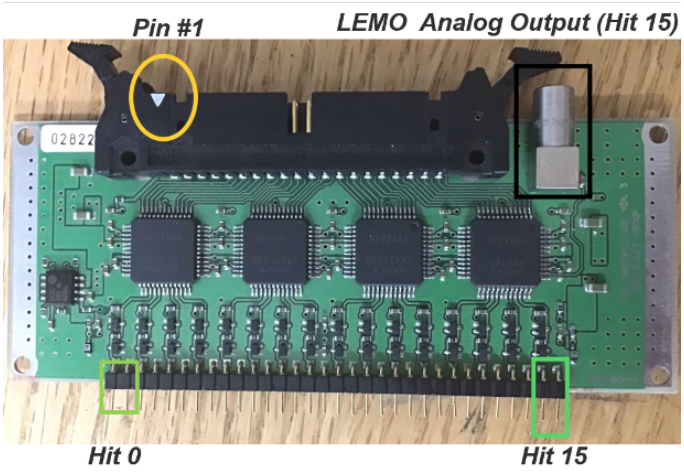

Figura 3.7: Interfaz de lectura ASD. Se destacan en la imagen sus canales (hit) del 0 al 15, su salida analógica LEMO y el primer pin en su conector de 40 posiciones.

Como su acrónimo lo indica, la interfaz ASD (Amplificator-Shaper-Discriminator) amplifica la carga eléctrica captada desde un canal de un detector, modifica la forma del pulso eléctrico en cuanto a su tiempo de duración y a su amplitud de corriente con el fin de simplificar su posterior medición, y discrimina la amplitud del pulso mediante un circuito comparador. Esta comparación se realiza respecto a un nivel de voltaje ajustable para así descartar eventos de energía que estén por debajo el umbral de interés, y también para generar una señal de salida digital LVDS (Low-Voltage Differential signal) [25] cuya duración sea proporcional a la amplitud de pulso que ha estado por sobre el umbral de voltaje configurado. Esta técnica se conoce como TOT (Time-Over-Threshold) y es la mísma técnica utilizada en el detector LabPet II descrito en la sección 2.1. En la Figura 3.1, este pulso digital se representa como el pulso digital rojo entre la interfaz de lectura y el sistema de adquisición de datos.

La interfaz ASD será utilizada conectándola a los *strips* de los detectores sTGC

Tabla 3.1: Detalle de los puertos en el conector de 40 posiciones en la interfaz ASD.

Pin	**Nombre**	**Nombre**	**Pin**
1	GND	V_{th}	2
3	-3,0V	GND	4
5	+3,0V	+3,0V	6
7	test pulse	$\overline{\text{test pulse}}$	8
9	hit 0	$\overline{\text{hit 0}}$	10
11	hit 1	$\overline{\text{hit 1}}$	12
13	hit 2	$\overline{\text{hit 2}}$	14
15	hit 3	$\overline{\text{hit 3}}$	16
17	hit 4	$\overline{\text{hit 4}}$	18
19	hit 5	$\overline{\text{hit 5}}$	20
21	hit 6	$\overline{\text{hit 6}}$	22
23	hit 7	$\overline{\text{hit 7}}$	24
25	hit 8	$\overline{\text{hit 8}}$	26
27	hit 9	$\overline{\text{hit 9}}$	28
29	hit 10	$\overline{\text{hit 10}}$	30
31	hit 11	$\overline{\text{hit 11}}$	32
33	hit 12	$\overline{\text{hit 12}}$	34
35	hit 13	$\overline{\text{hit 13}}$	36
37	hit 14	$\overline{\text{hit 14}}$	38
39	hit 15	$\overline{\text{hit 15}}$	40

fabricados para sTGC Minería. Dado que la interfaz posee 16 canales de entrada, es posible conectar los 16 canales de detección proveniente de un mismo detector prototipo sTGC. Así, con un solo detector y una interfaz es posible determinar vértices de interacción en un área de 64cm^2. Para un futuro escalamiento, utilizando dos detectores superpuestos y sus respectivas interfaces es posible determinar la trayectoria de los muones detectados. Además, analizar la duración de cada pulso emitido por las interfaces permite estimar la amplitud de la carga eléctrica depositada por el muon en el detector excitado.

3.2.1. Circuito interno de Amplificación, Acondicionamiento y Discriminación

La interfaz de lectura ASD tiene 16 canales que reciben impulsos de carga eléctrica provenientes de *strips* o cables de detectores TGC, y emite señales digitales representando estos pulsos en formato LVDS según la norma IEEE LVDS Standard 1596.3-1996 [25].

Esta interfaz requiere una fuente de voltaje de ±3V [24], es capaz de recibir pulsos entre -1.2pC a +2.0pC sin saturarse y posee una frecuencia de entrada especificada de hasta 100KHz. La interfaz cuenta con un una entrada para pulsos de pruebas y una señal analógica de monitoreo proveniente de la etapa de preamplificación del canal 15, implementada con un conector LEMO.

En la Figura 3.8 se ilustra el circuito principal incluido en cada canal de la interfaz ASD. Cada canal tiene su propio preamplificador, un amplificador principal y un comparador [24], donde la etapa de preamplificación tiene una ganancia de 0.8V/pC y el amplificador principal tiene una ganancia de 7 veces la señal entrante. La etapa de comparación compara la señal con un nivel de voltaje externo llamado V_{th}. Si el pulso entrante tiene una amplitud de voltaje superior a $\frac{V_{th}}{2}$, el comparador emite una señal LVDS con una duración equivalente al tiempo durante el cual la amplitud del pulso entrante se mantuvo por sobre $\frac{V_{th}}{2}$. V_{th} puede configurarse en un rango desde -0.5V a +0.5V, resultando en un umbral real de -0.25V a +0.25V en el comparador [24]. Así, es capaz de emitir señales digitales con duraciones entre 25ns y 45ns para pulsos de entrada con cargas entre 0.1pC y 0.5pC respectivamente.

Las señales digitales LVDS emitidas por las etapas de comparación incluidas en la interfaz ASD corresponden a las señales a ser muestreadas por el sistema de adquisición a diseñar en esta memoria de titulación. En el Capítulo 4 se define el sistema de adquisición en base a la cantidad, formato y duración de estas señales digitales.

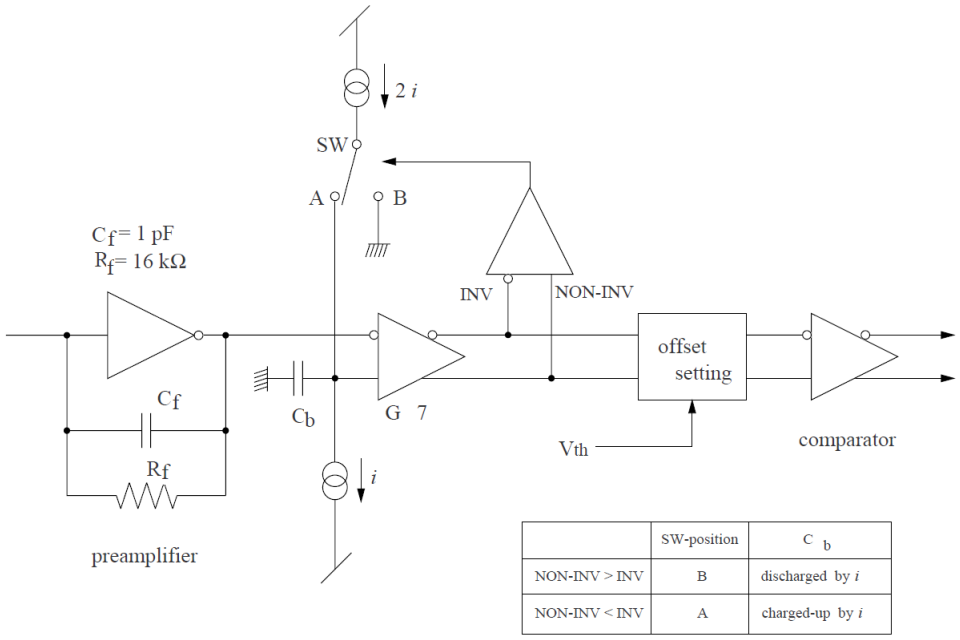

Figura 3.8: Diagrama de bloques del circuito principal para un canal de la interfaz ASD. Se indican la etapa de preamplificación, el amplificador principal de ganancia 7, y el comparador.

Capítulo 4

SISTEMA DE ADQUISICIÓN

Luego de describir el sistema de detección en el Capítulo 3, podemos entender el funcionamiento de los detectores y definir los requisitos para el diseño del sistema de adquisición de datos que se encargará de recibir los pulsos digitales provenientes de la interfaz de lectura ASD y del sistema de disparo, con el fin de muestrear los eventos detectados y facilitar la determinación de los vértices de interacción en una posterior etapa de análisis.

En este capítulo se presenta la arquitectura propuesta para la implementación del sistema de adquisición y se detalla el desarrollo de cada una de sus etapas. El hardware implementado asociado a cada etapa diseñada se encuentra disponible en el repositorio Git [18].

4.1. Arquitectura propuesta

En el Capítulo 2 se compararon tres sistemas diferentes para la implementación de sistemas de adquisición de datos en el contexto de física de partículas. En diferentes sistemas destacan aspectos comunes de implementación: etapas de detección de eventos, memorias para almacenamiento temporal, procesamiento de los datos y la utilización de FPGAs como la principal herramienta para el desarrollo de sistemas de adquisición. Las principales etapas identificadas en los sistemas estudiados son: el acondicionamiento de señal, la adquisición misma de los datos, la discriminación de eventos y la comunicación de los datos obtenidos para posteriores análisis.

En sTGC Minería, la etapa de acondicionamiento de señal es realizada mediante la interfaz de lectura ASD ya existente descrita en la Sección 3.2. Las etapas de adquisición, discriminación y comunicación serán entonces las etapas a implementar en el sistema de adquisición de datos desarrollado en este proyecto de titulación.

Los pulsos digitales a adquirir, provenientes de la interfaz ASD, son señales diferenciales LVDS que operan en el orden de los nanosegundos [24]. Este ancho de pulso tiene correlación con la amplitud del pulso análogo originado en el sistema de

detección y el error en su medición implicará menor precisión en la estimación de esta variable, requiriendo un sistema capaz de tener una resolución lo más cercana a 1ns y que permita capturar pulsos de más de 60ns.

Se espera que el flujo de muones por centímetro cuadrado sea de un muon por minuto [14], lo que en los 15cm^2 de área de un *strip* implicaría cerca de 15 muones por minuto o 0,25E^{-9} muones cada 1ns, traduciéndose en una muy baja probabilidad de eventos simultáneos o cercanos en el tiempo (adyacentes) si se considera por ejemplo una altísima tasa de muestreo de 1GHz. Dado que la tasa de detección de muones disminuye bajo tierra y dado que la toma de una muongrafía conlleva un tiempo prolongado de exposición a rayos cósmicos, se concluye que ignorar posibles eventos simultáneos o adyacentes no tendrá implicancias significativas en los resultados de la muongrafía final.

Tomando como antecedente los objetivos del proyecto descritos en la Sección 1.3, junto con las características del sistema de detección descrito en el Capítulo 3 y las especificaciones descritas en los párrafos anteriores, se definen lo siguientes requisitos para el diseño del sistema de adquisición de datos para detectores de muones:

- Debe incluir al menos 16 entradas compatibles con el estándar LVDS, con el fin de conectar al menos una interfaz de lectura ASD asociada a un detector de 16 canales.
- Es importante contar con un reloj presente o sintetizable de una frecuencia mayor a 100MHz, siendo lo más cercano a 1GHz posible, con el fin de captar la duración de los pulsos y el momento de aparición de un evento con la mayor precisión disponible.
- Se debe considerar que la señal de disparo que entrará al sistema estará desfasada cerca de 125ns [17] respecto al paso real de los muones a través el detector, siendo necesaria la implementación un sistema capaz de asociar la simultaneidad de eventos detectados con la señal de disparo.
- Se debe tener la capacidad de mantener sincronizadas las señales de detección y disparo, además de guardar la información en memorias temporales.
- Debe contar con una interfaz de comunicación que permita exportar los datos capturados hacia un computador externo.
- Es requisito que la implementación del sistema de adquisición permita escalamiento para agregar nuevos detectores adyacentes con el fin de aumentar el área de prueba o para leer detectores superpuestos.

4.1.1. Esquema general del sistema de adquisición propuesto

Como se indica en la Figura 4.1, se requieren al menos tres etapas esenciales: adquirir, discriminar y comunicar. Adquirir corresponde a muestrear las señales digitales asociadas a eventos de detección y mantenerlas en memoria hasta ser discriminadas. Discriminar se refiere a descartar aquellos eventos que no corresponden a la interacción de un muon con el detector leyendo la señal de disparo. Comunicar corresponde a enviar los datos de eventos seleccionados hacia un dispositivo externo, para así almacenarlos o analizarlos. En las secciones siguientes se describe el dónde y cómo implementar cada una de estas tres etapas.

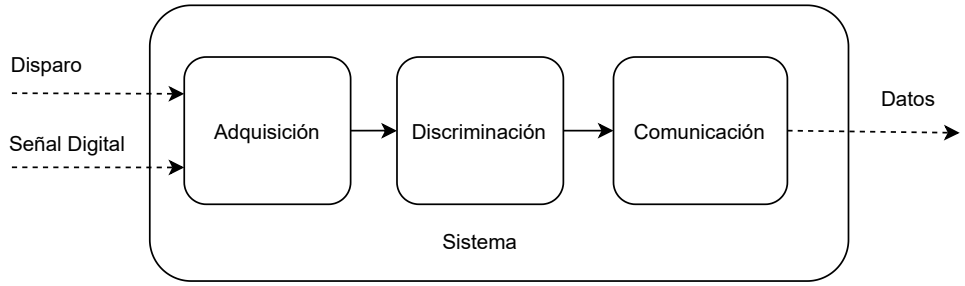

Figura 4.1: Diagrama del esquema general para el sistema de adquisición a diseñar. El disparo corresponde a la señal digital que indica si la partícula detectada es un muon, mientras que la señal digital corresponde al pulso captado por el detector, luego de haber pasado por la interfaz de lectura. Los datos son la información asociada a eventos seleccionados, que serán enviados a un dispositivo externo.

4.1.2. Plataforma de desarrollo utilizada

Según los casos de estudio presentados en el Capítulo 2, la alternativa más utilizada para la implementación de hardware es la FPGA, herramienta que se ha visto con mayor frecuencia en proyectos relativos a física de partículas y adquisición de datos. Las FPGAs cuentan con una cantidad significativa de recursos lógicos para cómputo paralelo y otros periféricos, incluyendo además hardware dedicado para comunicación, serialización y almacenamiento de datos. Una desventaja conocida corresponde a que se basan en memorias volátiles, por lo que el hardware descrito debe ser reconfigurado cada vez que se enciende, por lo que los datos importantes deben ser almacenados en memorias externas.

En concreto, el sistema de adquisición debe contar con al menos 16 pares de puertos LVDS para interconectar una interfaz ASD, unidades de memoria para almacenar los eventos capturados, una frecuencia de reloj configurable lo más cercana a 1GHz posible, lógica programable para la descripción de máquinas sincrónicas e in-

terfaces de comunicación para enviar los datos adquiridos hacia sistemas de cómputo externo. Todo esto basado en los requerimientos descritos al inicio de la presente Sección 4.1.

Para la implementación del sistema de adquisición es necesario contar con una plataforma de desarrollo que cumpla con los requisitos de hardware descritos hasta el momento. El laboratorio de electrónica en CCTVal cuenta con placas de desarrollo marca Trenz, destacadas por ser productos modulares, permitiendo probar diferentes plataformas de desarrollo en una misma *carrier board* sin necesidad de recablear o modificar el layout del proyecto a desarrollar, además de contar con acceso a casi la totalidad de los puertos disponibles en las FPGAs montables. En este proyecto de titulación se utilizará un módulo Trenz TE0720 [10] montado en una tarjeta de desarrollo Trenz TE0703 [9], ambas ilustradas en la Figura 4.2. El módulo TE0720 contiene un SoC (System on a Chip) Xilinx Zynq 7000 [26] que incluye lógica programable (PL) equivalente a una FPGA Xilinx Artix 7 [27] y un procesador (PS) ARM Cortex Cortex-A9 de dos núcleos, con múltiples periféricos como memoria flash, comunicación UART y un GPIO (General Purpose Input/Output) de 32 bits.

Una de las principales ventajas de usar el módulo TE0720 es que permite concentrar todo el diseño de hardware en un solo lugar sin necesidad de FPGAs o ASICs adicionales, ya que posee 85.000 celdas lógicas, 4.9Mb de Block RAM, una frecuencia de reloj de 33.3MHz con hasta 600MHz sintetizables y 152 puertos de entrada y salida compatibles con el estándar LVDS, suficientes como para conectar hasta 4 interfaces de lectura ASD. Este módulo también destaca por ser una plataforma flexible, en el sentido de brindar las posibilidades de adaptar el diseño propuesto sin tener que adquirir nuevo equipamiento. Esta versatilidad es intrínseca de las FPGAs, las cuales se caracterizan por permitir un gran control en el diseño del hardware a bajo nivel. Finalmente, al ser una tecnología conocida en CCTVal, se cuenta con acceso a su documentación, lo que facilita el desarrollo del hardware en esta plataforma por sobre otras alternativas comerciales.

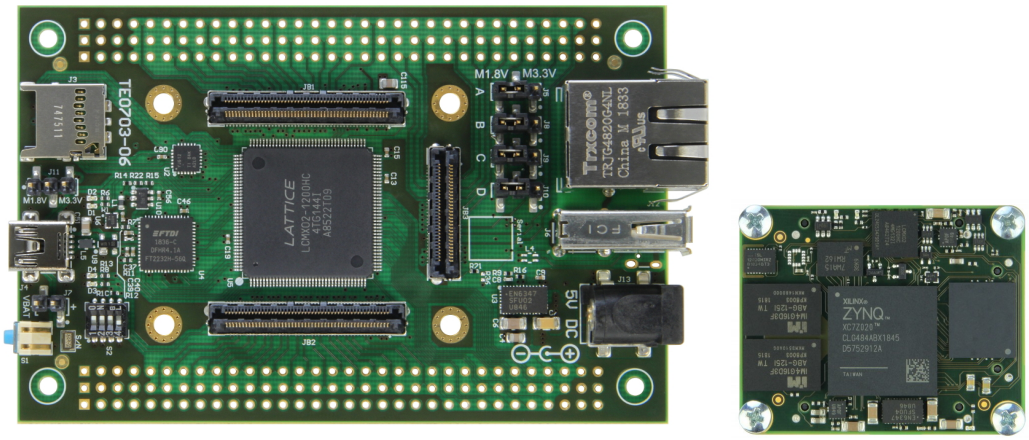

Figura 4.2: Tarjeta de desarrollo y módulo Zynq a utilizar. A la izquierda se ilustra la placa de desarrollo Trenz TR0703 [9] y a su derecha se ilustra el módulo que va montado en ella: Trenz TR0720 [10] que contiene un SoC Zynq 7000 [26].

4.1.3. Sistema de adquisición propuesto

La arquitectura del sistema de adquisición que se implementará en el módulo Trenz se ilustra en la Figura 4.3. Se propone utilizar un módulo de muestreo (*Sampler*), un buffer de eventos (*Event Buffer*, FIFO), un módulo de lectura para comunicar los datos (*Event Reader*), y un módulo de comunicación implementado en el procesador (GPIO, UART). Este sistema permite la adquisición de datos provenientes de un solo detector de muones, conectándose directamente a la interfaz ASD y a la señal generada por el sistema de disparo.

El módulo *Sampler* se encarga de muestrear los 16 pulsos LVDS provenientes de la interfaz ASD a la máxima frecuencia de reloj posible, para mantenerlos en un registro de desplazamiento (shift register) utilizado como buffer de datos. En este registro se mantendrán los datos muestreados a la espera de la señal de disparo para ser traspasados al siguiente módulo. Mientras no llegue la señal de disparo, los datos seguirán avanzando en el registro de desplazamiento, descartando automáticamente los datos más antiguos.

El *Event Buffer* se encarga de tomar los datos coincidentes con la señal de disparo y los almacena en una memoria FIFO (First In, First Out) [28]. En esta memoria FIFO se guardan los eventos por orden de llegada, almacenando los datos asociados a cada canal de manera consecutiva. Es decir, cada vez que un evento es almacenado, se utilizan 16 direcciones de memoria, una para cada canal del evento guardado.

El módulo *Event Reader* lee los datos almacenados en la memoria FIFO y los envía hacia el módulo de comunicación mediante el GPIO del procesador. La lectura

de los datos inicia al recibir la solicitud desde el módulo de comunicación a través del GPIO. Una vez leídos los datos, estos son enviados a un computador externo (PC) para su almacenamiento definitivo y posterior análisis.

Para un futuro escalamiento del sistema, con el fin de conectar más detectores de muones, bastaría con replicar los módulos *Sampler*, *Event Buffer* y FIFO, ajustando a la vez el módulo *Event Reader* y el módulo de comunicación, para así coordinar la lectura de cada una de las memorias FIFO asociadas a cada detector.

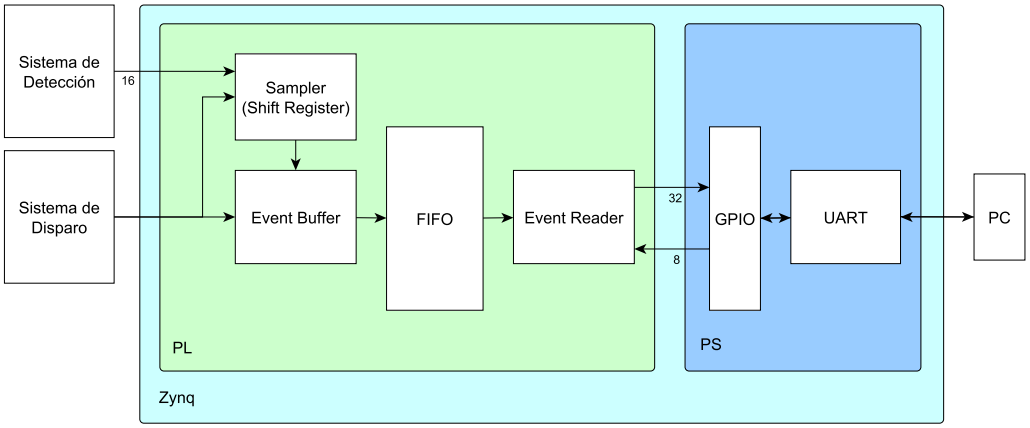

Figura 4.3: Diagrama de la arquitectura de hardware propuesta para el diseño de un sistema de adquisición de datos asociado a un solo detector de muones.

4.2. Implementación del sistema de adquisición

La implementación del sistema de adquisición de datos en el módulo TE0720 se realizó mediante el software Vivado Design Suite 2019.1 y Vivado SDK 2019.1 para la descripción de hardware en lógica programable y para la programación de software en el procesador, respectivamente. En esta sección se presenta el funcionamiento general de cada módulo y el detalle técnico de implementación se encuentra disponible en el repositorio Git [18]. Adicionalmente, el Apéndice B instruye cómo utilizar Git como sistema de control de versiones para proyectos de descripción de Hardware Vivado como el desarrollado en esta memoria de titulación.

La descripción de hardware se llevó a cabo en el HDL (Hardware Description Language) SystemVerilog y la integración de cada módulo se hizo mediante *Block Design*, correspondiente a un método de descripción de hardware en formato de diagrama de bloques, el cual permite automatizar algunos procesos de instanciación de módulos e interconexión de puertos. En la Figura 4.4 se ilustra el diagrama de bloques del sistema de adquisición implementado en el módulo TE0720, donde

se observan los diferentes bloques utilizados. El bloque *ZYNQ7 Processing System* corresponde al procesador, donde se ubica el módulo de comunicación. El bloque *top_wrapper* agrupa los módulos *Sampler, Event Reader y Event Buffer*, que junto con los bloques *FIFO Generator* y *Clocking Wizard* corresponden a los módulos implementados en la lógica programable. Los módulos *AXI GPIO* corresponden a los puertos de entrada de datos y salida de comandos del sistema de comunicación incluido al interior del procesador, donde el módulo *axi_gpio_0* está asociado a los 32bits de entrada de datos, mientras que el módulo *axi_gpio_1* corresponde a los 8 bits de salida para comandos de lectura. Los bloques *Processor System Reset* y *AXI Interconnect* son módulos auxiliares instanciados de manera automática por el software y permiten generar las señales de *reset* y habilitar la comunicación con la GPIO del procesador respectivamente. Por último, la señal *trigger* corresponde a la señal de disparo, mientras que los arreglos de señales *Ch_A_P[15:0]* y *Ch_A_N[15:0]* corresponden a los puertos de entrada para las señales de detección LVDS con sus terminales positivos y negativos respectivamente.

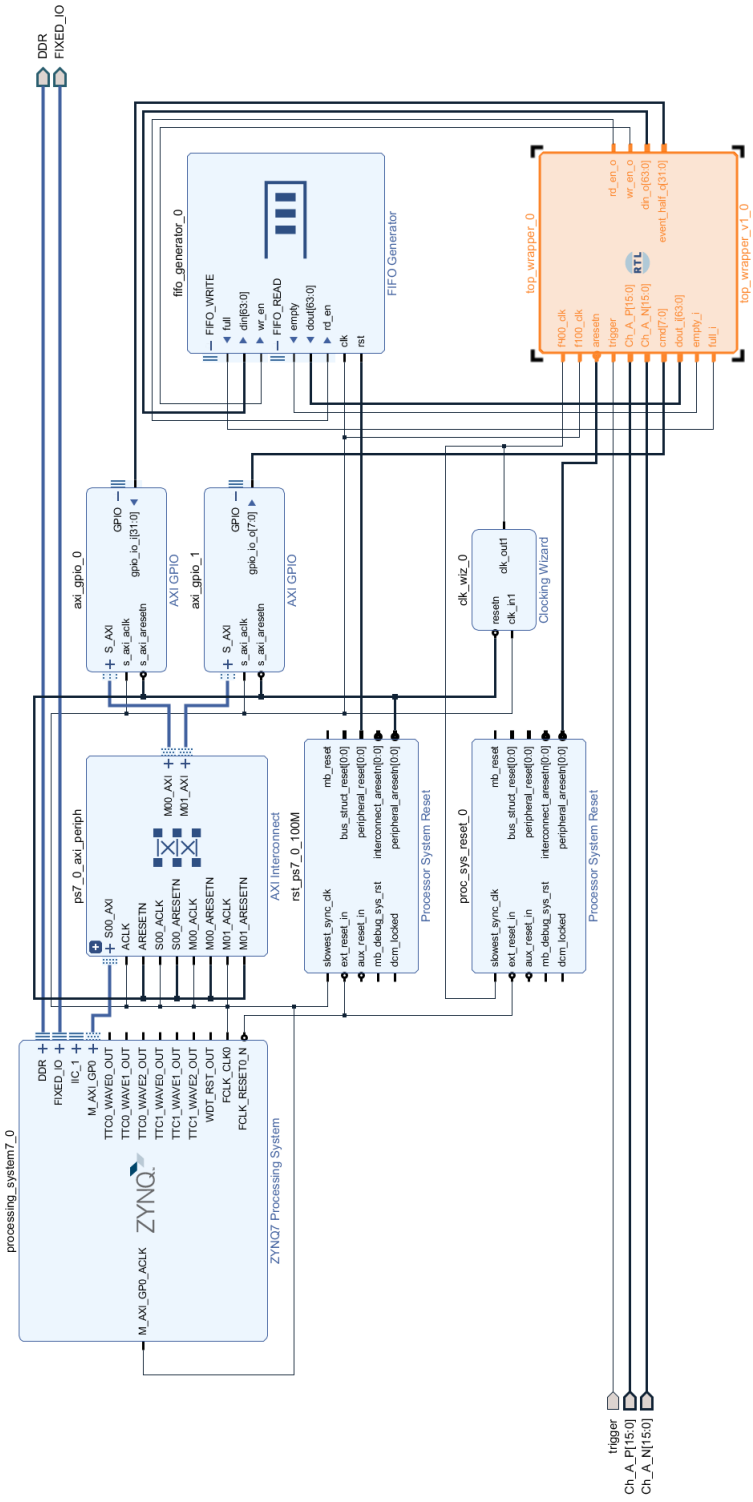

Figura 4.4: Block Design del sistema de adquisición de datos implementado en el módulo TE0720.

A continuación se detalla del desarrollo de cada módulo, su funcionamiento, los puertos asociados, sus diagramas pertinentes y finalmente la utilización de hardware asociada a la totalidad del diseño implementado.

4.2.1. Sampler

El módulo *Sampler* corresponde a la etapa de muestreo y discriminación, encargándose de recibir las señales digitales generadas por la interfaz ASD. Esta etapa muestrea cada señal entrante y asocia los datos a la señal de disparo correspondiente. Los principales objetivos de este módulo son:

- Muestrear los pulsos digitales la frecuencia lo más cercana a 600MHz (máxima frecuencia sintetizable en la plataforma de desarrollo Vivado, limitada por el IP Core *Clocking Wizard* [29]).
- Mantener en memoria los pulsos muestreados mientras llega la señal de disparo.
- Transferir los pulsos muestreados hacia la etapa siguiente al momento de detectar la señal de disparo.

Para interconectar la interfaz ASD con la tarjeta de desarrollo, se identificaron los conectores de cada dispositivo y se les asignaron etiquetas. Para el caso de la interfaz ASD se le asignó la letra "A" por ser la primera en ser conectada, nombrándose cada señal como "JA-n", donde "n" corresponde al número del pin de cada señal ubicada en el conector de 40 posiciones según la Tabla 3.1 de la Sección 3.2.

En el caso de la tarjeta de desarrollo Trenz TE0703, esta cuenta con dos conectores tipo VG96. La nomenclatura para cada pin se ilustra en la Figura 4.5, destacándose en verde los pines escogidos para interconectar la interfaz ASD. Estos pines se escogieron estratégicamente con el fin de estar ubicados en un extremo accesible, con puertos cercanos entre si, ordenados de manera consecutiva, y dejando espacio disponible para conectar otros detectores en el futuro.

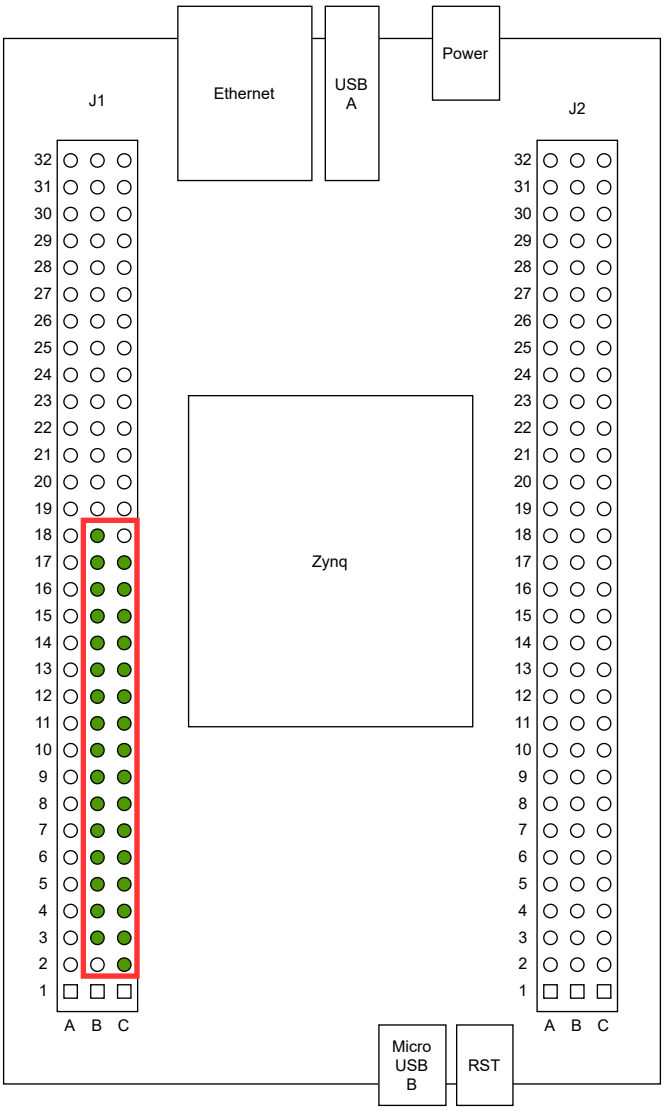

Figura 4.5: Diagrama de la vista superior de la tarjeta de desarrollo utilizada, indicando la nomenclatura de los pines correspondientes a sus conectores VG96. Los pines utilizados para conectar la interfaz ASD se encuentran destacados en verde, enmarcados en el recuadro rojo.

En la lógica programable, cada señal se recibe en los arreglo de puertos “Ch_A_P[15:0]” y “Ch_A_N[15:0]”, donde “Ch” significa canal, “A” indica que corresponden la interfaz de lectura “A”, “P” indica que son señales de polaridad positiva y “N” significa que son señales de polaridad negativa.

En base a las nomenclaturas anteriores e incluyendo los propios nombres de los

Tabla 4.1: Mapeo de conexiones entre Zynq e interfaz ASD.

Zynq Pin	Sch. Name	Conn. VG96	Conn. 40p ASD	Channel	Array
F16	B35_L1_P	J1-C2	JA-9	0	Ch_A_P[0]
E16	B35_L1_N	J1-C3	JA-10	0	Ch_A_N[0]
G17	B35_L6_P	J1-B3	JA-11	1	Ch_A_P[1]
F17	B35_L6_N	J1-B4	JA-12	1	Ch_A_N[1]
E15	B35_L3_P	J1-C4	JA-13	2	Ch_A_P[2]
D15	B35_L3_N	J1-C5	JA-14	2	Ch_A_N[2]
F18	B35_L5_P	J1-B5	JA-15	3	Ch_A_P[3]
E18	B35_L5_N	J1-B6	JA-16	3	Ch_A_N[3]
G19	B35_L20_P	J1-C6	JA-17	4	Ch_A_P[4]
F19	B35_L20_N	J1-C7	JA-18	4	Ch_A_N[4]
F21	B35_L23_P	J1-B7	JA-19	5	Ch_A_P[5]
F22	B35_L23_N	J1-B8	JA-20	5	Ch_A_N[5]
G15	B35_L4_P	J1-C8	JA-21	6	Ch_A_P[6]
G16	B35_L4_N	J1-C9	JA-22	6	Ch_A_N[6]
C17	B35_L11_P	J1-B9	JA-23	7	Ch_A_P[7]
C18	B35_L11_N	J1-B10	JA-24	7	Ch_A_N[7]
E19	B35_L21_P	J1-C10	JA-26	8	Ch_A_P[8]
E20	B35_L21_N	J1-C11	JA-25	8	Ch_A_N[8]
B16	B35_L8_P	J1-B11	JA-27	9	Ch_A_P[9]
B17	B35_L8_N	J1-B12	JA-28	9	Ch_A_N[9]
D16	B35_L2_P	J1-C12	JA-29	10	Ch_A_P[10]
D17	B35_L2_N	J1-C13	JA-30	10	Ch_A_N[10]
G20	B35_L22_P	J1-B13	JA-31	11	Ch_A_P[11]
G21	B35_L22_N	J1-B14	JA-32	11	Ch_A_N[11]
A21	B35_L15_P	J1-C14	JA-33	12	Ch_A_P[12]
A22	B35_L15_N	J1-C15	JA-34	12	Ch_A_N[12]
B21	B35_L18_P	J1-B15	JA-35	13	Ch_A_P[13]
B22	B35_L18_N	J1-B16	JA-36	13	Ch_A_N[13]
H22	B35_L24_P	J1-C16	JA-37	14	Ch_A_P[14]
G22	B35_L24_N	J1-C17	JA-38	14	Ch_A_N[14]
A18	B35_L10_P	J1-B17	JA-39	15	Ch_A_P[15]
A19	B35_L10_N	J1-B18	JA-40	15	Ch_A_N[15]

pines descritos en los esquemáticos eléctricos de la tarjeta de desarrollo TE0703 [30] y los pines internos de la Zynq, se realizó la interconexión ASD-Zynq según lo indicado en la Tabla 4.1.

Una vez definida la nomenclatura de puertos, es posible interconectar las tarjetas y proceder con la toma de muestras. Para capturar las señales LVDS, se declaran

puertos IBUFDS (Input Buffer for Differential Signals) [31] en la lógica programable, configurándolos para recibir señales LVDS de 2.5V y activando la resistencia interna de 100Ω para adaptar la terminación al estándar diferencial. Luego de capturar las señales LVDS, estas se sincronizan con el reloj del circuito pasando a través de dos Flip-flops consecutivos (Synchonizer). En el Apéndice A se presentan más detalles relativos a la interconexión de puertos LVDS entre la interfaz ASD y productos de la familia Xilinx 7 Series.

El muestreo de las señales se realiza a 400MHz por ser la frecuencia más alta sintetizable antes de producir errores de *timing* en los períodos de *setup* de señales asociadas a los módulos *Sampler* y *Event Buffer*, y en señales de alto *fan-out* como la señal de reset del sistema completo (determinado experimentalmente siguiendo procedimientos y recomendaciones propias de la herramienta de diseño). La frecuencia de muestreo de 400MHz da una resolución de tiempo de 2,5ns para distinguir el ancho de los pulsos digitales, lo cual satisface los requerimientos descritos en la Sección 4.1.

El método de muestreo utilizado consiste en un shift-register de 64 bits, el cual representa la ventana de adquisición del pulso digital capturado. Los 64 bits de este shift-register serán entregados a la siguiente etapa en el instante en que se reciba la señal de disparo. Considerando 16 canales con un buffer de 64 bits cada uno, el shift-register consiste en un arreglo bidimensional de 16 filas con 64 bits de ancho cada una.

El shift-register funciona como buffer y retardo para la señal digital muestreada. Dada la frecuencia de muestreo, cada bit representa 2,5ns de la señal muestreada. Considerando que la señal de disparo posee un retardo de 125ns, a la llegada del disparo la señal queda ubicada entre el bit 13 y 63 aproximadamente. Esta configuración permite una ventana de 35ns antes de la señal de disparo y permite el muestreo de señales de hasta 125ns de duración. Se utiliza un shift-register debido a su simplicidad, su capacidad de operar a altas frecuencias de reloj y por permitir el almacenamiento natural por orden de llegada de cada bit digital de la la señal, haciendo posible entregar la totalidad de los datos contenidos en este shif-register a la etapa siguiente.

Al detectar la señal de disparo, esta etapa registra los datos de todos los canales en un arreglo bidimensional y mantiene su estado hasta recibir la señal de que han sido guardados correctamente por la etapa siguiente. Mientras esto no suceda, el shift-register seguirá muestreando datos, pero se ignorarán las señales de disparo.

La Figura 4.6 ilustra un diagrama simplificado del módulo *Sampler* considerando la lógica para una sola señal LVDS entrante.

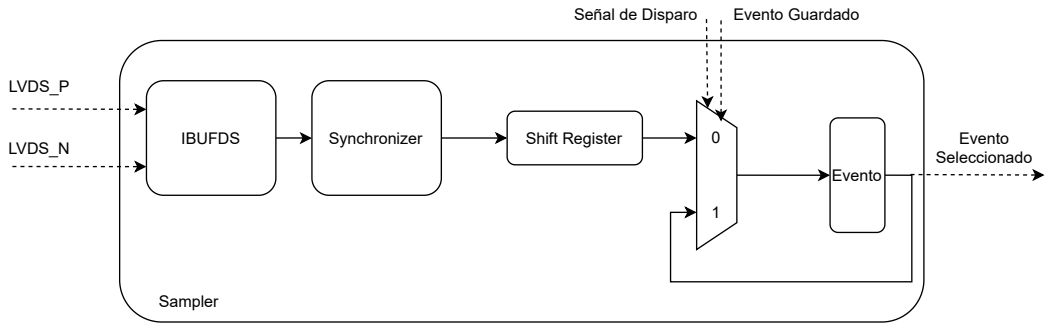

Figura 4.6: Diagrama simplificado del módulo *Sampler*, ejemplificado para una sola señal LVDS.

4.2.2. Event Buffer

El buffer de eventos se encarga de almacenar provisoriamente los eventos entrantes en una memoria FIFO hasta que la etapa siguiente solicite la entrega de los eventos capturados. La frecuencia de operación escogida para el buffer es de 100MHz, facilitando la implementación de esta y las siguientes etapas al ser una de las frecuencias base de la tarjeta Trenz y por ser una frecuencia cerca de 600 veces más alta que el ratio de eventos detectados por minuto (1 evento por minuto en cada canal de detección). Operar el buffer de eventos a los 400MHz asociados a la etapa de muestreo requiere otras consideraciones de diseño, como por ejemplo implementar *pipelines* y declarar *constraints* de tiempo específicas para este propósito [28].

Si se recibe una señal de disparo, el *Event Buffer* procede a leer los datos provenientes de la etapa anterior (*Sampler*). En cada ciclo de reloj se guarda en la memoria FIFO la última fila del arreglo bidimensional que representa al evento seleccionado. Una vez que la información es almacenada en memoria, se desplazan los datos del arreglo bidimensional (Shift) y se repite el ciclo 16 veces. Así, en la memoria FIFO cada dirección de memoria corresponderá a canales consecutivos de un mismo evento, donde cada canal es representado en 64 bits de datos. Se decidió operar de esta manera para simplificar la implementación del hardware y debido a que no es posible almacenar un arreglo bidimensional en una sola dirección de memoria FIFO. Además, se escogió una memoria FIFO para implementar este buffer por adecuarse bien a la naturaleza de los datos: el orden de los eventos es importante y con esta memoria los eventos son leídos por orden de llegada. Además, esta memoria permite el almacenamiento de hasta 2.500 eventos y sus respectivos canales.

La Figura 4.7 ilustra el módulo *Event Buffer* de manera simplificada, ejemplificando el flujo de información desde el evento seleccionado por el módulo *Sampler* hasta la fila de 64bits a ser guardada en la memoria FIFO por cada ciclo de re-

loj hasta completar las 16 filas que componen el evento que está siendo guardado. Existe un contador que lleva la cuenta de las veces que se ha desplazado el arreglo bidimensional que contiene al evento y cuenta con lógica combinacional que coordina el flujo de la información. El módulo emite una señal para indicarle al módulo *Sampler* que el evento ha sido guardado por completo en la memoria FIFO.

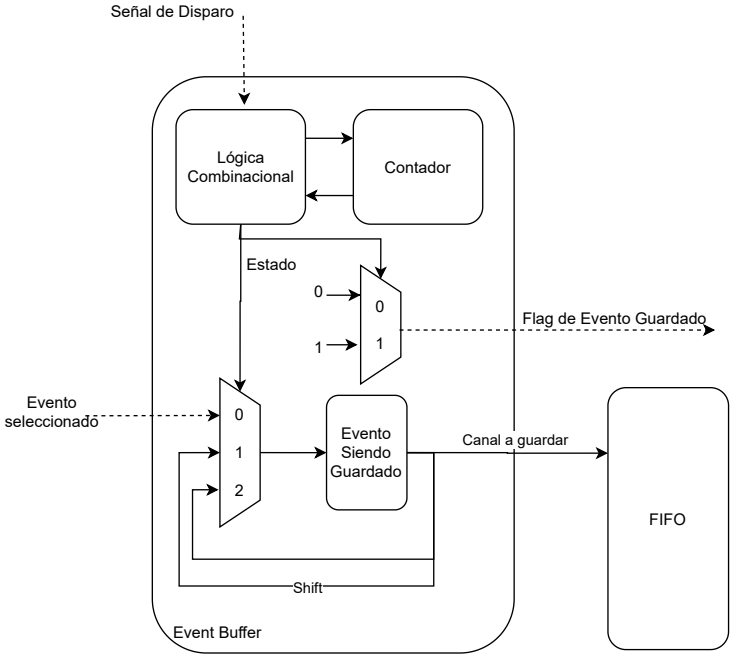

Figura 4.7: Diagrama simplificado del módulo *Event Buffer*.

4.2.3. Event Reader y Comunicación

El módulo *Event Reader*, ilustrado en el costado izquierdo de la Figura 4.8 cumple la función de leer los eventos almacenados en la memoria FIFO cada vez que reciba un comando de 8 bits desde el módulo de comunicación. Al recibir el comando, el módulo comienza a leer cada dirección de la memoria FIFO hasta leer las 16 direcciones consecutivas que componen a un mismo evento. Cada dirección almacena un canal de detección en 64bits, pero el *Event Reader* separa esta información en 2 paquetes de 32bits cada uno, demorando dos ciclos de reloj por cada canal que se desee enviar. Este formato de entrega permite la comunicación entre la lógica programable y el procesador mediante el GPIO, utilizando un puerto de precisamente 32bits. Dado que el GPIO del procesador cuenta con puertos limitados, no es posible utilizar un puerto de 64Bits de manera directa, debiendo realizarse en dos pasos. Por otro lado, los datos se entregan desde la PL al PS y no al revés debido a que

el módulo de comunicación UART (Universal Asynchronous Receiver-Transmitter) está ubicado en el procesador, mientras que los datos están almacenados en la lógica programable.

Complementariamente, la etapa de comunicación ilustrada en el costado derecho de la Figura 4.8 se encarga de entregar los eventos recibidos desde el *event reader* hacia el mundo exterior mediante la UART presente el procesador de la Zynq, a una tasa de transferencia de 115.200bps (baudios por segundo). Este módulo recibe comandos en formato ASCII desde un computador externo (que serán traspasados al módulo *Event Reader*) y entrega los datos provenientes de la lógica programable al computador solicitante en forma de números enteros sin signo de 32bits.

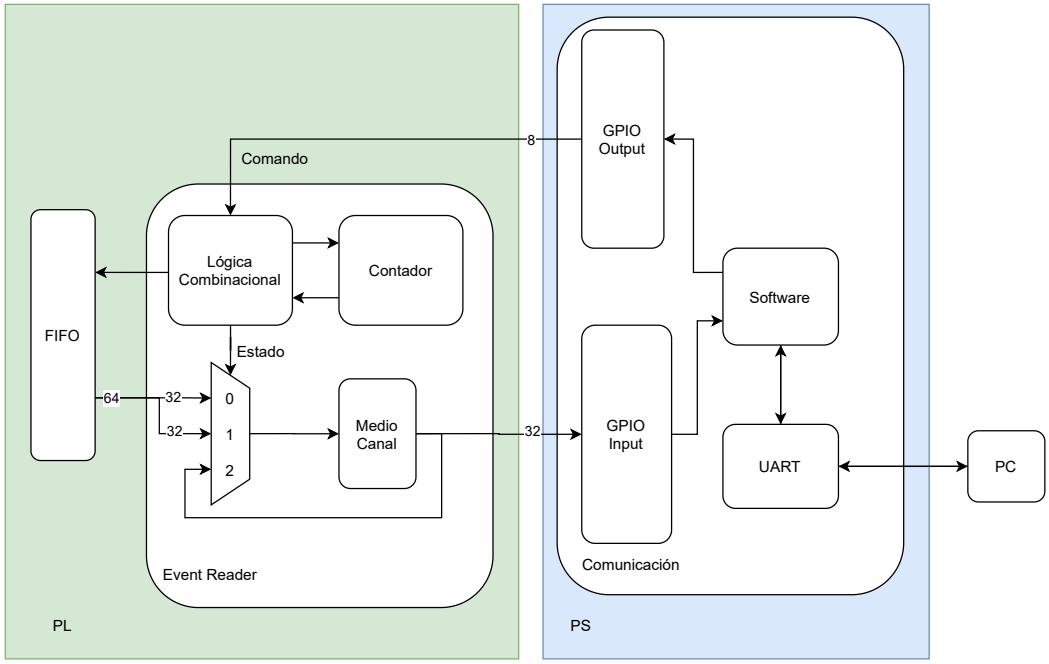

Figura 4.8: Diagrama simplificado del módulo *Event Reader* y el módulo de comunicación en el procesador.

4.2.4. Utilización de recursos en el sistema implementado

La implementación de este sistema de adquisición significó la utilización de casi 23 % de la memoria BRAM disponible para la implementación del módulo *Event Buffer*, como se indica en la Tabla 4.2. Se utilizaron 32 bloques de 36Kb cada uno para la implementación de la memoria FIFO asociada a los eventos provenientes de un detector. Sumado a que se utilizaron 33 puertos IO (32 puertos para señales LVDS y 1 para la señal de disparo) de los 152 accesibles desde la tarjeta de desarrollo

Tabla 4.2: Recursos de hardware utilizados en la implementación del sistema de adquisición.

Recurso	**Utilización**	**Disponibilidad**	**Utilización [%]**
LUT	2.810	53.200	5,28
LUTRAM	80	17.400	0,46
FF	6.439	106.400	6,05
BRAM	32	140	22,86
IO	33	200	16,50
BUFG	3	32	9,38
MMCM	1	4	25,00

Trenz, se tiene que el uso de recursos es menor al 25 % y da pie para implementar un sistema de adquisición para máximo 4 detectores antes de utilizar la totalidad de recursos de memoria y puertos disponibles.

En cuanto a otros recursos utilizados listados en la Tabla 4.2, se usa un solo MMCM (Mixed-mode Clock Manager) y 3 BUFG (Global Clock Buffer) para la generación de relojes, no requiriéndose MMCM adicionales en una eventual expansión del sistema de adquisición dentro del mismo hardware. La utilización de Flip-flops representa aproximadamente un 6 % del total disponible, lo que corresponde a un bajo porcentaje de utilización considerando que son el principal recurso de hardware presente en el muestreo de señales digitales y en la escritura y lectura de eventos en memoria, significando una ventaja y abriendo la posibilidad a expandir la lógica programable. Así mismo, los porcentajes de utilización asociados a LUTs (Look-up Tables) y memoria distribuida (LUTRAM) presentes en la lógica combinacional son mínimos comparado con el total disponible, lo que da holgura para implementar sistemas aún más grandes y complejos.

Luego de la implementación y análisis del sistema de adquisición de datos diseñado, es posible operar el sistema y capturar pulsos de prueba, leer los datos muestreados y contrastar la integridad de la información entre los pulsos iniciales y los datos leídos por comunicación serial como se realizará en el Capitulo 5.

Capítulo 5

EVALUACIÓN EXPERIMENTAL

Con el fin de constatar el correcto funcionamiento del hardware diseñado en el Capítulo 4, se realizó una evaluación experimental consistente en emular pulsos digitales de entrada mediante la implementación de un módulo de hardware auxiliar diseñado especialmente para este propósito, sumado a las herramientas de depuración disponibles en el software de desarrollo Vivado: VIO (Virtual Input/Output) [32] e ILA (Integrated Logic Analyzer) [33], contrastando así la integridad y duración de los pulsos capturados respecto a los datos recibidos por comunicación serial en un computador receptor.

La evaluación experimental se realiza mediante emulación de pulsos digitales en el hardware implementado y no mediante pulsos reales debido al contexto de pandemia en el cual se desarrolla esta memoria de titulación, lo que implica la imposibilidad de acceder al sistema de detección real y a los equipos de laboratorio necesarios para operarlo. Se espera que esta evaluación experimental sea representativa del sistema real mediante la emulación de pulsos digitales con tiempos de duración equivalentes a los pulsos de detección reales (entre 2ns y 90ns), con un ratio de detección mayor al esperado (1 evento cada 2μs en vez de 1 por minuto) y abarcando todos los canales de captura disponibles en el sistema de adquisición implementado.

La Figura 5.1 ilustra la ubicación e interconexión entre el sistema de adquisición y los módulos de depuración y emulación de pulsos. Los bloques en naranjo representan al módulo VIO, ILA y Módulo Auxiliar, encargados de dar inicio al experimento, monitorear las señales de entrada y salida del sistema de adquisición, y emular los pulsos digitales de detección respectivamente.

El módulo auxiliar de emulación tiene como objetivo generar un exhaustivo barrido de señales abarcando todos los puertos de adquisición y emula señales equivalentes a 36 eventos de detección en diferentes vértices de interacción de un detector sTGC imaginario. Por ejemplo, la Figura 5.2 representa uno de los 36 eventos emulados, particularmente el evento 10, en donde se observan 6 canales coloreados en

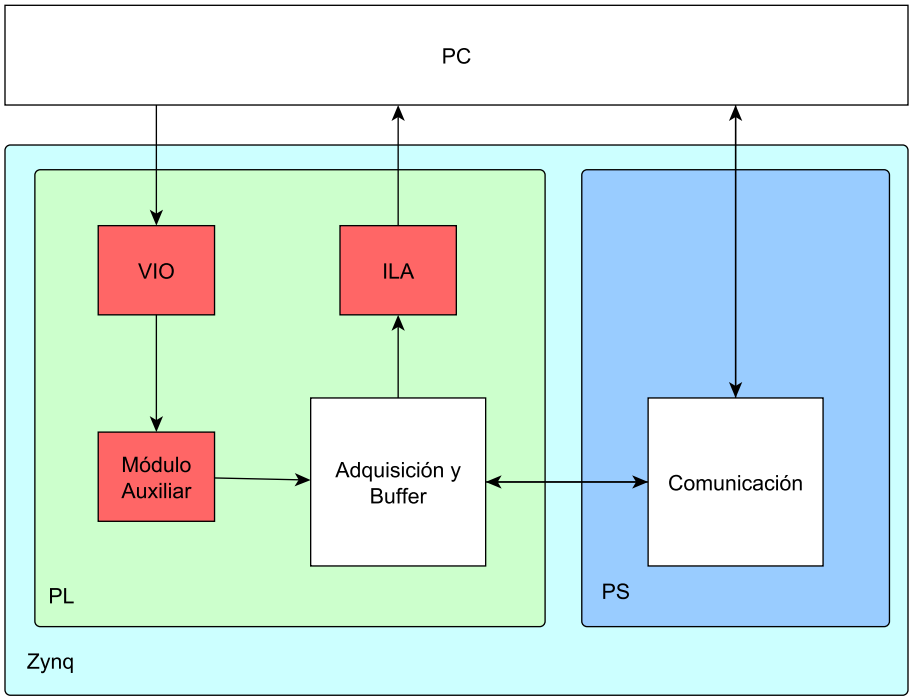

Figura 5.1: Configuración experimental para la emulación de pulsos digitales y monitoreo del sistema de adquisición implementado.

naranjo, correspondientes a tres canales por cada eje coordenado. En el centro de la intersección de canales coloreada en verde se encuentra el vértice de interacción estimado (coloreado en celeste). Cada evento representa un vértice de adquisición diferente y excita siempre 3 puertos de adquisición por cada eje coordenado, lo que se traduce a 36 diferentes combinaciones de señales para la representación de los eventos de prueba. Además, la duración de las señales es diferente en cada evento, partiendo con 36 ciclos de reloj de duración para las señales del primer evento y terminando con 1 ciclo de reloj de duración para las señales del último evento enviado, logrando así poner a prueba la resolución temporal del sistema de adquisición.

El envío de los 36 eventos se inició mediante un botón virtual configurado en un bloque VIO, mientras que las señales internas se monitorearon con un bloque ILA. Los datos generados por el sistema de adquisición diseñado fueron leídos a través de una consola serial incluida en la interfaz del software Xilinx SDK 2019.1. Las Figuras 5.3 y 5.4 corresponden a capturas de pantalla de la interfaz ILA e ilustran las señales internas asociadas a los eventos 1 y 4 respectivamente. En ambas figuras se incluyen 6 señales: *Start_bttn*, correspondiente a la señal emitida por el botón con-

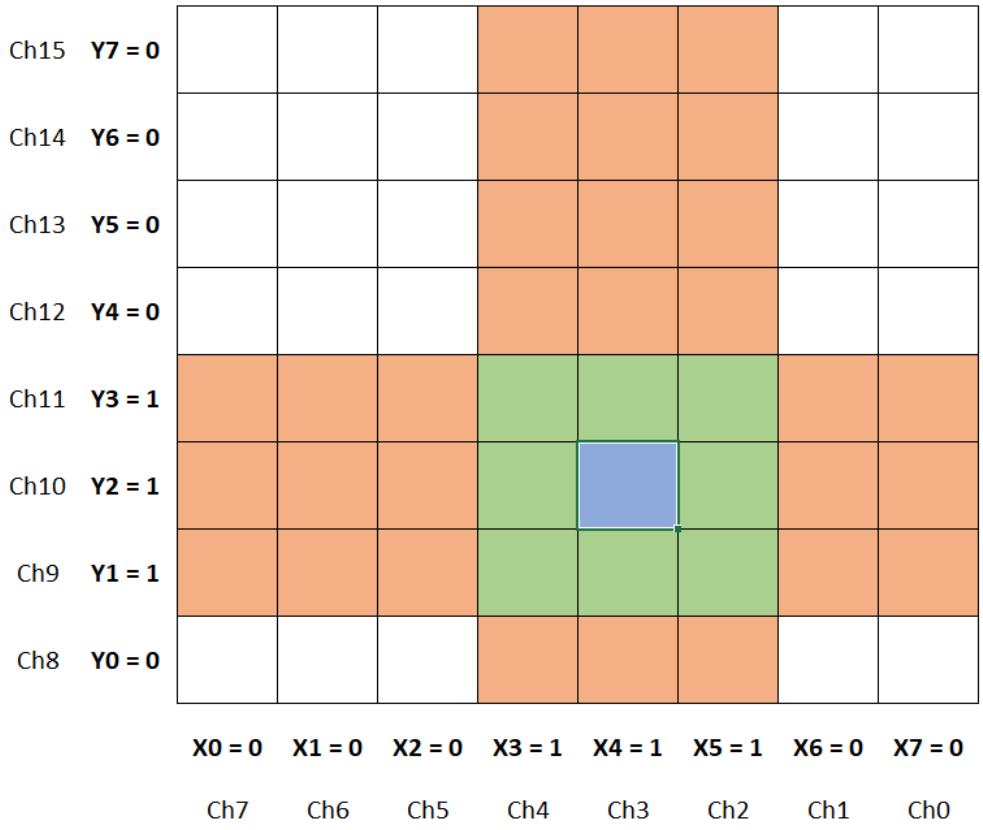

Figura 5.2: Ejemplo de uno de los 36 eventos, correspondiente al evento de prueba número 10.

figurado en la VIO; *Input_Event*, vector de 15bits que representa los datos enviados desde el módulo auxiliar hacia el sistema de adquisición; *Trigger*, correspondiente a la emulación de una señal de disparo con un delay de 48 ciclos de reloj; la señal para habilitar la escritura en la memoria FIFO, nombrada como *FIFO_write_enable*; *FIFO_data_input*, vector de 64bits asociado a los datos recibidos por el sistema de adquisición listos para ser guardados en la memoria FIFO; y *FIFO_empty_flag*, la cual corresponde a la señal emitida por la memoria FIFO cuando está vacía.

En la Figura 5.3 se ilustran las señales internas asociadas al primer evento enviado y se sitúan en ella 4 marcadores azules y un marcador verde. Los primeros dos marcadores azules corresponden al inicio y término del envío de señales a través del vector *Input_event*, indicando que la duración de este grupo de señales es de 9 ciclos de reloj. Dado que la frecuencia de reloj utilizada para el bloque ILA es de 100MHz, pero el módulo auxiliar opera a 400MHz, se tiene entonces que la

duración de las señales emitidas correspondientes al primer evento es 4 veces la cantidad de ciclos demarcada, significando una duración de 36 ciclos (90ns) para este evento. Así se comprueba que la señal ha sido correctamente emitida. Además su valor en notación hexadecimal corresponde a `0x07e0`, que se traduce en binario a `0b0000011111100000` y representa que los canales excitados corresponden a los primeros 3 de cada eje coordenado.

Los últimos dos marcadores azules de la Figura 5.3 demarcan el inicio y término de la escritura en memoria (*FIFO_write_enable*) de los datos capturados por el sistema de adquisición. Este proceso de escritura toma 16 ciclos de reloj, que efectivamente corresponden a los 16 ciclos necesarios para escribir la información de cada uno de los 16 canales capturados por el sistema de adquisición según el reloj de 100MHz asociado a la memoria FIFO. El marcador verde está situado en medio de la información a ser escrita en la memoria FIFO indicada por el vector de 64 bits *FIFO_data_input*, donde se puede observar el número hexadecimal `0x1FFFFFFFFE` que representa la duración de los 6 canales intermedios excitados por este evento. Sumando el número de bits en alto que contiene este dato hexadecimal se obtiene 36, lo que corresponde a la los ciclos de reloj que dura el evento 1.

La señal *trigger* indicada en la Figura 5.3 no es observable debido a la frecuencia de reloj del analizador lógico, la cual es 4 veces más lenta que el reloj al que opera la emisión y captura de pulsos de disparo. En la Figura 5.4 sí es posible observar la señal de disparo ya que corresponde al cuarto evento enviado por el módulo auxiliar, por ser múltiplo de 4. En esta figura se observa una señal de disparo correspondiente a 12 ciclos de reloj del analizador lógico, que se traducen a 48 ciclos de reloj en el dominio de la adquisición de datos y equivale a un retardo de 120ns respecto a la emisión del evento representado en la Figura 5.4.

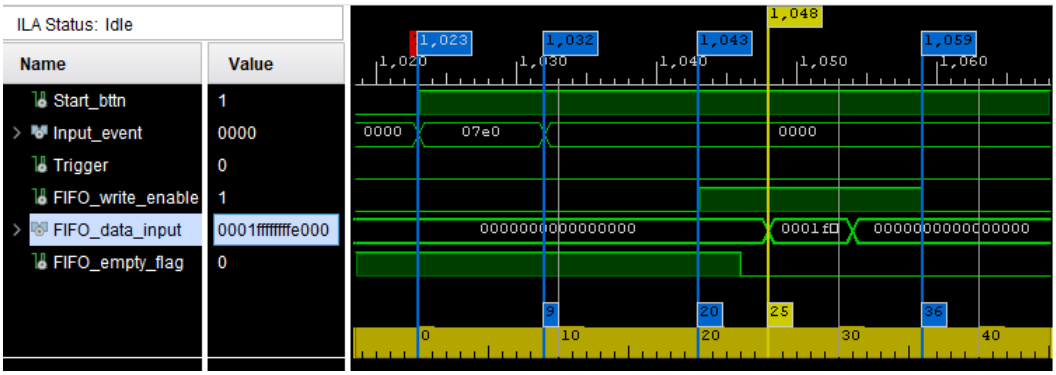

Figura 5.3: Captura de pantalla de la interfaz ILA, donde se ilustra la recepción del primer evento de prueba.

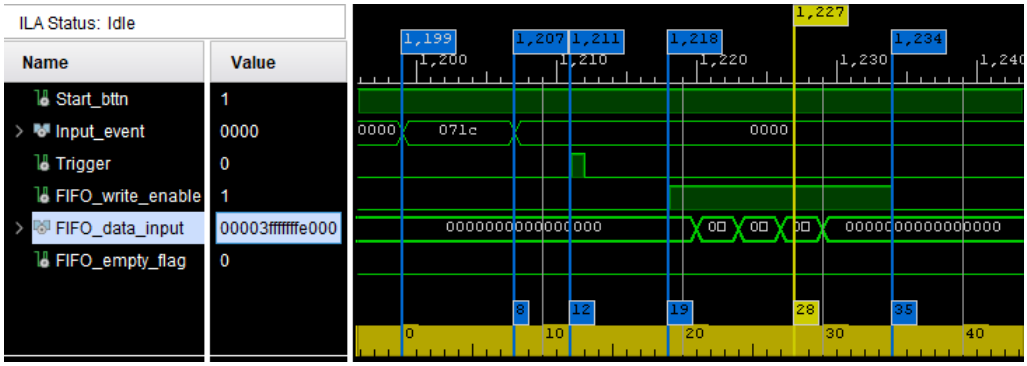

Figura 5.4: Captura de pantalla de la interfaz ILA, donde se ilustra la recepción del cuarto evento de prueba.

Finalmente, se realizó este experimento 28 veces consecutivas sin ninguna variabilidad sumando un total de 1008 eventos capturados con la misma secuencia y duración de señales, para así comparar y comprobar que los eventos con *glitches* o errores de medición sean menores al 1 % del total de eventos y no interfieran en el posterior análisis e interpretación de los eventos detectados. Dado que la generación de una muongrafía requiere analizar miles de eventos, contar con menos del 1 % de eventos defectuosos no tiene mayores repercusiones y se considera despreciable. En cuanto al muestreo del tiempo de duración de cada señal, se espera que el error no sea mayor a ±2,5ns, correspondiente a la resolución temporal del sistema de adquisición diseñado.

Durante la prueba experimental, los eventos emulados fueron recepcionados mediante comunicación serial y fueron analizados a través de un programa para contar los bits contenidos en cada canal de cada evento. El conteo de bits se realizó con el algoritmo de Brian Kernighan [34] para conteo de bits en números enteros. Así se comprobó que para los 1008 eventos se logró capturar la totalidad de las señales emuladas y se pudo muestrear correctamente el 100 % de la duración de cada señal con una resolución temporal de 2,5ns. El programa utilizado y los archivos generados en la adquisición de eventos se encuentran disponibles en el repositorio de este proyecto [18]. La Tabla 5.1 corresponde a los datos obtenidos por comunicación serial ya procesados mediante el algoritmo para conteo de bits y representa la duración de cada evento en ciclos de reloj, considerando un reloj de 400MHz.

Los resultados de esta prueba fueron satisfactorios, ya que no hubieron errores ni en la medición ni en la transferencia de los eventos emulados, alcanzando un 0 % de eventos defectuosos y 0ns de error en el muestreo de señales. La baja tasa de eventos defectuosos comprueba el correcto funcionamiento del sistema de adquisición de da-

tos en cuanto a su resolución, lógica de operación y módulos de comunicación para la adquisición de pulsos digitales sincrónicos. Cabe mencionar que para eventos reales las tasas de error serán mayores debido a la incidencia de señales con duraciones menores a la resolución máxima disponible de 2,5ns, además de la posible existencia de errores de detección, disparo y transferencia de señales provenientes del sistema de detección, los cuales no están considerados en esta prueba experimental y contribuirían a aumentar el porcentaje de error global de sTGC Minería. Ambas desventajas hacen necesaria la realización de pruebas experimentales que incluyan los sistemas reales de detección y disparo para realizar una caracterización completa del sistema y determinar así porcentajes de error globales, pero con la seguridad de que el sistema de adquisición es capaz de muestrear completamente aquellas señales que estén dentro de su rango de muestreo.

Evento	Ch0	Ch1	Ch2	Ch3	Ch4	Ch5	Ch6	Ch7	Ch8	Ch9	Ch10	Ch11	Ch12	Ch13	Ch14	Ch15
1	0	0	0	0	0	36	36	36	36	36	36	0	0	0	0	0
2	0	0	0	0	35	35	35	0	35	35	35	0	0	0	0	0
3	0	0	0	34	34	34	0	0	34	34	34	0	0	0	0	0
4	0	0	33	33	33	0	0	0	33	33	33	0	0	0	0	0
5	0	32	32	32	0	0	0	0	32	32	32	0	0	0	0	0
6	31	31	31	0	0	0	0	0	31	31	31	0	0	0	0	0
7	0	0	0	0	0	30	30	30	0	30	30	30	0	0	0	0
8	0	0	0	0	29	29	29	0	0	29	29	29	0	0	0	0
9	0	0	0	28	28	28	0	0	0	28	28	28	0	0	0	0
10	0	0	27	27	27	0	0	0	0	27	27	27	0	0	0	0
11	0	26	26	26	0	0	0	0	0	26	26	26	0	0	0	0
12	25	25	25	0	0	0	0	0	0	25	25	25	0	0	0	0
13	0	0	0	0	0	24	24	24	0	0	24	24	24	0	0	0
14	0	0	0	0	23	23	23	0	0	0	23	23	23	0	0	0
15	0	0	0	22	22	22	0	0	0	0	22	22	22	0	0	0
16	0	0	21	21	21	0	0	0	0	0	21	21	21	0	0	0
17	0	20	20	20	0	0	0	0	0	0	20	20	20	0	0	0
18	19	19	19	0	0	0	0	0	0	0	19	19	19	0	0	0
19	0	0	0	0	0	18	18	18	0	0	0	18	18	18	0	0
20	0	0	0	0	17	17	17	0	0	0	0	17	17	17	0	0
21	0	0	0	16	16	16	0	0	0	0	0	16	16	16	0	0
22	0	0	15	15	15	0	0	0	0	0	0	15	15	15	0	0
23	0	14	14	14	0	0	0	0	0	0	0	14	14	14	0	0
24	13	13	13	0	0	0	0	0	0	0	0	13	13	13	0	0
25	0	0	0	0	0	12	12	12	0	0	0	0	12	12	12	0
26	0	0	0	0	11	11	11	0	0	0	0	0	11	11	11	0
27	0	0	0	10	10	10	0	0	0	0	0	0	10	10	10	0
28	0	0	9	9	9	0	0	0	0	0	0	0	9	9	9	0
29	0	8	8	8	0	0	0	0	0	0	0	0	8	8	8	0
30	7	7	7	0	0	0	0	0	0	0	0	0	7	7	7	0
31	0	0	0	0	0	6	6	6	0	0	0	0	0	6	6	6
32	0	0	0	0	5	5	5	0	0	0	0	0	0	5	5	5
33	0	0	0	4	4	4	0	0	0	0	0	0	0	4	4	4
34	0	0	3	3	3	0	0	0	0	0	0	0	0	3	3	3
35	0	2	2	2	0	0	0	0	0	0	0	0	0	2	2	2
36	1	1	1	0	0	0	0	0	0	0	0	0	0	1	1	1

Tabla 5.1: Ejemplo de tabla de datos recibida por comunicación serial, correspondiente al experimento número 15. Los números representan la duración de cada señal en ciclos de reloj de 400MHz.

Capítulo 6

CONCLUSION

En este capítulo se presentan las conclusiones respecto al diseño, implementación y evaluación del sistema de adquisición de datos, incluyendo además diferentes propuestas para probar, mejorar y continuar con sTGC Minería en el futuro.

6.1. Conclusiones

Luego del trabajo realizado en esta memoria de titulación se logró cumplir con los objetivos propuestos en la Sección 1.3. Fue posible diseñar e implementar un sistema digital capaz de cumplir con las funciones de adquirir pulsos digitales proveniente de una interfaz de lectura, discriminar la autenticidad de los eventos capturados asociados a muones y comunicar los datos adquiridos a sistemas externos, todo implementado en una tarjeta de desarrollo Trenz consistente en un SoC Zynq 7000 constituido por un procesador y lógica programable equivalente a la de una FPGA Artix 7. Las etapas de adquisición y discriminación lograron implementarse con buffers de entrada para señales LVDS y Shif-registers respectivamente, mientras que la etapa de comunicación se llevó a cabo utilizando una memoria FIFO y comunicación serial implementada en el procesador de la tarjeta Trenz.

Fue posible realizar un diseño escalable mediante el la creación de un sistema modular basado en etapas de adquisición de datos, escritura y lectura de memoria. Dado que la tarjeta Trenz cuenta con 76 pares de puertos compatibles con el estándar LVDS y con 4.9Mb de memoria distribuida en 140 bloques de 36Kb cada uno, es posible implementar con holgura dos sistemas de adquisición en una misma tarjeta, utilizando 32 pares LVDS, 1 puerto común para señal de disparo y capacidad de almacenar hasta 2.500 eventos. Utilizando los recursos al límite, es factible implementar 4 sistemas de adquisición en una misma tarjeta Trenz, pero reduciendo la cantidad de eventos almacenables a 1.250 antes de llenar por completo la memoria FIFO. Esto no es un problema mientras los datos sean leídos de manera constante o al menos cada 4 minuto, ya que el flujo de muones en el área de detección asociada a 4 detectores corresponde a 256 eventos por minuto, llenando la memoria totalmente

en menos de 5 minutos.

La resolución espacial alcanzada por el detector es efectivamente de $1cm^2$ mediante el cruce de canales excitados por señales de detección según el esquema de coordenadas indicado en la Figura 3.6 de la Sección 3.1. Esta resolución puede mejorar considerablemente mediante un posterior análisis de duración de pulsos detectados en canales adyacentes al vértice de interacción estimado.

Por otro lado, la resolución temporal del sistema de adquisición diseñado fue de 2,5ns, dentro del rango de los nanosegundos, gracias a la frecuencia de reloj de 400MHz utilizada en la etapa de muestreo. Si bien esta resolución cumple con los requisitos, no es la máxima factible a sintetizar en la lógica programable de la tarjeta Trenz. Para lograr mayores frecuencias de reloj es necesario cambiar el esquema de comunicación entre los módulos de muestreo y buffer de eventos, ya que pertenecen a dominios de reloj diferentes. En un principio, se trabajó sin darle importancia a los dominios de reloj asociados a cada módulo para simplificar el diseño de hardware cumpliendo con los requerimientos de tiempo establecidos, pero durante el desarrollo del sistema de adquisición se tornó evidente la necesidad de implementar una memoria de doble puerto con operación de relojes independientes para permitir una comunicación óptima entre módulos a una frecuencia mayor. También es posible cambiar la manera en que se resetean algunos bloques lógicos, sobre todo aquellos encargados de retener la información de los eventos, logrando tener un *fanout* mucho menor en las señales de reset utilizadas, evitando por ejemplo el restablecimiento de algunos arreglos bidimensionales y dependiendo solo de su inicialización y flujo en las máquinas de estados, tema que no fue considerado al momento de diseñar el sistema de adquisición. Para alcanzar frecuencias de muestreo aún mayores, sería necesario cambiar a plataformas híbridas de adquisición de datos, como por ejemplo utilizando FPGAs en conjunto con chips DRS4 [35] alcanzando tasas de muestreo equivalentes a utilizar un reloj de 5GHz para el caso de esta memoria. Sin embargo, frecuencias por sobre 1GHz no se justifican para la aplicación en sTGC minería, principalmente por la resolución temporal de la tarjeta ASD (no mayor a 1ns).

El haber superado satisfactoriamente la prueba experimental con pulsos digitales emulados sienta precedentes satisfactorios para una posterior prueba con interfaces ASD reales y con detectores sTGC funcionales. La totalidad de los datos emulados fueron muestreados con la resolución temporal esperada, implicando que la existencia de eventos defectuosos es menor al 1 % y asegurando una resolución temporal de $\pm$2,5ns para la duración de las señales muestreadas. Se espera que las tasas de error alcanzadas dentro del sistema de adquisición sean mayores al probar el sistema con eventos reales, ya que podrían presentarse otros errores no considerados en los

sistemas de disparo y detección que podrían contribuir al alza de la tasa de error y a la reducción de la resolución temporal de sTGC Minería en su totalidad.

Por último, el trabajo realizado, los sistemas estudiados y las herramientas utilizadas se encuentran disponibles en la enciclopedia digital de CCTVal, así como también en el repositorio de Github [18], permitiendo la replicación, mejoramiento y continuación de este proyecto, así como también la oportunidad de adaptarlo a otros sistemas que requieran adquisición de datos en su arquitectura.

6.2. Trabajo futuro

Para el futuro quedan pendientes muchas opciones de desarrollo interesantes. Por ejemplo, es posible fabricar una tarjeta PCB (Printed Circuit Board) que facilite la interconexión de las interfaces de lectura hacia la tarjeta Trenz. Esta PCB deberá cumplir con el estándar LVDS para señales diferenciales tomando en consideración la simetría e impedancia presente en las pistas que la compongan. Por otro lado, queda pendiente seguir mejorando el diseño digital del sistema de adquisición, poniendo al límite sus posibilidades para mejorar el desempeño en cuanto a resolución temporal. Como se menciona en la Sección 6.1 inmediatamente anterior, es factible repensar la comunicación entre distintos dominios de reloj y optimizar la utilización de señales con alta demanda, como lo son las señales de reloj y reset. Además, es posible abarcar nuevos métodos de optimización *post-placement* mediante comandos y análisis de *timing* [36] propios de la herramienta de diseño Vivado, que podrían ayudar a alcanzar al menos los 500MHz de frecuencia de reloj.

Finalmente, queda pendiente la realización de pruebas mediante pulsos analógicos provenientes de generadores de señales y circuitos adecuados para estos fines. Además, se deberá probar el sistema con interfaces ASD reales y conectadas a sus respectivos detectores para así caracterizar el sistema completo y observar las propiedades físicas de los muones detectados. Queda pendiente también interconectar este proyecto con el sistema de disparo [17] fabricado por CCTVal en conjunto con el detector y la interfaz de lectura, completando así la primera etapa del proyecto sTGC Minería. Una futura segunda etapa, posterior a la adquisición de datos para detectores de muones, será la etapa de análisis de datos para reconstrucción de eventos de detección, encargada de interpretar la duración de los pulsos capturados asociados a los diferentes canales de detección. Este análisis de datos permitiría el estudio de la posición y la energía depositada por los muones en los detectores, estimar la trayectoria de los muones y determinar la densidad de la materia atravesada en su camino, logrando así generar las tomografías muónicas útiles para el estudio de terreno minero, tal como se requiere en el proyecto sTGC Minería de CCTVal.

Apéndice A

CONEXIÓN DE SEÑALES LVDS EN FAMILIA DE PRODUCTOS XILINX 7 SERIES

El sistema de adquisición de datos para detectores de muones basa su funcionalidad en un enlace de datos físicos entre una FPGA y una interfaz de lectura ASD, a través de la cual la interfaz emite pulsos digitales mediante emisores LVDS mientras que la FPGA recibe los pulsos con su propio receptor LVDS. Este apéndice detalla cómo conectar dispositivos que utilicen interfaces LVDS en cualquier tipo de proyecto, entendiendo los protocolos y requerimientos básicos necesarios para lograrlo.

A.1. Acerca del estándar LVDS

LVDS (Low Voltage Differential Signaling) [25] es un enlace de datos de capa física, útiles en aplicaciones que requieran principalmente conservar la integridad de los datos, mantener bajo ruido en el medio de transmisión, o cuando el emisor y receptor se encuentran demasiado lejos el uno del otro.

Las interfaces LVDS pueden controlar señales en el rango de los 2V a 5V, con una alta velocidad de transferencia de hasta 500Mbps en un solo par diferencial preservando la integridad de la señal a transmitir y manteniendo una buena inmunidad al ruido y a interferencia por campos electromagnéticos Se caracterizan por ser económicas, de bajo consumo de potencia, pequeñas y de una implementación simple.

Las interfaces LVDS transfieren datos a través de una linea de par trenzado en la que los voltajes de cada cable tienen opuesta amplitud. Estas señales son montadas sobre un nivel de voltaje continuo típicamente de 1,2V y poseen tan solo 400mV de diferencia de voltaje ente ambos cables [25], como se representa en la Figura

A.1. Esta figura ilustra una señal LVDS y la compara desde dos perspectivas: en el costado superior se ilustra la señal diferencial interpretándola como un par de terminales independientes, mientras que en el costado inferior se ilustra la señal como una señal que representa su valor diferencial, restando los niveles de voltaje de ambas señales independientes. En la imagen, V_{idth} (Input Differential Threshold Voltage) corresponde al nivel de voltaje necesario para que un receptor capte la señal LVDS, V_{ob} corresponde al cable con potencial de voltaje positivo, V_{oa} corresponde al cable de potencial negativo y V_{od} representa la diferencia de voltaje final entre el par de cables.

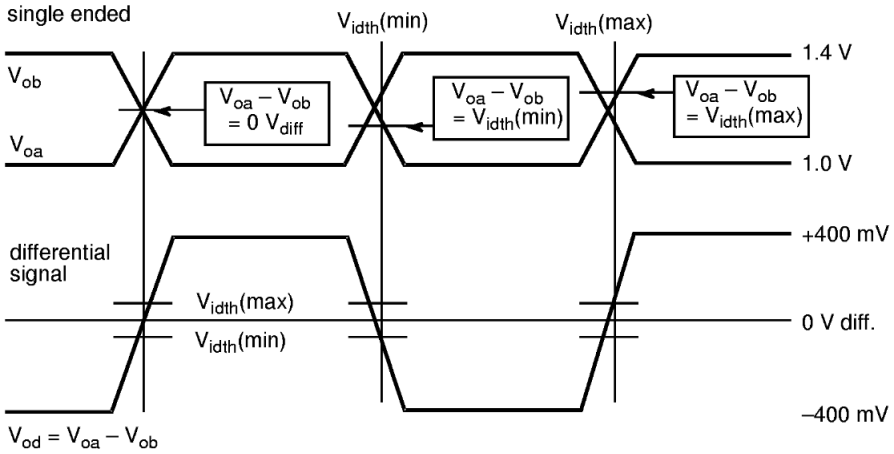

Figura A.1: Comparación de una señal diferencial interpretándola como terminales independientes y como terminales diferenciales.

La implementación de una linea de datos LVDS requiere un emisor, una linea de transmisión, una resistencia de 100Ω y un receptor, como se observa en la Figura A.2. La resistencia de 100Ω se debe a la impedancia propia de la linea de transmisión (50Ω) de cada cable respecto a tierra, que junto a una linea de transmisión simétrica se obtiene un medio de comunicación que mantiene la adaptación de impedancia y la integridad de la señal enviada. Las interfaces diferenciales solamente emiten y reciben la diferencia entre los dos cables que componen la linea de transmisión, eliminando el ruido de modo común en la señal de voltaje asociado al potencial eléctrico entre tierra, emisor y receptor, sumado al ruido propio infiltrado en la linea de transmisión.

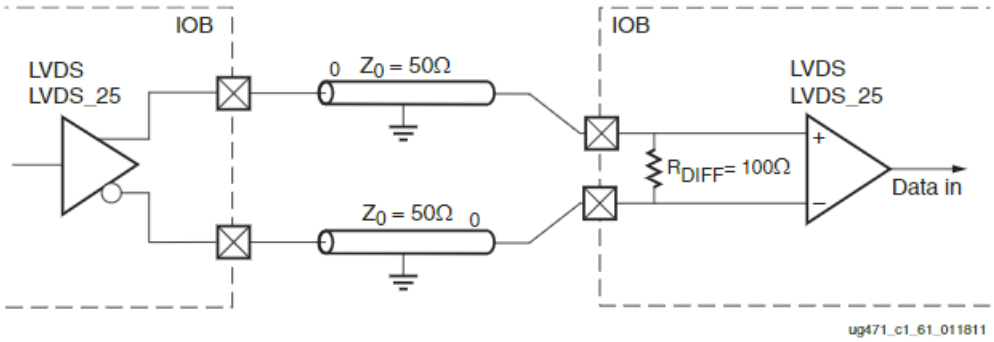

Figura A.2: Conexión entre un emisor y receptor LVDS, ubicados a la izquierda y derecha de la imagen respectivamente [11].

A.2. Interconexión LVDS para hardware Xilinx 7 Series

La familia de FPGAs Xilinx 7 Series [37] es capaz tanto de emitir como recibir señales LVDS e incluye la opción de habilitar una resistencia de 100Ω en caso de que el circuito conectado no cuente con una. Además, esta familia de FPGAs cuenta con dos tipos de estándares LVDS [38]: el LVDS común, que requiere una fuente de alimentación de 1.8V y se encuentra disponible en los bancos HP (High Performance) de la FPGA, y el estándar LVDS_25, el cual necesita una fuente de voltaje de 2,5V para alimentar sus bancos de puertos de tipo HR (High Rank). Usar cualquiera de estos dos estándares con su correcta fuente de voltaje permite habilitar o deshabilitar la resistencia interna. De lo contrario, en el caso de usar un voltaje diferente al especificado en el estándar, se debe mantener la resistencia interna desactivada [39].

En particular, la FPGA Artix 7 y la Zynq 7000 tienen solamente bancos HR [38], por lo que solo está disponible el estándar LVDS_25. Contradictoriamente, las tarjetas Trenz utilizadas en esta memoria de titulación solo cuentan con fuentes de 1,8V, 3,3V y 5V, lo que implica que para habilitar la resistencia interna en las FPGAs se debe utilizar una fuente de voltaje externa de 2,5V

A.3. Descripción de hardware para utilización de puertos LVDS

Para operar correctamente utilizando puertos LVDS en la familia de FPGAs Xilinx 7 Series es necesario declarar los puertos y el estándar seleccionado en el archivo de *constraints* XDC. Por ejemplo, para utilizar el par diferencial B16_L22_P (positivo) y B16_L22_N (negativo) ubicados respectivamente en los puertos E22 y D22 de una FPGA, se declararían las siguientes lineas:

```
set_property -dict {PACKAGE_PIN E22 IOSTANDARD LVDS_25} [get_ports B16_L22_P];
set_property -dict {PACKAGE_PIN D22 IOSTANDARD LVDS_25} [get_ports B16_L22_N];
```

Finalmente, para poder utilizar correctamente el par diferencial, es necesario utilizar un *IO Buffer* instanciándolo en el hardware descrito. Estos buffers permiten convertir la señal diferencial a una de un solo terminal o viceversa. Por ejemplo, para usar un par diferencial según el estándar LVDS_25 habilitando la resistencia interna del puerto, bastaría con declarar un IBUFDS (Input Buffer for Differential Singal) [31] como se indica a continuación:

```
// IBUFDS: Differential Input Buffer - Verilog
// 7 Series
// Xilinx HDL Libraries Guide, version 13.4
IBUFDS #(
    .DIFF_TERM("TRUE"), // Differential Termination (TRUE or FALSE)
    .IBUF_LOW_PWR("FALSE"), // Low power="TRUE", Highest performance="FALSE"
    .IOSTANDARD("LVDS_25") // Specify the input I/O standard (LVDS or LVDS_25)
    ) IBUFDS_LVDS_25 (
    .O(lvds_output), // Buffer output
    .I(B16_L22_P), // Diff_p buffer input (connect directly to top-level port)
    .IB(B16_L22_N) // Diff_n buffer input (connect directly to top-level port)
);
// End of IBUFDS_inst instantiation
```

Siguiendo estos pasos, el receptor LVDS queda correctamente configurado. Para utilizar el receptor LVDS basta con conectar las respectivas señales diferenciales en los puertos correspondientes declarados en el diseño, utilizando un cable de par trenzado simétrico con una impedancia de 50Ω.

Apéndice B

CONTROL DE VERSIONES DE PROYECTOS VIVADO CON GIT

Git es un sistema de control de versiones que permite al desarrollador crear múltiples ramas de desarrollo, sincronizar su trabajo con otros desarrolladores, revertir cambios realizados en el código y mantener una versión ordenada de un proyecto. Usar este tipo de herramientas para el desarrollo de proyectos en Vivado Desing Suite resulta ser muy útil, ya que permite trabajar de manera colaborativa y llevar registro de las versiones del hardware diseñado. En este apéndice se resumen todos los consejos y etapas para llevar a cabo el control de versiones de un proyecto Vivado. La clave del método a describir consiste subir al repositorio solo los archivos principales del proyecto, dejando fuera cualquier otro archivo proveniente de etapas de síntesis, implementación o archivos generados automáticamente por Vivado. Para llevar a cabo el control de versiones se hace uso de *git* junto con la plataforma en línea *Github.com*.

Antes de comenzar, se debe contar con los siguientes requisitos:

- Nociones básicas de *git*.
- Una cuenta en *Github.com*.
- El software de control de versiones *git* instalado en el computador y habilitado para ser operado mediante un terminal de comandos.
- Tener instalado Vivado Design Suite (La versión utilizada en este tutorial corresponde a la versión 2019.1).

B.1. Creación de un repositorio Git

Para comenzar, se debe iniciar sesión en *Github.com* y hacer clic en el botón verde "New" ubicado en la esquina superior izquierda, como se ilustra en la Figura B.1.

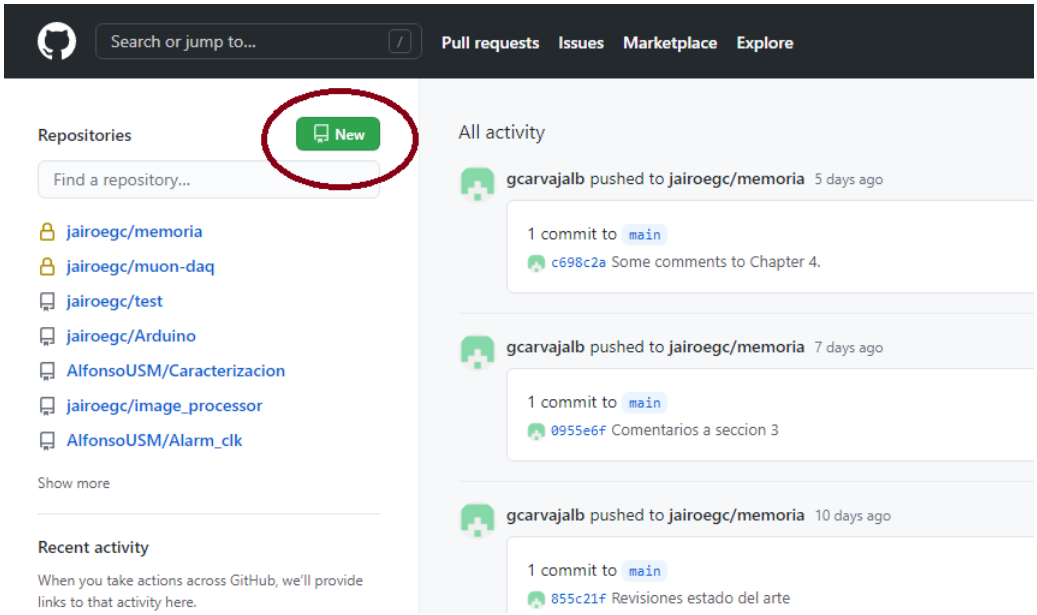

Figura B.1: Botón "New" para la creación de un nuevo repositorio remoto en *Github.com*.

Se debe elegir el nombre del repositorio y configurar lo esencial. Se recomienda crear un proyecto en blanco, sin archivo *readme* o *.gitignore*, ya que serán subidos al repositorio de manera remota durante el primer *commit*.

B.2. Clonación de un repositorio Git

Desde la interfaz web del repositorio de Github.com debe buscarse el botón verde llamado "Code" (ubicado en la esquina superior derecha) y copiar en el portapapeles la *URL* disponible para clonar el repositorio mediante HTTPS (Hypertext Transfer Protocol Secure), como se ilustra en la Figura B.2.

Si aún no se tiene instalado *git* en el computador, se debe proceder a su instalación vía consola o mediante descarga directa. Luego, se debe acceder o crear una carpeta para guardar el repositorio Vivado, abrir en ella una consola de comandos y escribir lo siguiente, sustituyendo *your-git-url* con el enlace copiado en el portapapeles:

```
$ git clone your-git-url
```

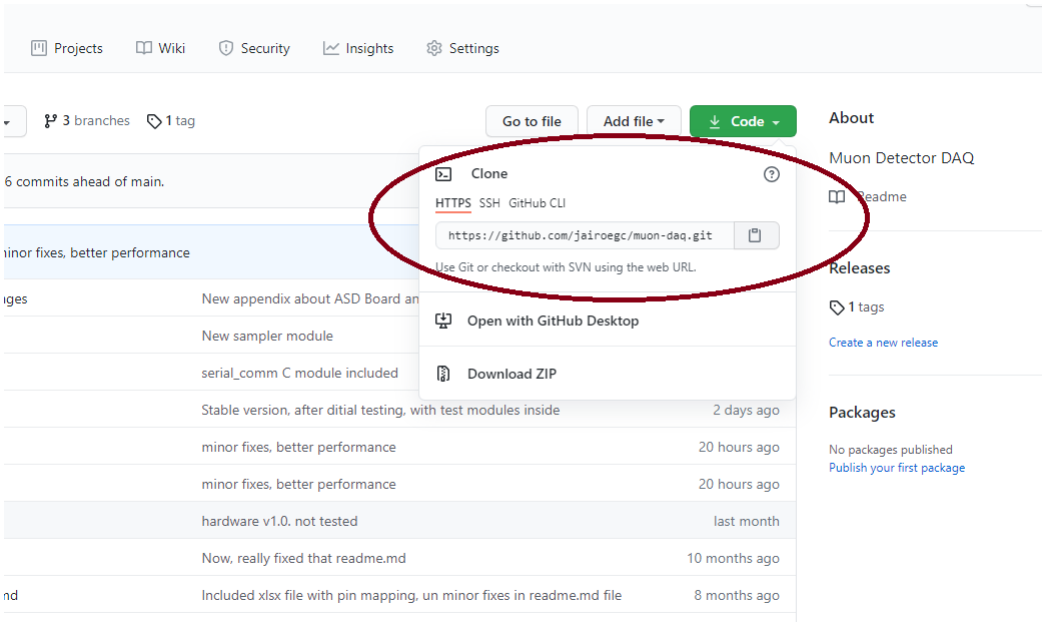

Figura B.2: Botón "Code" para acceder al enlace de clonación del repositorio.

B.3. Creación de los archivos y carpetas iniciales

Para crear los primeros archivos del repositorio se debe acceder a la carpeta escogida y crear 5 nuevas carpetas en su interior llamadas *ip*, *src*, *sim*, *xdc* y *wd*.

- *ip*: Esta carpeta incluirá los archivos asociados a IP Cores.
- *src*: Esta carpeta es la indicada para guardar los archivos de código HDL.
- *sim*: Carpeta para almacenar *testbenchs*.
- *xdc*: Carpeta destinada a guardar archivos XDC para *constraints* y declaraciones de puertos.
- *wd*: Esta carpeta es la indicada para guardar los archivos generados automáticamente por Vivado durante las etapas de síntesis e implementación. Esta carpeta no debe ser incluida en los *commits* de *git*, ya que contiene precisamente la información que no requiere seguimiento en el repositorio.

Luego, se puede crear un archivo *README.md* y uno *.gitinit* en la carpeta principal. El archivo *README.md* es relevante para explicar el contenido del repositorio y debe ser escrito en lenguaje *Markdown*. En el archivo *.gitinit* se deben incluir todos los formatos de archivo que no quieran ser subidos al repositorio, como lo son

los archivos creados automáticamente por el sistema o la carpeta *wd* mencionada anteriormente. Se sugiere agregar las siguientes lineas en este archivo *.gitinit*:

```
wd/
.Xil/
```

B.4. Preparación del proyecto Vivado

Antes que todo, se debe crear un proyecto Vivado y guardarlo en la carpeta *wd* anteriormente creada. Si el proyecto ya existía, entonces basta con trasladar el proyecto completo y guardarlo al interior de la carpeta *wd*. Luego de ello, se deben copiar o crear los archivos fuente del diseño en HDL, los archivos de simulación y los *constraints* en sus respectivas carpetas.

Si el diseño de hardware utiliza IP Cores, hay que asegurarse de habilitar la opción de *IP Core Containers* en Vivado. Esta opción se encuentra en el menú *Tools> Settings>Project Settings> IP> Core Containers: Use Core Containers for IP* ilustrado en la Figura B.3, lo que facilita el control de versiones creando un solo archivo *.xcix* que contiene al IP Core en su totalidad. Si Vivado pregunta por convertir el IP Core actual a un *container*, dar clic en *OK* y mover los *containters* a la carpeta *ip* correspondiente en el repositorio.

Finalmente, se deben importar los archivos contenidos en las carpetas *src, sim, xdc* e *ip* al proyecto de descripción de hardware en la vista *Project Manager* de Vivado.

B.5. Exportar script Tcl

Desde la interfaz de Vivado se debe exportar el archivo *Tcl* (Tool Command Language) asociado al proyecto Vivado accediendo a *File> Project> Write Tcl* ilustrado en la Figura B.4 y guardándolo con el nombre *build.tcl* en la carpeta principal de repositorio, no en las subcarpetas creadas. Se debe tener encuentra que el proceso de exportación y edición del archivo Tcl debe realizarse cada vez que se crea o elimina un nuevo archivo fuente del proyecto. En caso de no realizar la exportación, el script no generará el proyecto completo y habrá que importar los archivos fuente de manera manual.

B.6. Editar script Tcl

Un paso importante en este proceso de control de versiones es la edición del archivo Tcl, para que así se generen automáticamente los archivos de Vivado en la

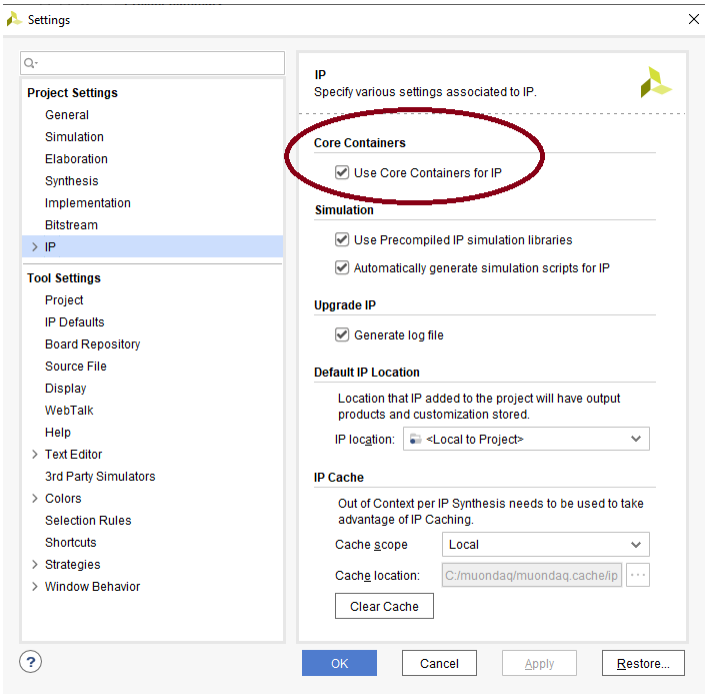

Figura B.3: Menú de configuración para la habilitación de IP Containers en Vivado.

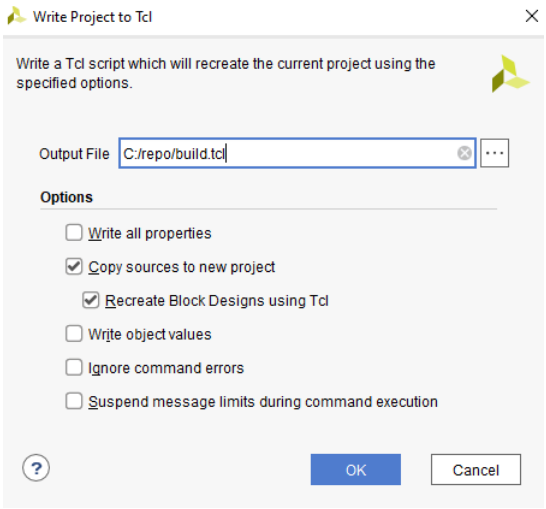

Figura B.4: Ventana de Vivado para la exportación de un script Tcl.

carpeta *wd*. Para lograrlo, se debe abrir el archivo *build.tcl* en un editor de texto y buscar los siguientes comandos:

```
# Set the reference directory for source file relative paths
#(by default the value is script directory path)
set origin_dir "."

# Set the directory path for the original project from where
#this script was exported
set orig_proj_dir "path-to-the-actual-vivado-project"

# Create project
create_project ${_xil_proj_name_} ./${_xil_proj_name_}
        -part part-of-your-fpga
```

Una vez ubicados, se deben reemplazar por los siguientes comandos:

```
# Set the reference directory for source file relative paths
#(by default the value is script directory path)
set origin_dir [file dirname [info script]]

# Set the directory path for the original project from where
#this script was exported
set orig_proj_dir "[file normalize "$origin_dir/wd/"]"

# Create project
create_project ${_xil_proj_name_} $orig_proj_dir/${_xil_proj_name_}
        -part part-of-your-fpga
```

B.7. Confirmar y subir los archivos al repositorio remoto

En este punto todo se encuentra listo para realizar el primer *commit* en *git* y comenzar el control de versiones del proyecto Vivado mediante el siguiente comando en consola:

```
$ git add .
$ git commit -m "First commit."
$ git push
```

Luego de ejecutar los comandos en consola, el control de versiones se encuentra correctamente configurado y es seguro eliminar el proyecto Vivado de otras ubicaciones fuera del repositorio, ya que el proyecto puede ser reconstruido completamente al ejecutar el script *build.tcl* desde la consola Tcl de Vivado.

REFERENCIAS

[1] L. Njejimana, M. A. Tetrault, L. Arpin, A. Burghgraeve, P. Maille, J. C. Lavoie, C. Paulin, K. C. Koua, H. Bouziri, S. Panier, M. W. Attouch, M. Abidi, J. Cadorette, J. F. Pratte, R. Lecomte, and R. Fontaine, "Design of a real-time fpga-based data acquisition architecture for the labpet ii: An apd-based scanner dedicated to small animal pet imaging," *IEEE Transactions on Nuclear Science*, vol. 60, no. 5, pp. 3633–3638, 2013.

[2] S. Marcatili, N. Belcari, M. G. Bisogni, G. Collazuol, G. Ambrosi, F. Corsi, M. Foresta, C. Marzocca, G. Matarrese, G. Sportelli, P. Guerra, A. Santos, and A. Del Guerra, "Development and characterization of a modular acquisition system for a 4D PET block detector," *Nuclear Instruments and Methods in Physics Research, Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 659, no. 1, pp. 494–498, 12 2011.

[3] L. Formenti, "CERN Summer Student Report," McGill University, Tech. Rep., 2018.

[4] H. Spieler, "Electronics and data acquisition," pp. 197–222, 2 2012.

[5] T. Colombo, "Data-flow performance optimisation on unreliable networks: The ATLAS data-acquisition case," in *Journal of Physics: Conference Series*, vol. 608, no. 1. Institute of Physics Publishing, 5 2015.

[6] D. Whiteson, F. J. Wickens, W. Wiedenmann, M. Wielers, P. A. Wijeratne, F. Winklmeier, K. S. Woods, S. L. Wu, X. Wu, B. Wynne, S. Xella, A. Yakovlev, Y. Yamazaki, U. Yang, L. Yao, Y. Yasu, L. Yuan, A. Zaitsev, L. Zanello, H. Zhang, J. Zhang, L. Zhao, N. Zhou, H. Zobernig, and N. M. Zur, "The ATLAS Data acquisition and high level trigger system," 6 2016.

[7] J. Chapman, T. Dai, E. Diehl, H. Feng, L. Guan, G. Mikenberg, V. Smakhtin, J. Yu, B. Zhou, J. Zhu, and Z. Zhao, "ATLAS NOTE Simulation Studies of Charac-

teristics and Performances of small-strip, Thin Gap Chambers for the ATLAS New Small Wheel 4 Muon Detector Upgrade," Tech. Rep., 2014.

[8] V. De Smet, "Study of a GEM tracker of charged particles for the Hall A high luminosity spectrometers at Jefferson Lab," 2011. [Online]. Available: https://www.researchgate.net/publication/318016226

[9] Trenz Electronic, "TE0703 TRM - Trenz Electronic Wiki," 2019. [Online]. Available: https://wiki.trenz-electronic.de/display/PD/TE0703+TRM

[10] ——, "TE0720 TRM - Trenz Electronic Wiki," 2020. [Online]. Available: https://wiki.trenz-electronic.de/display/PD/TE0720+TRM

[11] Xilinx and Inc, "7 Series FPGAs SelectIO Resources User Guide (UG471)," Tech. Rep. [Online]. Available: http://www.xilinx.com/warranty.htm#critapps.

[12] M. Tanabashi, K. Hagiwara, K. Hikasa, K. Nakamura, Y. Sumino, F. Takahashi, J. Tanaka, K. Agashe, G. Aielli, C. Amsler, M. Antonelli, D. M. Asner, H. Baer, S. Banerjee, R. M. Barnett, T. Basaglia, C. W. Bauer, J. J. Beatty, V. I. Belousov, J. Beringer, S. Bethke, A. Bettini, H. Bichsel, O. Biebel, K. M. Black, E. Blucher, O. Buchmuller, V. Burkert, M. A. Bychkov, R. N. Cahn, M. Carena, A. Ceccucci, A. Cerri, D. Chakraborty, M. C. Chen, R. S. Chivukula, G. Cowan, O. Dahl, G. D'Ambrosio, T. Damour, D. De Florian, A. De Gouvêa, T. Degrand, P. De Jong, G. Dissertori, B. A. Dobrescu, M. D'Onofrio, M. Doser, M. Drees, H. K. Dreiner, D. A. Dwyer, P. Eerola, S. Eidelman, J. Ellis, J. Erler, V. V. Ezhela, W. Fetscher, B. D. Fields, R. Firestone, B. Foster, A. Freitas, H. Gallagher, L. Garren, H. J. Gerber, G. Gerbier, T. Gershon, Y. Gershtein, T. Gherghetta, A. A. Godizov, M. Goodman, C. Grab, A. V. Gritsan, C. Grojean, D. E. Groom, M. Grünewald, A. Gurtu, T. Gutsche, H. E. Haber, C. Hanhart, S. Hashimoto, Y. Hayato, K. G. Hayes, A. Hebecker, S. Heinemeyer, B. Heltsley, J. J. Hernández-Rey, J. Hisano, A. Höcker, J. Holder, A. Holtkamp, T. Hyodo, K. D. Irwin, K. F. Johnson, M. Kado, M. Karliner, U. F. Katz, S. R. Klein, E. Klempt, R. V. Kowalewski, F. Krauss, M. Kreps, B. Krusche, Y. V. Kuyanov, Y. Kwon, O. Lahav, J. Laiho, J. Lesgourgues, A. Liddle, Z. Ligeti, C. J. Lin, C. Lippmann, T. M. Liss, L. Littenberg, K. S. Lugovsky, S. B. Lugovsky, A. Lusiani, Y. Makida, F. Maltoni, T. Mannel, A. V. Manohar, W. J. Marciano, A. D. Martin, A. Masoni, J. Matthews, U. G. Meißner, D. Milstead, R. E. Mitchell, K. Mönig, P. Molaro, F. Moortgat, M. Moskovic, H. Murayama, M. Narain, P. Nason, S. Navas, M. Neubert, P. Nevski, Y. Nir, K. A. Olive, S. Pagan Griso, J. Parsons, C. Patrignani, J. A. Peacock, M. Pennington, S. T. Petcov, V. A. Petrov, E. Pianori, A. Piepke, A. Pomarol, A. Quadt, J. Rademacker, G. Raffelt, B. N. Ratcliff, P. Richardson, A. Ringwald, S. Roesler, S. Ro-

lli, A. Romaniouk, L. J. Rosenberg, J. L. Rosner, G. Rybka, R. A. Ryutin, C. T. Sachrajda, Y. Sakai, G. P. Salam, S. Sarkar, F. Sauli, O. Schneider, K. Scholberg, A. J. Schwartz, D. Scott, V. Sharma, S. R. Sharpe, T. Shutt, M. Silari, T. Sjöstrand, P. Skands, T. Skwarnicki, J. G. Smith, G. F. Smoot, S. Spanier, H. Spieler, C. Spiering, A. Stahl, S. L. Stone, T. Sumiyoshi, M. J. Syphers, K. Terashi, J. Terning, U. Thoma, R. S. Thorne, L. Tiator, M. Titov, N. P. Tkachenko, N. A. Törnqvist, D. R. Tovey, G. Valencia, R. Van De Water, N. Varelas, G. Venanzoni, L. Verde, M. G. Vincter, P. Vogel, A. Vogt, S. P. Wakely, W. Walkowiak, C. W. Walter, D. Wands, D. R. Ward, M. O. Wascko, G. Weiglein, D. H. Weinberg, E. J. Weinberg, M. White, L. R. Wiencke, S. Willocq, C. G. Wohl, J. Womersley, C. L. Woody, R. L. Workman, W. M. Yao, G. P. Zeller, O. V. Zenin, R. Y. Zhu, S. L. Zhu, F. Zimmermann, P. A. Zyla, J. Anderson, L. Fuller, V. S. Lugovsky, and P. Schaffner, "Review of Particle Physics," 8 2018.

[13] A. De, A. Mário, and J. Martins Pimenta, "Undergraduate Lecture Notes in Physics Introduction to Particle and Astroparticle Physics," Tech. Rep. [Online]. Available: http://www.springer.com/series/8917

[14] P. L. Rocca, D. L. Presti, and F. Riggi, "Cosmic Ray Muons as Penetrating Probes to Explore the World around Us," in *Cosmic Rays*. InTech, 8 2018.

[15] C. Grupen and I. Buvat, Eds., *Handbook of Particle Detection and Imaging*. Springer, 2012, vol. 2.

[16] L. W. Alvarez, J. A. Anderson, F. El Bedwei, J. Burkhard, A. Fakhry, A. Girgis, A. Goneid, F. Hassan, D. Iverson, G. Lynch, Z. Miligy, A. Hilmy Moussa, and L. Yazolino, "Search for Hidden Chambers in the Pyramids," Tech. Rep.

[17] H. Oyanadel, "Sistema de Disparo para Detectores sTGC," Ph.D. dissertation, Universidad Técnica Federico Santa Maria, Valparaíso, 2020.

[18] J. González, "Muon Detector DAQ - Github Repository." [Online]. Available: https://github.com/jairoegc/muon-daq

[19] S. G. Basiladze, "Methods for data readout, acquisition, and transfer in experimental nuclear physics setups (A Review, Part 1)," *Instruments and Experimental Techniques*, vol. 60, no. 4, pp. 463–521, 7 2017.

[20] ——, "Methods for data readout, acquisition, and transfer in experimental nuclear physics setups (A review, part 2)," pp. 615–678, 9 2017.

[21] T. Orita, A. Koyama, M. Yoshino, K. Kamada, A. Yoshikawa, K. Shimazoe, and H. Sugawara, "The current mode Time-over-Threshold ASIC for a MPPC module

in a TOF-PET system," *Nuclear Instruments and Methods in Physics Research, Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 912, pp. 303–308, 12 2018.

[22] L. Pontecorvo, "The ATLAS muon spectrometer," *European Physical Journal C*, vol. 34, pp. s117–s128, 2004.

[23] M. Naseri, "ATLAS Muon Thin Gap Chamber technology for a detector at the ILC," Tech. Rep., 3 2021.

[24] "ATLAS Thin Gap Chamber Production Readiness Review Report Amplififer-Shaper-Discriminator ICs," Tech. Rep., 1999. [Online]. Available: http://online.kek.jp/~sosamu/ASD-PRR.pdf

[25] "IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI) Microprocessor and Microcomputer Standards Committee of the IEEE Computer Society," Tech. Rep., 1996.

[26] Xilinx and Inc, "Zynq-7000 SoC First Generation Architecture," Tech. Rep., 2012. [Online]. Available: www.xilinx.com

[27] ——, "7 Series FPGAs Data Sheet: Overview (DS180)," Tech. Rep., 2010. [Online]. Available: www.xilinx.com

[28] ——, "FIFO Generator v13.1 LogiCORE IP Product Guide Vivado Design Suite," Tech. Rep. [Online]. Available: www.xilinx.com

[29] ——, "Clocking Wizard v6.0 LogiCORE IP Product Guide Vivado Design Suite," Tech. Rep., 2021. [Online]. Available: www.xilinx.com

[30] Trenz Electronic GmbH, "TE0703 Schematic SCH-TE0703-06."

[31] Xilinx and Inc, "Xilinx 7 Series FPGA Libraries Guide for Schematic Designs," Tech. Rep., 2012. [Online]. Available: www.xilinx.com

[32] ——, "Virtual Input/Output v3.0 LogiCORE IP Product Guide Vivado Design Suite," Tech. Rep. [Online]. Available: www.xilinx.com

[33] ——, "Integrated Logic Analyzer v6.2 LogiCORE IP Product Guide (PG172)," Tech. Rep. [Online]. Available: www.xilinx.com

[34] A. Singh, "Count set bits in an integer using Brian Kernighan Algorithm in C++." [Online]. Available: https://www.codespeedy.com/count-set-bits-in-an-integer-using-brian-kernighan-algorithm-in-cpp/

[35] S. Ritt, "DRS4 Domino Ring Sampler, 9 Channel, 5 GSPS Switched Capacitor Array," Tech. Rep. [Online]. Available: http://drs.web.psi.ch/datasheets

[36] Xilinx and Inc, "UltraFast Design Methodology Timing Closure Quick Reference Guide," Tech. Rep.

[37] Xilinx, "7 Series Product Tables and Product Selection Guide," Tech. Rep., 2014.

[38] Xilinx and Inc, "Artix-7 FPGAs Data Sheet: DC and AC Switching Characteristics," Tech. Rep., 2011. [Online]. Available: www.xilinx.com

[39] ——, "7 Series, UltraScale, UltraScale+ FPGAs and MPSoC devices - LVDS_33, LVDS_25, LVDS_18, LVDS inputs and outputs for High Range (HR) and High Performance (HP) I/O banks." [Online]. Available: https://www.xilinx.com/support/answers/43989.html