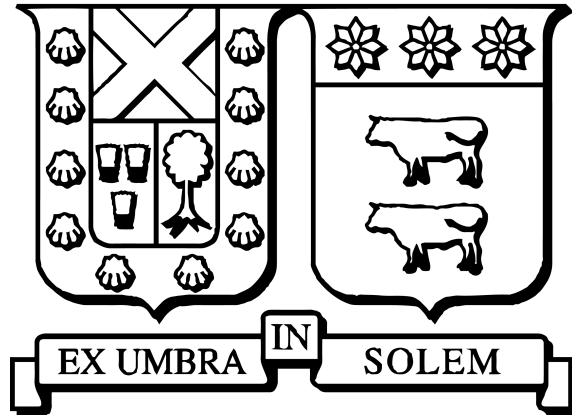




Evaluación práctica de inyección de señales de modo común óptimas para convertidores multicelda en cascada en condiciones degradadas

Sergio Céspedes

2025

Requisito parcial para obtener el título de:
Ingeniero Electricista
Profesor Guía:

Dr. Pablo Lezana (UTFSM)
Comisión:
Dr. Alejandro Angulo (UTFSM)

Santiago, 08/10/2025.



CONSTANCIA DE VALIDACIÓN Y CONFIDENCIALIDAD DE MONOGRAFÍA A REPOSITORIO ACADÉMICO

1.- IDENTIFICACIÓN DEL TRABAJO ACADÉMICO

Tipo de monografía (marcar una opción): ☒ Memoria o trabajo de título ☐ Tesis de Postgrado

Título del trabajo: Evaluación práctica de inyección de señales de modo común óptimas para convertidores multicelda en cascada en condiciones degradadas.

Nombre del candidato(a): Sergio Eduardo Céspedes Jorquera

Carrera / Grado: Ingeniería Eléctrica

Campus: Casa Central Valparaíso Departamento: Ingeniería Eléctrica

2.- VALIDACIÓN DEL PROFESOR GUÍA/DIRECTOR DE TESIS

Yo, Pablo Lezana Illesca, en mi calidad de profesor(a) guía/director(a) del trabajo académico mencionado anteriormente **DEJO CONSTANCIA** que:

- He revisado esta versión del documento y corresponde a la versión final aprobada del trabajo.
- El trabajo cumple con los requisitos académicos y de formato establecidos por la institución.

3.- EVALUACIÓN DE CONFIDENCIALIDAD POR PROPIEDAD INDUSTRIAL (marcar una opción)

☒ El trabajo **NO contiene** información que amerite confidencialidad y puede ser publicado de inmediato en repositorio con acceso abierto.

☐ El trabajo **CONTIENE** información con potenciales implicancias de propiedad industrial o intelectual y requiere un periodo de confidencialidad (**embargo**) por (marcar una opción):

☐ 6 meses ☐ 12 meses ☐ 2 años ☐ 3 años ☐ 5 años ☐ 10 años

Fundamentación de la necesidad de confidencialidad (obligatorio si se solicita embargo):

4.- FIRMAS

Profesor(a) guía o director(a) de memoria o tesis:

Fecha: 30 de octubre de 2025

Firma:

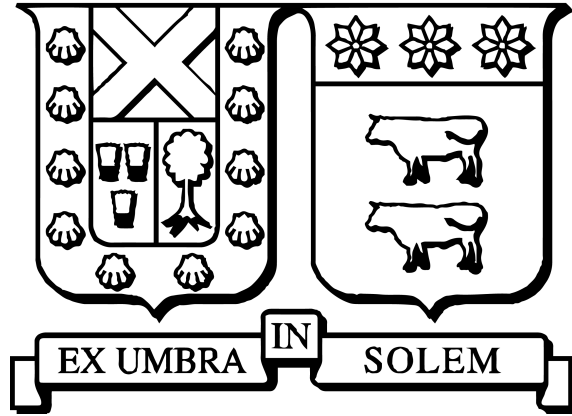
Estudiante o Candidato(a):

Fecha:

29/10/2025

Firma:

Este formulario debe ser insertado como página 2 de la memoria o tesis, completado y firmado por estudiante y profesor(a) antes de la entrega en portal PRISMA de Biblioteca USM.



Evaluación práctica de inyección de señales de modo común óptimas para convertidores multicelda en cascada en condiciones degradadas

Sergio Céspedes

2025

“El tiempo es el mejor autor, siempre encuentra un final perfecto.”
— *Charlie Chaplin*

Agradecimientos

Al cerrar esta etapa como estudiante, quiero expresar mi más sincero agradecimiento a mis padres, hermanas y abuela por el respaldo constante que me brindaron a lo largo de este camino. Su apoyo incondicional, tanto emocional como práctico, fue clave para llegar al final de esta travesía universitaria. Siempre estuvieron ahí para ayudarme a resolver mis dudas y acompañarme en cada desafío.

Agradezco especialmente al profesor Lezana por su valiosa orientación y disposición durante el desarrollo de esta tesis. Su paciencia y buena voluntad para atender cada una de mis inquietudes marcaron una gran diferencia en este proceso.

También quiero dar las gracias a mis amigos, tanto a los que conocí en la universidad como a los de toda la vida en San Bernardo, y a esos amigos que he ido encontrando en el camino, sin saber siquiera cuándo empezó esa amistad. Han sido parte fundamental de esta experiencia, no solo compartiendo ideas y momentos, sino también ayudándome a enfocar mi pensamiento hacia un futuro más claro y prometedor.

No puedo dejar de mencionar a todos los integrantes de la empresa de mis padres, quienes no solo me han enseñado sobre el rubro eléctrico, sino que también me han entregado valiosos consejos de vida. Aunque nuestro vínculo ha sido mayormente laboral, siempre los he considerado parte de mi familia.

Finalmente, si bien es posible que no nombre a todas las personas que han estado presentes en este proceso, sepan que mi gratitud es profunda. A quienes me apoyaron en el camino, les reitero que siempre podrán contar con mi respaldo en la búsqueda de sus propios sueños.

Índice de contenidos

Índice de contenidos	I
Índice de figuras	IV
Índice de tablas	VII
Nomenclatura	VIII
Resumen	1
1. Introducción	2
2. Motivación	4
2.1. Motivación	4
3. Fundamentos teóricos	7
3.1. Generalidades	7
3.1.1. Convertidor multicelda en cascada	9
3.1.1.a. Etapa de rectificación	9
3.1.1.b. Puente-H	10
3.1.1.c. Conexión Multicelda	11
3.1.2. Modulación de Tensión	12
3.1.2.a. PWM Bipolar	12
3.1.2.b. PWM Unipolar	13
3.1.2.c. Modulación multicarrier Phase-Shifted	15
3.1.2.d. Modulación vectorial	17
3.2. Control CMC	18
3.2.1. Control PI en coordenadas dc	19
3.2.1.a. Transformación $abc-dc$	19
3.2.1.b. Controlador PI	20
3.2.2. Estrategia de control para CMC operando en condiciones degradadas	20
4. Modelamiento	24
4.1. Descripción del problema	24
4.2. Falla del Convertidor	25
4.2.1. Generación de Fallas	26
4.2.2. Bypass en las Celdas	26
4.2.3. Esquema de control inyección v_d	27
4.3. Compensación del Convertidor en Condición de Falla	28

4.3.1. Función Objetivo	28
4.3.2. Restricciones de Problema	29
4.3.3. Formulación Final	30
4.3.4. Resolución del Modelo en AMPL	31
4.3.5. Determinación Gráfica del Valor Limite de Tensión	32
5. Simulación Computacional	33
5.1. Resultados	34
5.1.1. Falla 4-4-3	34
5.1.1.a. Resultados de la condición degradada 4-4-3	36
5.1.2. Falla 4-4-2	37
5.1.2.a. Resultados de la condición degradada 4-4-2	39
5.1.3. Falla 4-3-3	39
5.1.3.a. Resultados de la condición degradada 4-3-3	41
5.1.4. Falla 4-3-1	42
5.1.4.a. Resultados de la condición degradada 4-3-1	43
5.1.5. Falla 4-2-2	44
5.1.5.a. Resultados de la condición degradada 4-2-2	46
6. Experimentos en Laboratorio	47
6.1. Descripción del banco de pruebas	47
6.2. Resultados experimentales	50
6.2.1. Falla 4-4-3	50
6.2.1.a. Resultados de la condición degradada 4-4-3	53
6.2.2. Falla 4-4-2	54
6.2.2.a. Resultados de la condición degradada 4-4-2	56
6.2.3. Falla 4-3-3	58
6.2.3.a. Resultados de la condición degradada 4-3-3	60
6.2.4. Falla 4-3-1	62
6.2.4.a. Resultados de la condición degradada 4-3-1	64
6.2.5. Falla 4-2-2	66
6.2.5.a. Resultados de la condición degradada 4-2-2	68
7. Conclusiones	70
Apéndices	73
1. Simulación de Plecs	73
1.1. Convertidor multiniveles en cascada en PLECS	73
1.2. Puente H	73
1.3. Esquema de referencia e inyección de v0 al modulador	74
1.4. Esquema de modulación sin condición de falla	74
1.5. Esquema de modulación con condición de falla	75
1.6. Phase Lock Loop (PLL)	75
2. Esquemas en softwares SIMULINK Y MATLAB	75
2.1. Esquema principal en SIMULINK	76
2.2. Archivo de parámetros	76
2.3. Código M-S-Function	80
2.4. Controlador PI con antirollamiento	83

A. Códigos implementados en AMPL	85
A.1. Código implementado en AMPL para minimización de tensión RMS de modo común	85
A.1.1. Archivo .dat	85
A.1.2. Archivo .mod	86
A.1.3. Archivo .run	88
A.2. Código implementado en AMPL para minimización de tensión armónica RMS de modo común	90
B. Código de Code Composer Studio	92
B.1. código de archivo PH4 main.c	92
B.2. código de archivo PH4 config.c	113
B.3. código de archivo PH4 app.c	119

Índice de figuras

3.1.	Clasificación de convertidores estáticos con salida alterna [16].	8
3.2.	CHB de 9 niveles [9].	9
3.3.	CHB de 5 niveles [9].	9
3.4.	Puente de diodos trifásico [16].	10
3.5.	Inversor puente H [1].	11
3.6.	Convertidor multiceldas nueve niveles.	12
3.7.	Modulador Bipolar [1].	12
3.8.	Modulación Bipolar PWM para el Puente H operando con $m_f = 15$, $m_a = 08$, $f_m = 60$ Hz y $f_{cr} = 900$ Hz [1].	13
3.9.	Modulador Unipolar [1].	14
3.10.	Modulación Unipolar PWM para el Puente H operando con $m_f = 15$, $m_a = 08$, $f_m = 60$ Hz y $f_{cr} = 900$ Hz [1].	14
3.11.	Formas de onda simuladas para un inversor CHB de siete niveles con phase-shifted PWM ($m_f = 10$, $m_a = 1.0$, $f_m = 60$ Hz y $f_{cr} = 600$ Hz) [7].	16
3.12.	Fasores espaciales creados por el patrón de conmutaciones básicas [17].	18
3.13.	Fasor espacial [17].	18
3.14.	Esquema de control [6].	18
3.15.	Conjunto de soluciones posibles de v_0 . (a) Operación normal. (b) Falla 0-1-0 (c) Falla 0-1-0 [7].	22
4.1.	Topología de CMC de N celdas, Modificada de [14].	25
4.2.	Operación de un puente H: a) Estado (1,1); b) Estado (0,0); Modificada de [16].	27
4.3.	Esquema de control de aplicado [6].	27
5.1.	Hexágono de tensión de referencia 4-4-3.	35
5.2.	Modulación del convertidor en condiciones degradadas 4-4-3 para v_{0rms} .	35
5.3.	Corriente en el convertidor en condiciones degradadas 4-4-3 para v_{0rms} .	35
5.4.	Modulación del convertidor en condiciones degradadas 4-4-3 para v_{0brms} .	36
5.5.	Corriente en el convertidor en condiciones degradadas 4-4-3 para v_{0brms} .	36
5.6.	Hexágono de tensión de referencia 4-4-2.	37
5.7.	Modulación del convertidor en condiciones degradadas 4-4-2 para v_{0rms} .	38
5.8.	Corriente en el convertidor en condiciones degradadas 4-4-2 para v_{0rms} .	38
5.9.	Modulación del convertidor en condiciones degradadas 4-4-2 para v_{0brms} .	38
5.10.	Corriente en el convertidor en condiciones degradadas 4-4-2 para v_{0brms} .	38
5.11.	Hexágono de tensión de referencia 4-3-3.	40
5.12.	Modulación del convertidor en condiciones degradadas 4-3-3 para v_{0rms} .	40
5.13.	Corriente en el convertidor en condiciones degradadas 4-3-3 para v_{0rms} .	40
5.14.	Modulación del convertidor en condiciones degradadas 4-3-3 para v_{0brms} .	41

5.15.	Corriente en el convertidor en condiciones degradadas 4-3-3 para v_{0hrms} .	41
5.16.	Hexágono de tensión de referencia 4-3-1.	42
5.17.	Modulación del convertidor en condiciones degradadas 4-3-1 para v_{0rms} .	42
5.18.	Corriente en el convertidor en condiciones degradadas 4-3-1 para v_{0rms} .	43
5.19.	Modulación del convertidor en condiciones degradadas 4-3-1 para v_{0hrms} .	43
5.20.	Corriente en el convertidor en condiciones degradadas 4-3-1 para v_{0hrms} .	43
5.21.	Hexágono de tensión de referencia 4-2-2.	44
5.22.	Modulación del convertidor en condiciones degradadas 4-2-2 para v_{0rms} .	45
5.23.	Corriente en el convertidor en condiciones degradadas 4-2-2 para v_{0rms} .	45
5.24.	Modulación del convertidor en condiciones degradadas 4-2-2 para v_{0hrms} .	45
5.25.	Corriente en el convertidor en condiciones degradadas 4-2-2 para v_{0hrms} .	46
6.1.	Convertidor CMC dispuesto en laboratorio.	49
6.2.	Señales del convertidor bajo condiciones degradadas 4-4-3 para v_{0rms} : (a) corriente de salida, (b) tensión de fase del convertidor, (c) tensión de fase de la carga y (d) tensión de modo común.	51
6.3.	Espectro de frecuencia fundamental bajo condiciones degradadas 4-4-3 para v_{0rms} : (a) tensión del convertidor, (b) Corriente de la carga, (c) Tensión de la carga (d) tensión de modo común.	51
6.4.	Señales del convertidor bajo condiciones degradadas 4-4-3 para v_{0hrms} : (a) corriente de salida, (b) tensión de fase del convertidor, (c) tensión de fase de la carga y (d) tensión de modo común.	52
6.5.	Espectro de frecuencia fundamental bajo condiciones degradadas 4-4-3 para v_{0hrms} : (a) tensión del convertidor, (b) Corriente de la carga, (c) Tensión de la carga (d) tensión de modo común.	52
6.6.	Señales del convertidor bajo condiciones degradadas 4-4-2 para v_{0rms} : (a) corriente de salida, (b) tensión de fase del convertidor, (c) tensión de fase de la carga y (d) tensión de modo común.	54
6.7.	Espectro de frecuencia fundamental bajo condiciones degradadas 4-4-2 para v_{0rms} : (a) tensión del convertidor, (b) Corriente de la carga, (c) Tensión de la carga (d) tensión de modo común.	55
6.8.	Señales del convertidor bajo condiciones degradadas 4-4-2 para v_{0hrms} : (a) corriente de salida, (b) tensión de fase del convertidor, (c) tensión de fase de la carga y (d) tensión de modo común.	55
6.9.	Espectro de frecuencia fundamental bajo condiciones degradadas 4-4-2 para v_{0hrms} : (a) tensión del convertidor, (b) Corriente de la carga, (c) Tensión de la carga (d) tensión de modo común.	56
6.10.	Señales del convertidor bajo condiciones degradadas 4-3-3 para v_{0rms} : (a) corriente de salida, (b) tensión de fase del convertidor, (c) tensión de fase de la carga y (d) tensión de modo común.	58
6.11.	Espectro de frecuencia fundamental bajo condiciones degradadas 4-3-3 para v_{0rms} : (a) tensión del convertidor, (b) Corriente de la carga, (c) Tensión de la carga (d) tensión de modo común.	59
6.12.	Señales del convertidor bajo condiciones degradadas 4-3-3 para v_{0hrms} : (a) corriente de salida, (b) tensión de fase del convertidor, (c) tensión de fase de la carga y (d) tensión de modo común.	59

6.13.	Espectro de frecuencia fundamental bajo condiciones degradadas 4-3-3 para v_{0rms} : (a) tensión del convertidor, (b) Corriente de la carga, (c) Tensión de la carga (d) tensión de modo común	60
6.14.	Señales del convertidor bajo condiciones degradadas 4-3-1 para v_{0rms} : (a) corriente de salida, (b) tensión de fase del convertidor, (c) tensión de fase de la carga y (d) tensión de modo común.	62
6.15.	Espectro de frecuencia fundamental bajo condiciones degradadas 4-3-1 para v_{0rms} : (a) tensión del convertidor, (b) Corriente de la carga, (c) Tensión de la carga (d) tensión de modo común	63
6.16.	Señales del convertidor bajo condiciones degradadas 4-3-1 para v_{0rms} : (a) corriente de salida, (b) tensión de fase del convertidor, (c) tensión de fase de la carga y (d) tensión de modo común.	63
6.17.	Espectro de frecuencia fundamental bajo condiciones degradadas 4-3-1 para v_{0rms} : (a) tensión del convertidor, (b) Corriente de la carga, (c) Tensión de la carga (d) tensión de modo común	64
6.18.	Señales del convertidor bajo condiciones degradadas 4-2-2 para v_{0rms} : (a) corriente de salida, (b) tensión de fase del convertidor, (c) tensión de fase de la carga y (d) tensión de modo común.	66
6.19.	Espectro de frecuencia fundamental bajo condiciones degradadas 4-2-2 para v_{0rms} : (a) tensión del convertidor, (b) Corriente de la carga, (c) Tensión de la carga (d) tensión de modo común	67
6.20.	Señales del convertidor bajo condiciones degradadas 4-2-2 para v_{0rms} : (a) corriente de salida, (b) tensión de fase del convertidor, (c) tensión de fase de la carga y (d) tensión de modo común.	67
6.21.	Espectro de frecuencia fundamental bajo condiciones degradadas 4-2-2 para v_{0rms} : (a) tensión del convertidor, (b) Corriente de la carga, (c) Tensión de la carga (d) tensión de modo común	68
1.	CMC implementado en PLECS.	73
2.	Esquema puente H.	73
3.	Esquema entrada de referencia y v_0 al modulador.	74
4.	Esquema modulador sin condición de falla.	74
5.	Esquema modulador con condición de falla.	75
6.	Esquema de PLL.	75
7.	Esquema en SIMULINK.	76

Índice de tablas

5.1.	Parámetros del convertidor y sistema base <i>pu</i> .	34
5.2.	Parámetros eléctricos y calidad de señal en el caso degradado 4-4-3.	37
5.3.	Parámetros eléctricos y calidad de señal en el caso degradado 4-4-2.	39
5.4.	Parámetros eléctricos y calidad de señal en el caso degradado 4-3-3.	41
5.5.	Parámetros eléctricos y calidad de señal en el caso degradado 4-3-1.	44
5.6.	Parámetros eléctricos y calidad de señal en el caso degradado 4-2-2.	46
6.1.	Valores de la carga RL con resistencias reales.	48
6.2.	Parámetros eléctricos de diferentes configuraciones CMC.	50
6.3.	Parámetros eléctricos y calidad de señal en el caso degradado 4-4-3.	53
6.4.	Parámetros eléctricos y calidad de señal en el caso degradado 4-4-2.	57
6.5.	Parámetros eléctricos y calidad de señal en el caso degradado 4-3-3.	61
6.6.	Parámetros eléctricos y calidad de señal en el caso degradado 4-3-1.	65
6.7.	Parámetros eléctricos y calidad de señal en el caso degradado 4-2-2.	69

Nomenclatura

v_0	: Tensión de modo común (modo cero).
v_{0rms}	: Valor eficaz de la tensión de modo común.
v_{0h}	: Componente armónica de la tensión de modo común.
v_{0hrms}	: Valor eficaz de la componente armónica de v_0 .
u_{abc}	: Vector de tensiones en coordenadas abc .
u'_{abc}	: Vector de tensiones de referencia en coordenadas abc más tensión de modo común.
u^*_{abc}	: Vector de tensión de referencia de la fase en coordenadas abc .
u_{dq}	: Vector de tensiones en coordenadas dq .
$u_{\alpha\beta}$	: Vector de tensiones en coordenadas $\alpha\beta$.
i_{abc}	: Vector de corrientes en coordenadas abc .
i_{dq}	: Vector de corrientes en coordenadas dq .
a, b, c	: Subíndices utilizados para variables de entrada (fases del sistema trifásico).
d, q	: Componentes directas y en cuadratura (transformación de Park).
α, β	: Coordenadas transformadas en el plano estacionario (Clarke).
N	: Neutro de la carga.
n	: Neutro de la alimentación.
V_{DC}	: Tensión continua de alimentación de las celdas.
THD	: Distorsión armónica total (Total Harmonic Distortion).
$WTHD$	: THD ponderado (Weighted Total Harmonic Distortion).
PWM	: Modulación por ancho de pulso (Pulse Width Modulation).
$PS-PWM$	: Modulación por desfase de portadoras (Phase-Shifted PWM).
$SVPWM$	: Modulación por vector espacial (Space Vector PWM).
CMC	: Convertidor multicelda en cascada.
CHB	: Cascaded H-Bridge (puente H en cascada).
n_c	: Niveles de tensión del convertidor CMC.
N_c	: Numero de celdas del convertidor CMC.
N_k	: Número total de celdas por fase.
F_k	: Número de celdas en falla en la fase k .
Δ_k	: Reducción de tensión por celdas en falla en la fase k .
T_k	: Matriz de proyección para coordenadas $\alpha\beta$ en fase k .
$u_{\min}^k, u_{\max}^k$	: Límites mínimo y máximo de tensión en fase k .
$V_{\max}$	: Máximo valor de tensión en región lineal de operación.

Resumen

Esta tesis aborda el desafío de la operación de los convertidores multicelda en cascada (CMC) en condiciones degradadas, un problema relevante en aplicaciones de alta potencia como energías renovables, vehículos eléctricos e industria. Aunque estos convertidores son eficientes y versátiles, pueden experimentar fallas en sus celdas, lo que afecta la calidad de la energía y la continuidad operativa del sistema. En este contexto, la tesis se enfoca en la optimización de la inyección de voltaje de modo común para mejorar el desempeño del CMC, incluso en presencia de condición degradada.

Como solución, se propone e implementa una estrategia de control óptimo basada en la inyección de señales de modo común v_0 , diseñadas para mantener la operación del convertidor a pesar de las fallas. Se evalúan dos funciones objetivo: la minimización del valor RMS de v_0 y la minimización de sus componentes armónicas (v_{0hrms}), ambas sometidas a restricciones operativas del sistema. Para resolver el modelo, se utiliza el entorno AMPL con discretización numérica, validando los resultados mediante simulaciones en MATLAB/SIMULINK y pruebas experimentales en un banco de pruebas real con un convertidor CMC de 4 celdas por fase.

En cuanto a la metodología, se compararon los resultados en términos de THD, WTHD y la potencia suministrada a la carga en escenarios tanto de optimización como en condiciones degradadas. Se analizaron varios casos con celdas defectuosas, considerando más de una celda afectada por fase. Además, se aplicó la modulación para inyectar la tensión de modo común en cada fase, lo que modificó la forma de onda de la tensión de salida, pero permitió obtener corrientes balanceadas y simétricas.

Los resultados obtenidos demuestran que la estrategia de optimización mejora la calidad de la señal y la eficiencia del convertidor, aunque conlleva un aumento en la tensión de modo común, lo que podría generar riesgos en aplicaciones críticas. Asimismo, se observó que distribuir de manera equitativa las celdas defectuosas entre las fases mejora los resultados, en comparación con concentrar las fallas en una sola fase. Este enfoque, basado en la inyección de modo común, se presenta como una solución eficaz, de bajo costo y alta efectividad para aumentar la confiabilidad de los CMC sin necesidad de sensores adicionales, contribuyendo a la robustez y eficiencia de los sistemas eléctricos modernos.

Capítulo 1

Introducción

La creciente demanda energética y la necesidad de optimizar el uso de fuentes renovables han impulsado el desarrollo de nuevas tecnologías en el ámbito de la electrónica de potencia. En particular, los convertidores multinivel han emergido como una de las soluciones más eficaces para la conversión de energía a alta potencia, debido a su capacidad para gestionar tensiones elevadas, proporcionar mejor calidad energética, menor distorsión armónica y mayor eficiencia. Estos convertidores, como el Convertidor Multicelda en Cascada (CMC), son esenciales en aplicaciones de generación renovable, vehículos eléctricos y procesos industriales a gran escala.

El avance hacia la implementación de convertidores multicelda ha sido clave, especialmente en aplicaciones de energía renovable, transmisión eléctrica, accionamientos de máquinas y vehículos eléctricos. Esto ha generado la necesidad de investigar diversas condiciones operativas, particularmente en situaciones asimétricas y defectuosas. En estos casos, es fundamental identificar modos de operación que permitan mantener el funcionamiento del sistema, aprovechando al máximo las etapas operativas del convertidor y proporcionando señales adecuadas a la carga.

Los convertidores multinivel, como los CMC, presentan ventajas adicionales, como lo son el bajo contenido armónico y la menor tensión sobre los semiconductores, características ideales para aplicaciones de alta potencia, destacando STATCOM y HVDC [1]. Sin embargo, la gran cantidad de semiconductores incrementa la probabilidad de fallos [2, 3]. La correcta operación en condiciones defectuosas depende de la estrategia de modulación elegida, la cual debe mantener el balance y magnitud deseada de las tensiones incluso en circunstancias degradadas [4].

Una de las estrategias más relevantes para enfrentar condiciones problemáticas es la inyección de tensión de modo común v_0 , también conocida como tensión de secuencia cero. Esta tensión puede causar interacciones perjudiciales con las corrientes en la carga, especialmente en convertidores bidireccionales, lo que podría ocasionar potencia de salida negativa [5]. Por ello, minimizar esta tensión es crucial para la operación eficiente del CMC [2].

Diversos estudios han abordado estrategias para minimizar v_0 y mejorar la calidad energética bajo condiciones comprometidas. Por ejemplo, Alan Caballero propone una estrategia de modulación generalizada basada en *carriers* tolerantes a fallos, utilizando un enfoque geométrico para la inyección de v_0 . Este método minimiza la distorsión armónica

y optimiza el aprovechamiento del convertidor en situaciones asimétricas y defectuosas [6]. Esta estrategia convierte a v_0 en un parámetro controlable que mejora significativamente la operación del CMC en condiciones degradadas.

La relevancia de esta investigación radica en mejorar la calidad energética y la confiabilidad operativa de los sistemas, incluso cuando se presentan problemas. Se espera que la implementación de este enfoque optimizado incremente la eficiencia de los convertidores, reduzca costos de mantenimiento y extienda la vida útil de los equipos. Además, puede tener un impacto significativo en aplicaciones críticas donde la continuidad operativa es esencial, como en sistemas de transmisión eléctrica o en vehículos eléctricos.

Este enfoque establece un precedente importante, ya que optimizar v_0 mejora la calidad energética y reduce potencialmente daños en los equipos, lo cual es un factor crítico en la operación de convertidores multinivel. Siguiendo esta línea, el objetivo principal de esta tesis es implementar y optimizar la inyección de señales de modo común v_0 en un CMC de 4 celdas por fase, buscando minimizar tanto la distorsión armónica total (THD) como componentes armónicas específicas del sistema.

Capítulo 2

Motivación

2.1. Motivación

Los convertidores multinivel son componentes clave en la electrónica de potencia moderna, utilizados principalmente para mejorar la calidad de la energía eléctrica y optimizar el rendimiento de sistemas de generación renovable, transporte eléctrico y aplicaciones industriales. Su capacidad para generar formas de onda de tensión con múltiples niveles reduce las pérdidas, disminuye la distorsión armónica y mejora la eficiencia general del sistema eléctrico. Garantizar un funcionamiento eficiente y confiable de estos convertidores, incluso bajo condiciones degradadas, es esencial para el desarrollo y la sostenibilidad de sistemas eléctricos avanzados.

Las averías en las celdas de los convertidores multinivel pueden afectar la calidad de la señal, la estabilidad del sistema y la vida útil de los equipos, generando altos costos operativos y riesgos para la seguridad. Mejorar las estrategias de control y la compensación de fallas no solo ayuda a reducir estos costos, sino que también extiende la vida útil de los equipos y mantiene la calidad energética. La solución propuesta en esta tesis aborda no solo fallas individuales, sino también escenarios más complejos con múltiples celdas afectadas, fortaleciendo así la robustez y confiabilidad del control aplicado.

Los beneficios prácticos de esta investigación son amplios, desde aplicaciones que abarcan la industria eléctrica y fabricantes de convertidores hasta grupos de investigación en electrónica de potencia. Las aplicaciones reales incluyen sistemas de generación renovable, vehículos eléctricos, almacenamiento energético y entornos industriales donde la calidad y confiabilidad energética son fundamentales.

Basándose en la información presentada en [6], esta tesis busca validar experimentalmente el modelo de control óptimo desarrollado para los convertidores multinivel en cascada (CMC) operando bajo condiciones degradadas. Además, se comprobará la fiabilidad del modelo en escenarios con un mayor número de celdas afectadas, evaluando su aplicabilidad en condiciones más severas. Este modelo se fundamenta en desarrollos previos de modelos matemáticos y simulaciones detalladas expuestas en [2], [4], [7], [8], cuya viabilidad será validada mediante pruebas en un convertidor real.

La estrategia de control diseñada busca minimizar los indicadores de distorsión armónica y los valores RMS de la tensión de modo común, garantizando un desempeño eficiente y seguro del convertidor y las cargas conectadas. Además, permite analizar variaciones

en tensiones y corrientes para comprender empíricamente posibles daños en máquinas o cargas operando en condiciones degradadas.

Para el diseño de la estrategia, se propusieron principalmente dos funciones objetivo:

1. **Minimización del valor RMS de la tensión de modo común (v_{0rms}):** Busca reducir la magnitud efectiva de la componente fundamental de la tensión de modo común aplicada para compensar condiciones degradadas. Esta componente puede generar efectos perjudiciales en máquinas eléctricas y potencia de salida negativa cuando el convertidor opera con flujo bidireccional. Matemáticamente:

$$z_1 = v_{0rms}^2 = \int_0^{2\pi} v_0^2(\theta) d\theta \quad (2.1)$$

Minimizar z_1 contribuye a proteger el equipo y mejorar la eficiencia, siendo ampliamente aceptado en la literatura [5], [9].

2. **Minimización del valor RMS de las componentes armónicas de la tensión de modo común (v_{0hrms}):** Se enfoca en reducir el contenido armónico, principal causa de distorsiones y posibles daños en la red y cargas. Se define como:

$$z_2 = v_{0hrms}^2 = \int_0^{2\pi} v_{0h}^2(\theta) d\theta \quad (2.2)$$

donde $v_{0h}(\theta)$ representa las componentes armónicas de v_0 , excluyendo la componente fundamental.

Ambas funciones están sujetas a restricciones físicas del convertidor, como los rangos máximos de tensión en condiciones degradadas. La elección dependerá del contexto y prioridades prácticas del sistema.

Para validar el desempeño del control óptimo basado en la inyección de voltaje de modo común, se implementó un banco experimental utilizando un convertidor multicelda en cascada (CMC) real, sometido a condiciones degradadas similares a las simuladas. En este equipo se integraron medidores de alta precisión para registrar variables de tensión y corriente, permitiendo evaluar si el sistema logra mantener corrientes simétricas y balanceadas mediante señales de tensión sinusoidales con componente de modo común.

La estrategia de control óptimo, con modulación basada en portadoras y la inyección de tensión de modo común v_0 , se implementó en una plataforma digital para ejecución en tiempo real. Se realizaron diversas pruebas experimentales, cuyos resultados fueron comparados con simulaciones realizadas en MATLAB, PLECS y AMPL reportadas en [6]. Esta comparación validó que la estrategia mejora la estabilidad del sistema ante perturbaciones y optimiza la calidad de la señal en escenarios críticos.

En la literatura, diversas estrategias han abordado la operación eficiente bajo condiciones degradadas, enfocándose en mantener calidad y confiabilidad [2], [4], [7]. Particularmente, la minimización del valor RMS de la tensión de modo común es un criterio fundamental para proteger cargas y mejorar eficiencia, respaldado ampliamente en [5], [9]. Las técnicas LQG/LQR ofrecen un marco sólido para diseñar controladores robustos y eficientes [10], [11].

La implementación en tiempo real demostró viabilidad y facilitó identificar áreas para optimizar cálculos e interpolaciones de soluciones en diversos puntos operativos. Así, la validación experimental es crucial para confirmar la aplicabilidad y robustez de modelos y controladores propuestos [12], [13].

Los resultados experimentales permitirán contrastar simulaciones, especialmente en términos de THD y WTHD de tensión, corriente y potencia. También se analizará la tensión V_{Nn} , cuya magnitud significativa puede implicar posibles daños en equipos bajo condiciones degradadas, contribuyendo así a validar integralmente el desempeño del CMC y su control aplicado en condiciones reales.

Capítulo 3

Fundamentos teóricos

En el siguiente capítulo se presentan los fundamentos teóricos relacionados con el convertidor de potencia. Abordando aspectos clave como el tipo de convertidor utilizado, la metodología para la modulación de la tensión y las diversas estrategias de control aplicadas, con el objetivo de resolver el problema planteado de la manera más eficiente posible. Esta introducción teórica tiene como finalidad proporcionar una comprensión más profunda del problema a resolver, facilitando el entendimiento de los principios fundamentales que guiarán el análisis y la implementación de la solución.

3.1. Generalidades

Dentro de la electrónica de potencia, se han desarrollado convertidores de alta potencia (convertidores estáticos), los cuales permiten modificar a voluntad el tipo de señal que se aplica a la carga. Gracias a estos convertidores, es posible variar tanto la frecuencia como la amplitud de la tensión o corriente en la salida, lo que facilita operar fuera de los puntos nominales establecidos por la red. Este control flexible de la señal es especialmente útil en aplicaciones donde es necesario trabajar bajo condiciones no ideales, como en el caso de los convertidores operando en condiciones degradadas.

Los avances en el desarrollo de convertidores han permitido una gran evolución en diversas áreas tecnológicas, como las instalaciones fotovoltaicas y el control de motores en la industria. Los convertidores actuales son altamente eficientes y muy adaptables a los problemas de accionamiento que puedan surgir, además de permitir características de inyección de energía bidireccional. Esta capacidad es crucial para aplicaciones que requieren una integración flexible y dinámica con la red eléctrica. Estos dispositivos alimentan una amplia gama de aplicaciones industriales, como bombas, compresores, ventiladores, molinos, transportadores, sistemas de transporte (por ejemplo, vehículos eléctricos y tracción ferroviaria), manufactura, petroquímica, transmisión de corriente continua de alta tensión (HVDC), compensación de potencia reactiva y sistemas de conversión de energía eólica [9]. Además, su versatilidad los hace aptos para ser utilizados en energía renovable, donde la capacidad de regular tanto la salida como la inyección de energía es fundamental.

Dentro de los convertidores de alta potencia, existen dos grandes categorías que se diferencian principalmente por la presencia o ausencia de un enlace DC (DC-link) o por si realizan la conversión AC-AC de forma directa, como se muestra en la Fig. 3.1 [14].

Para este trabajo, nos centraremos en aquellos que cuentan con una etapa de DC-link, específicamente en las fuentes de tensión (VSI). Este tipo de convertidor permite convertir una tensión continua fija en una tensión alterna con magnitudes y frecuencias variables [15]. Dentro de los convertidores VSI, se destacan los convertidores de dos niveles y los convertidores multinivel, siendo este último el tipo de convertidor que será el objeto de estudio en este trabajo.

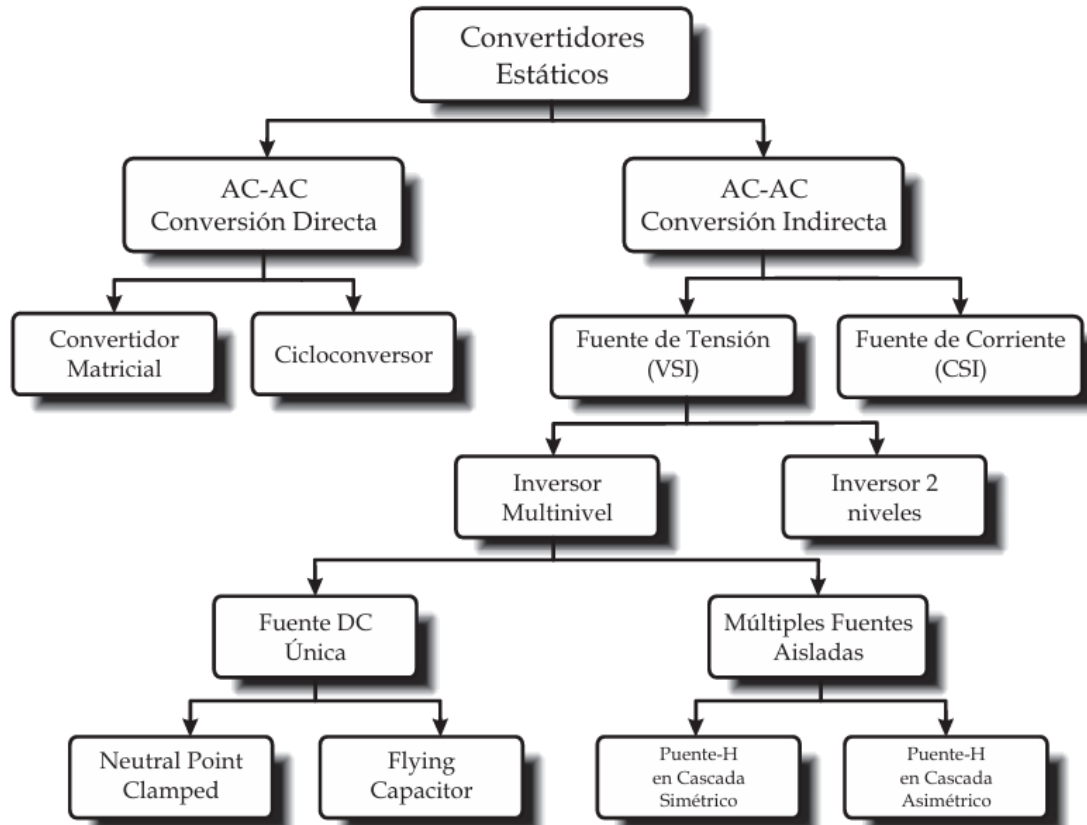


Figura 3.1: Clasificación de convertidores estáticos con salida alterna [16].

Al analizar las topologías multinivel, se observa que estas se dividen principalmente según la cantidad de fuentes de alimentación continua necesarias para su operación. Existen dos alternativas: una es el convertidor Flying Capacitor (FC), que utiliza una sola fuente de continua, y la otra es el convertidor multicelda en cascada (MC), o puente-H en cascada simétrico, que requiere múltiples fuentes de continua aisladas. Los convertidores multinivel, como los de puente-H en cascada, permiten manejar mayores tensiones de forma más eficiente y con menores pérdidas comparado con convertidores tradicionales de dos niveles. Este trabajo se centrará en el estudio del convertidor multicelda en cascada (MC), debido a sus ventajas en cuanto a la capacidad de manejar tensiones más altas y su rentabilidad operativa. Además, ambos han mostrado ser una opción efectiva en términos de fiabilidad y costos operativos cuando se requieren convertidores de alta potencia para aplicaciones industriales y de transmisión de energía [1].

3.1.1. Convertidor multicelda en cascada

El convertidor multicelda en cascada (CMC) constituye una de las topologías más empleadas en la industria para alcanzar niveles de media tensión y alta potencia. Su estructura se basa en la conexión en serie de múltiples celdas de potencia, lo que permite alcanzar tensiones de operación del orden de 13,8 kV [9]. Cada celda está configurada típicamente como un puente H, utilizando semiconductores adecuados para la conmutación. Para su funcionamiento, cada etapa requiere una fuente de corriente continua (DC) aislada galvánicamente, la cual puede ser suministrada mediante un grupo de paneles fotovoltaicos o a través de una etapa de rectificación combinada con un banco de capacitores.

La conexión de las cargas en una configuración trifásica tipo estrella de un convertidor de 5 niveles se muestra en la Fig. 3.2, mientras que un ejemplo de una fase del convertidor de nueve niveles se ilustra en la Fig. 3.3.

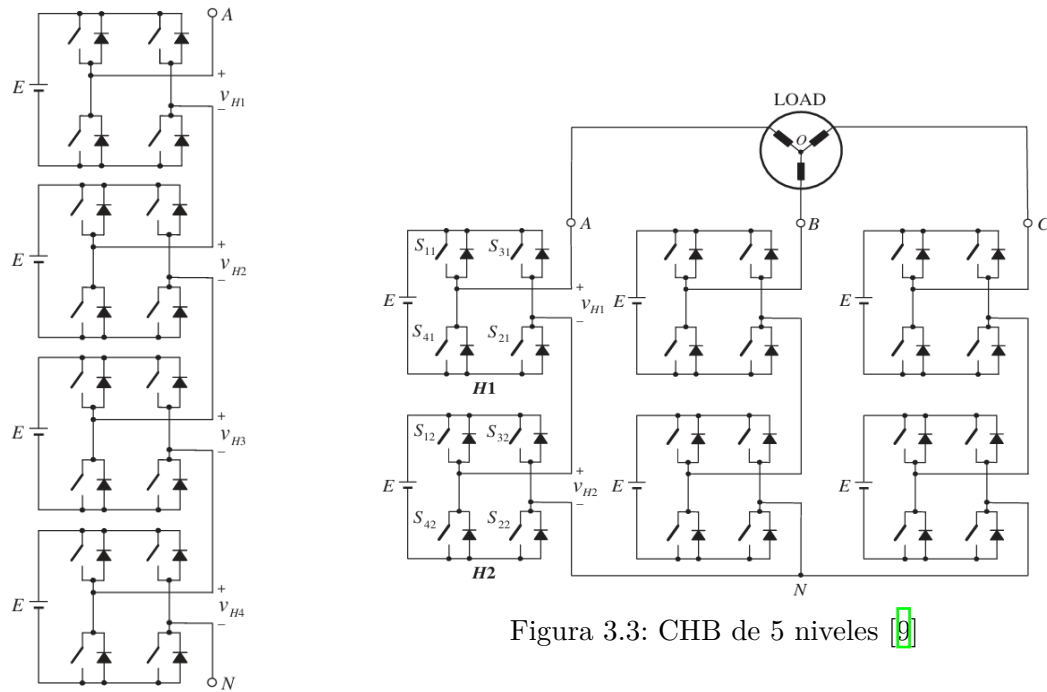


Figura 3.3: CHB de 5 niveles [9]

Figura 3.2: CHB de 9 niveles [9]

Una de las principales ventajas del CMC es su capacidad para operar bajo condiciones degradadas. Esta topología permite mantener una baja distorsión armónica en la señal de salida, incluso cuando una o más celdas presentan fallos. En estos casos, el sistema puede incorporar mecanismos de bypass que desconectan las celdas defectuosas sin comprometer el funcionamiento general del convertidor, lo que resulta fundamental para aplicaciones donde la continuidad operativa es crítica, como en el presente trabajo.

3.1.1.a. Etapa de rectificación

Para alimentar inversores multinivel de tipo Cascaded H-Bridge (CHB) en aplicaciones de media tensión, se requiere una etapa de rectificación que proporcione una tensión conti-

nua con bajo contenido armónico. En este contexto, los rectificadores de diodos multipulso son una solución eficiente y robusta.

Este tipo de rectificador está compuesto por múltiples rectificadores de seis pulsos, cada uno alimentado desde un devanado secundario de un transformador con desplazamiento de fase. Las salidas de corriente continua de estos rectificadores se conectan en serie, generando una tensión continua total adecuada para alimentar los módulos del CHB. Esta tensión es aplicada al DC-link de cada celda, cuya función es almacenar la energía y mantener estable el punto de operación del inversor. Gracias al desfase entre devanados, se logra la cancelación de armónicos de bajo orden en el devanado primario, reduciendo significativamente la distorsión armónica en la red eléctrica sin necesidad de filtros adicionales [9].

Este enfoque también proporciona aislamiento galvánico y facilita la modulación de tensión por celda. No obstante, el uso de múltiples puentes rectificadores y transformadores secundarios implican un aumento en el número de componentes, lo que puede afectar la fiabilidad global del sistema. Adicionalmente, al tratarse de rectificadores no controlados, no permiten el flujo bidireccional de energía ni el control activo del enlace de continua, limitando así su flexibilidad [16].

En la Figura 3.4 se ilustra la configuración de la etapa de rectificación empleada en el CHB para el caso de estudio. La etapa de puente H se simboliza como la carga, con el fin de presentar un diagrama simplificado que permite centrarse únicamente en el funcionamiento de la etapa de rectificación.

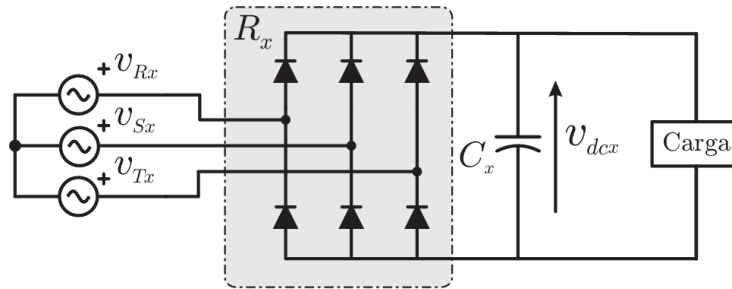


Figura 3.4: Puente de diodos trifásico [16]

3.1.1.b. Puente-H

A la salida de la etapa de rectificación se encuentra una configuración tipo puente H en los dispositivos semiconductores, los cuales pueden ser MOSFET o IGBT, dependiendo del nivel de tensión y potencia requerido. Esta configuración recibe su nombre por la geometría en forma de “H” que conforman dos brazos del inversor, cada uno compuesto por dos interruptores semiconductores [1]. La estructura se ilustra en la Figura 3.5. Además, cada semiconductor cuenta con un diodo antiparalelo, que permite el flujo de corriente en ambas direcciones cuando el dispositivo se encuentra apagado.

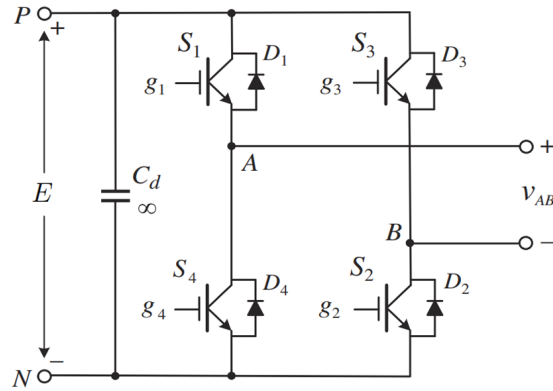


Figura 3.5: Inversor puente H [1].

Mediante esta configuración es posible generar tres niveles de tensión en la salida: $+E$, 0 y $-E$, donde E representa la magnitud de la tensión proporcionada por la etapa de rectificación. Para lograr estos tres niveles de forma segura, es necesario imponer una restricción en la modulación, evitando así que la fuente de continua se cortocircuite. Esta restricción se expresa como:

$$S_1 = \overline{S_4}, \quad S_3 = \overline{S_2} \quad (3.1)$$

En definitiva, el puente H constituye la unidad básica de inversión en topologías como el CHB, permitiendo generar tres niveles de tensión entre sus terminales de salida, lo cual lo clasifica como un convertidor multinivel por sí mismo. Al combinar este circuito con una fuente de continua aislada —proporcionada por la etapa de rectificación— se forma una celda básica. Estas celdas, dispuestas en cascada, permiten modular tensiones elevadas de forma escalable, garantizando una operación segura, eficiente y de baja distorsión armónica [14].

3.1.1.c. Conexión Multicelda

Como se definió anteriormente, se denomina celda a la composición de una etapa de rectificación y un inversor tipo puente H. Para la operación de un convertidor CHB, es necesario disponer de varias celdas conectadas en serie por fase, lo que permite incrementar el número de niveles de tensión en la salida y alcanzar mayores niveles de tensión y potencia.

La relación entre el número de celdas por fase y el número de niveles n del convertidor se expresa mediante la siguiente ecuación:

$$n_c = 2H + 1 \quad (3.2)$$

donde H representa el número de celdas conectadas en serie por cada fase.

Para este trabajo, se considerará una disposición de celdas como se ilustra en la Figura 3.6. El convertidor mostrado cuenta con cuatro celdas por fase, por lo que, de acuerdo con la ecuación anterior, se obtendrán $n_c = 9$ niveles de tensión en la salida del convertidor.

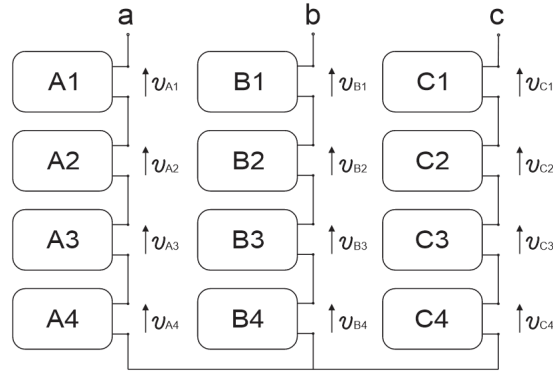


Figura 3.6: Convertidor multiceldas nueve niveles.

3.1.2. Modulación de Tensión

En un convertidor multinivel, la modulación de tensión tiene como objetivo definir cómo y cuándo deben activarse los interruptores de cada celda, con el fin de generar una forma de onda de salida que se aproxime lo más posible a una señal senoidal deseada. Para ello, se emplean técnicas de modulación que permiten seleccionar de manera adecuada entre los múltiples niveles de tensión disponibles, optimizando el rendimiento del sistema y minimizando la distorsión armónica. En esta sección se describen las estrategias de modulación más utilizadas, entre ellas la modulación por ancho de pulso (PWM) unipolar, PWM bipolar, la modulación multicarril con desfase de fase (Phase-Shifted PWM) y la modulación vectorial, destacando sus principios de funcionamiento y sus aplicaciones más comunes.

3.1.2.a. PWM Bipolar

Para generar la modulación bipolar, será necesario contar con una señal de modulación v_m , que es sinusoidal, la cual será comparada con una señal portadora triangular v_{cr} . De esta manera, se generarán las señales v_{g1} y v_{g3} , que se enviarán a los semiconductores S_1 y S_3 , respectivamente. Estas señales son complementarias, lo que significa que, cuando v_{g1} está encendido, v_{g3} estará apagado, cumpliendo así con la condición de que los interruptores superior e inferior de un mismo brazo operen de manera complementaria [1].

Gracias a esta modulación, la tensión de salida variará entre los valores de $\pm V_d$, lo que establece la modulación bipolar. El esquema que refleja la modulación bipolar se muestra en la Figura 3.7, y la forma de onda generada, junto con los armónicos resultantes de este tipo de modulación, se observa en la Figura 3.8.

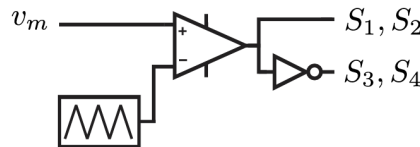


Figura 3.7: Modulador Bipolar [1].

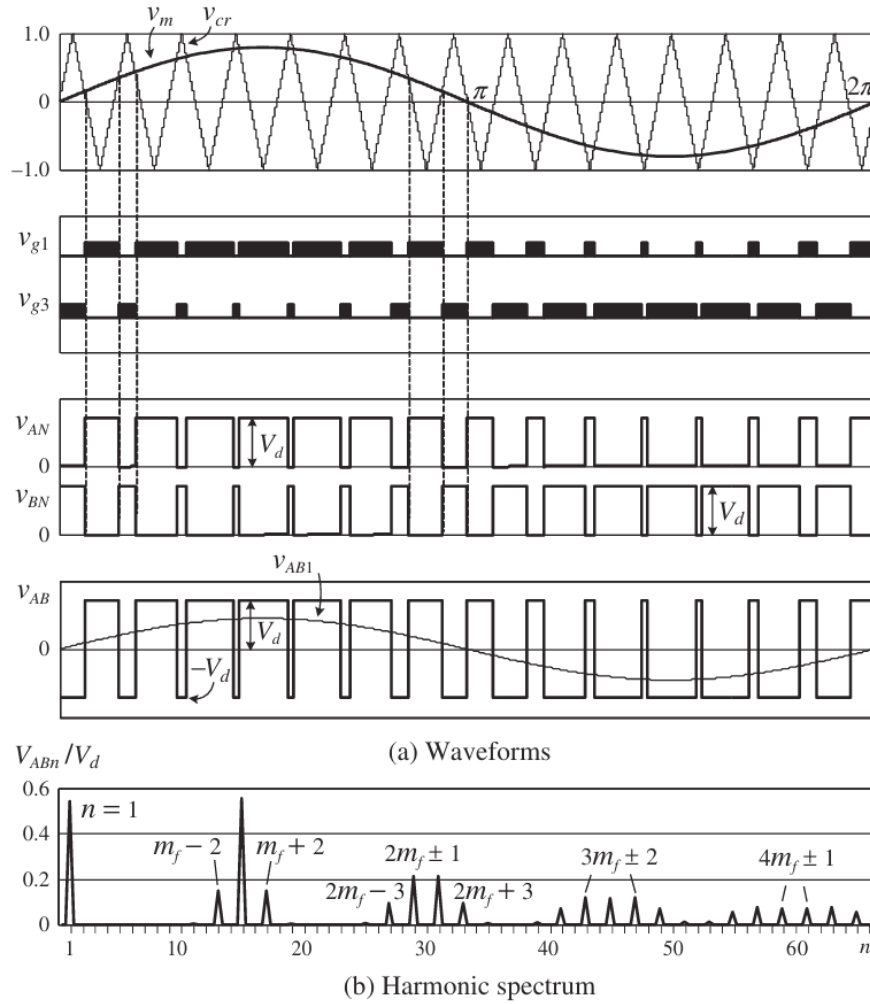


Figura 3.8: Modulación Bipolar PWM para el Puente H operando con $m_f = 15$, $m_a = 08$, $f_m = 60$ Hz y $f_{cr} = 900$ Hz [1].

3.1.2.b. PWM Unipolar

Para realizar la modulación unipolar, será necesario disponer de señales de referencia desfasadas 180° y de la misma frecuencia. Esto significa que se tendrán las señales v_m y $-v_m$, las cuales se compararán con una señal portadora triangular común (v_{cr}) de alta frecuencia. Gracias a este proceso, se generarán las señales de control v_{g1} y v_{g3} para los semiconductores S_1 y S_3 , respectivamente. En la siguiente figura se muestra el esquema de la modulación unipolar.

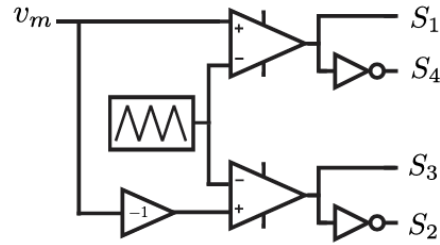
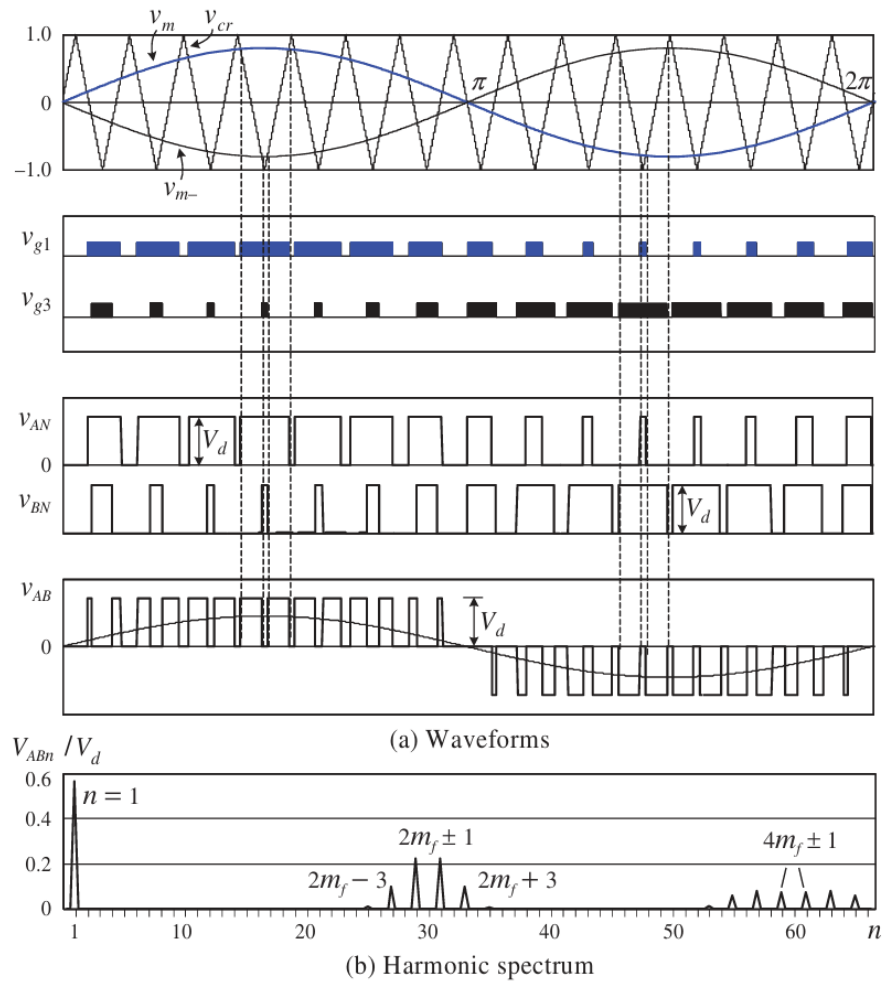


Figura 3.9: Modulador Unipolar [1].

De esta manera, para una celda, el voltaje de salida conmutará entre cero y $+V_d$ durante el semiciclo positivo y entre cero y $-V_d$ durante el semiciclo negativo de la frecuencia fundamental [1]. Este tipo de esquema se conoce como modulación unipolar, y su comportamiento se refleja en las figuras 3.9 y 3.10.


 Figura 3.10: Modulación Unipolar PWM para el Puente H operando con $m_f = 15$, $m_a = 08$, $f_m = 60$ Hz y $f_{cr} = 900$ Hz [1].

Al comparar los espectros de frecuencia entre la modulación bipolar y la modulación

unipolar, se puede observar que la modulación unipolar es más eficiente debido a su menor contenido armónico. Esta es la razón por la cual se utilizará la modulación unipolar para el convertidor multinivel.

Al analizar los espectros de frecuencia de ambas modulaciones, se observa que la modulación unipolar no presenta los picos de frecuencia asociados a mf y $3mf$, lo que reduce considerablemente el contenido armónico en la salida. En su lugar, solo se contiene contenido armónico asociado a $2mf$ y $4mf$. Este comportamiento mejora la calidad de la tensión en la salida del convertidor, destacando las ventajas de la modulación unipolar frente a la modulación bipolar.

3.1.2.c. Modulación multicarrier Phase-Shifted

En la modulación multicarrier Phase-Shifted (PS-PWM), cada celda del convertidor multinivel en cascada utiliza una señal portadora triangular de igual frecuencia, pero con un desfase uniforme con respecto a las otras celdas de una misma fase. Este desfase tiene como objetivo mejorar la calidad de la tensión de salida, ya que al distribuir los armónicos a distintas frecuencias y permitir su cancelación parcial entre celdas, se logra una reducción significativa del contenido armónico total [1].

El desfase entre señales portadoras se calcula mediante la siguiente expresión:

$$\phi = \frac{360^\circ}{m - 1} \quad (3.3)$$

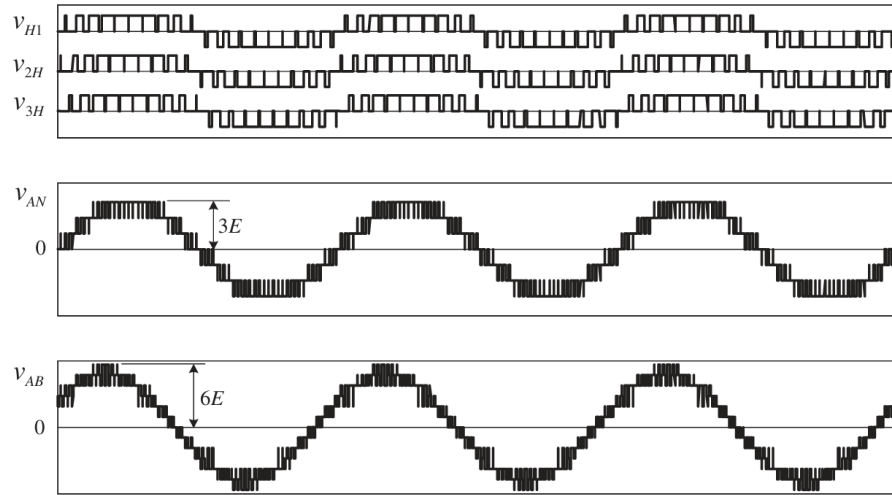
donde m representa el número de niveles de voltaje del convertidor. Este ángulo corresponde al período de la señal portadora.

Gracias a esta técnica, el convertidor multinivel obtiene una mejor forma de onda en la salida, con una distorsión armónica total (THD) considerablemente menor que en esquemas sin desfase.

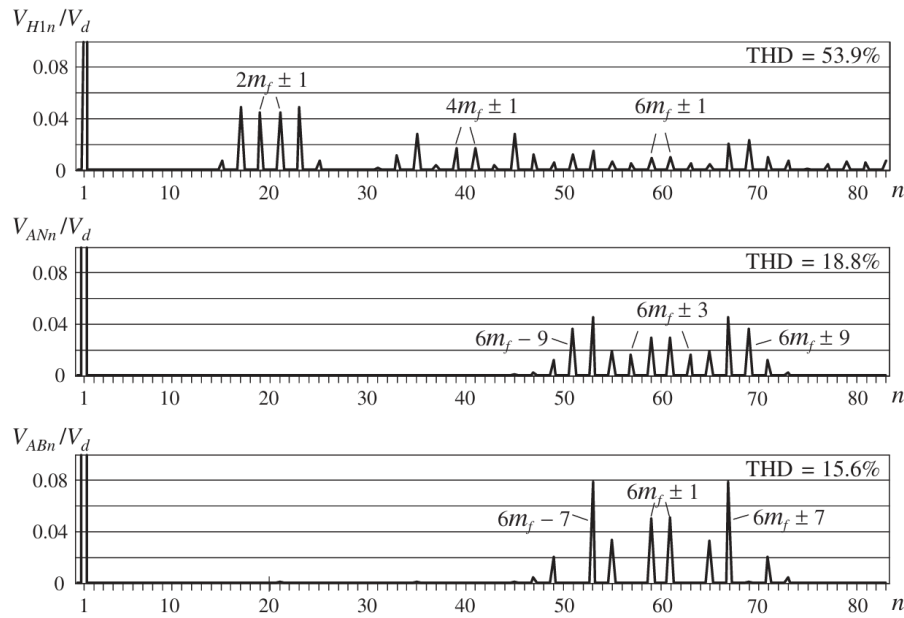
Al interconectar las celdas y aplicar la técnica PS-PWM, la tensión total de salida por fase corresponde a la suma de las tensiones generadas por cada celda. Por ejemplo, en un convertidor de siete niveles compuesto por tres celdas V_{H1} , V_{H2} y V_{H3} , la tensión de salida por fase se expresa como:

$$V_{AN} = V_{H1} + V_{H2} + V_{H3} \quad (3.4)$$

En la Figura 3.11(a), se observa la forma de onda generada por un convertidor de siete niveles basado en tres celdas por fase, donde las señales portadoras se encuentran desfasadas 60° entre sí mediante la técnica PS-PWM. Las señales V_{H1} , V_{H2} y V_{H3} representan las tensiones de cada celda. La suma de estas tensiones da lugar a la señal V_{AN} , la cual presenta siete niveles claramente definidos, aproximándose a una onda sinusoidal. Finalmente, V_{AB} , correspondiente a la tensión de línea, muestra una forma de onda aún más suavizada.



((a)) Forma de onda.



((b)) Espectro armónico.

Figura 3.11: Formas de onda simuladas para un inversor CHB de siete niveles con phase-shifted PWM ($m_f = 10$, $m_a = 1.0$, $f_m = 60$ Hz y $f_{cr} = 600$ Hz) [7].

La Figura 3.11(b) muestra los espectros armónicos correspondientes. En el primer gráfico, que representa el espectro de una única celda, se observan componentes significativas en torno a $2m_f \pm 1$ y $4m_f \pm 1$, con un total de distorsión armónica (THD) de 53,9%. En el segundo gráfico, correspondiente a la suma de las tres celdas de una fase (V_{AN}), los armónicos se concentran alrededor de múltiplos de $6m_f$, reduciendo el THD a 18,8%. Por último, en el espectro de V_{AB} , se observa una mayor limpieza espectral con armónicos agrupados en $6m_f \pm 1$, y un THD aún menor, de 15,6%.

Estos resultados evidencian la efectividad de la modulación PS-PWM para mejorar la calidad de la señal de salida en inversores multinivel, al distribuir y cancelar armónicos entre celdas desfasadas.

PS-PWM condiciones degradadas:

Para cumplir los objetivos de este trabajo, el convertidor debe operar en condiciones degradadas. Sin embargo, dado que la modulación descrita previamente está diseñada para situaciones en las que todas las celdas están operativas, es necesario realizar ciertos ajustes. En condiciones degradadas, el número de celdas operativas por fase variará, lo que implica recalcular los ángulos de desfase en la señal portadora, según lo indicado en la ecuación 3.3. Este ajuste dependerá de la cantidad de celdas operativas, lo que permitirá que el convertidor siga funcionando en esas condiciones. Además, cuando se trabaja con un número variable de celdas por fase, se presentarán problemas de armónicas de alta frecuencia debido a los diferentes componentes de frecuencia en cada fase. Esto afectará tanto a la carga como a las tensiones de salida de cada fase, que tendrán componentes de alta frecuencia con distintas frecuencias. Como resultado, al interactuar a través del neutro de la carga, se generarán armónicas de tensión y corriente en todas las fases.

3.1.2.d. Modulación vectorial

Una opción comúnmente utilizada para compensar fallas en convertidores es la modulación vectorial, que resulta especialmente adecuada para convertidores multinivel en cascada. Esta técnica no solo permite un funcionamiento eficiente del convertidor, sino que también contribuye a reducir la distorsión armónica total (THD) en la tensión de salida [7].

Para implementar la modulación vectorial, se toma la señal de control para calcular el fasor espacial de referencia, que posteriormente se utiliza para controlar los dispositivos semiconductores [17]. Dado que esta referencia puede ajustarse en función de la señal de control, se ha explorado como una alternativa viable para compensar convertidores bajo condiciones degradadas [18]. Sin embargo, alcanzar un control efectivo no es sencillo debido a la complejidad y los grados de libertad involucrados, que aumentan con el número de celdas en el convertidor.

Al examinar los niveles de tensión de un convertidor multinivel, se observa que el espacio de operación está limitado por un hexágono, como se ilustra en la figura 3.12. Por ello, el vector de tensión generado debe mantenerse dentro de este límite. La modulación vectorial utiliza el fasor espacial de referencia para aproximar el vector de tensión deseado mediante la combinación adecuada de los vectores básicos de conmutación 3.13. Esto implica seleccionar y conmutar dos vectores espaciales adyacentes durante un subciclo, ponderados por sus tiempos de activación, con el fin de que el vector resultante se acerque al fasor de referencia. Este método optimiza la utilización del voltaje disponible, reduce la distorsión armónica y mejora la respuesta dinámica del convertidor.

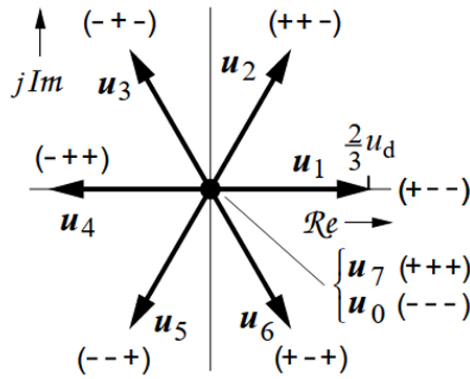


Figura 3.12: Fasores espaciales creados por el patrón de conmutaciones básicas [17].

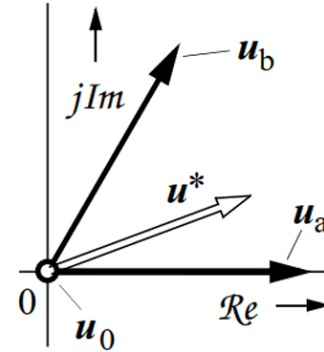


Figura 3.13: Fasor espacial [17].

Debido a la complejidad inherente al modulador vectorial, su implementación se puede desglosar en tres etapas principales:

1. Identificación de los tres fasores espaciales más próximos al fasor de referencia y cálculo del tiempo de aplicación para cada uno.
2. Generación de los estados correspondientes a estos fasores y determinación de la secuencia de conmutación adecuada.
3. Generación de los pulsos de disparo para los semiconductores.

Este enfoque garantiza que el vector de tensión resultante se aproxime de manera óptima al fasor deseado, asegurando eficiencia y calidad en la conmutación del convertidor.

3.2. Control CMC

Para un correcto funcionamiento del convertidor CMC, será necesario aplicar un sistema de control que permita mantener el sistema estable y obtener una salida que siga la referencia establecida. A continuación, se explicarán los diferentes sistemas de control implementados para inyectar el voltaje de modo común y, al mismo tiempo, mantener una salida de corriente simétrica y balanceada.

Para ello, se estableció un modelo sencillo de un sistema de control retroalimentado, representado en la Figura 3.14. En este modelo, la variable $C(s)$ representa el controlador y la variable $G(s)$ representa la planta; por otro lado, la variable i^* es la referencia y i es la variable que se desea controlar.

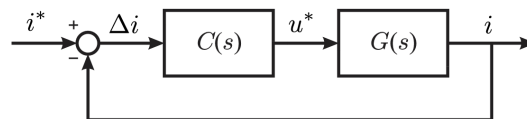


Figura 3.14: Esquema de control [6].

Dado que se cuenta con una planta $G(s)$, se diseñará un controlador $C(s)$ que permita controlar la variable i y lograr que ésta siga la referencia establecida [6].

Debido a lo anterior, se describirán los tipos de controladores aplicados para controlar la planta trifásica sinusoidal y obtener una respuesta lo más cercana posible a la referencia.

3.2.1. Control PI en coordenadas dq

Para la implementación del control del convertidor, y dado que se trabajará en un sistema trifásico, será necesario realizar, en primer lugar, una transformación de coordenadas de abc a dq . En segundo lugar, será necesario que, mediante un control proporcional-integral (PI), se controlen las corrientes para poder seguir la referencia establecida. Estos dos elementos serán descritos a continuación con el fin de construir el sistema de control utilizado para el CMC.

3.2.1.a. Transformación abc-dq

Para realizar la transformación desde un sistema trifásico estacionario abc a un sistema rotante dq , se emplean las transformadas de Park. Estas permiten analizar las señales eléctricas en un marco de referencia que gira con velocidad angular constante ω , facilitando el control y la interpretación de las corrientes y tensiones.

La transformación se lleva a cabo mediante una matriz específica que convierte las variables a , b y c en las componentes d y q , que representan los ejes directo y en cuadratura, respectivamente:

$$\begin{bmatrix} x_d \\ x_q \\ x_0 \end{bmatrix} = \frac{2}{3} \begin{bmatrix} \cos(\omega t) & \cos(\omega t - \frac{2\pi}{3}) & \cos(\omega t + \frac{2\pi}{3}) \\ -\sin(\omega t) & -\sin(\omega t - \frac{2\pi}{3}) & -\sin(\omega t + \frac{2\pi}{3}) \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix} \begin{bmatrix} x_a \\ x_b \\ x_c \end{bmatrix}$$

En la práctica, al implementar este procedimiento en software como MATLAB o Simulink, existen bloques o funciones que realizan esta transformación automáticamente, requiriendo como dato el ángulo de referencia, que comúnmente se obtiene mediante un sistema de sincronización denominado Phase-Locked Loop (PLL).

Como se indica en el trabajo referenciado [6], al modelar el sistema es importante considerar que, debido a la presencia de fenómenos inductivos en la carga $R-L$, los canales d y q están acoplados. Para describir este comportamiento, se plantea un modelo de ecuaciones de estado en coordenadas dq , que refleja las dinámicas eléctricas del convertidor y la carga.

Para modelar la carga $R-L$ en el sistema de referencia rotante dq , primero se considera la ley de voltajes en su forma general:

$$v_s = Ri_s + L \frac{di_s}{dt}$$

donde v_s y i_s representan los vectores de tensión y corriente en el sistema estacionario abc .

Al transformar estas variables al sistema dq , que gira con velocidad angular ω , mediante las transformaciones de Park, las variables se expresan como:

$$v_s = v_{dq}e^{j\omega t}, \quad i_s = i_{dq}e^{j\omega t}$$

Reemplazando estas expresiones en la ecuación original y separando las componentes reales e imaginarias, se obtienen las ecuaciones diferenciales que describen la dinámica de la carga en las componentes d y q :

$$v_d = Ri_d + L\frac{di_d}{dt} - \omega Li_q$$

$$v_q = Ri_q + L\frac{di_q}{dt} + \omega Li_d$$

Estas ecuaciones reflejan el acoplamiento entre las componentes d y q debido a la inductancia y la velocidad angular del sistema, lo cual es fundamental tener en cuenta para el diseño adecuado del controlador que regule las corrientes.

3.2.1.b. Controlador PI

Los controladores proporcionales-integrales (PI) son ampliamente utilizados en sistemas de control debido a su estructura sencilla y efectividad para regular variables. Su principal ventaja es que permiten alcanzar un seguimiento rápido y con mínimo error en estado estacionario para referencias constantes. Esto los hace especialmente adecuados para mantener señales estables y evitar desviaciones permanentes respecto a la referencia deseada.

Matemáticamente, los controladores PI pueden implementarse en dominio continuo o discreto, dependiendo de la plataforma y aplicación. En tiempo continuo, su diseño tradicional se basa en amplificadores operacionales, mientras que en tiempo discreto es común su implementación mediante microcontroladores o sistemas digitales.

Los modelos matemáticos de los controladores PI para tiempo continuo y discreto se describen en las ecuaciones (3.5) y (3.6), respectivamente:

$$PI(s) = K_p + \frac{K_i}{s} = \frac{K_p s + K_i}{s} \quad (3.5)$$

$$PI(z) = K_p + \frac{K_i}{z-1} = \frac{K_p z + K_i - K_p}{z-1} \quad (3.6)$$

3.2.2. Estrategia de control para CMC operando en condiciones degradadas

El control de convertidores multinivel en cascada (CMC) bajo condiciones de falla es un desafío debido a la necesidad de mantener la operación estable y garantizar la calidad de la tensión de salida a pesar de la pérdida o bypass de una o más celdas. En [7], se propone una estrategia de modulación basada en portadoras que permite el funcionamiento tanto de convertidores simétricos como asimétricos bajo condiciones normales y degradadas.

Esta estrategia se fundamenta en un enfoque geométrico que considera el estado operativo de cada celda para determinar las señales de modulación, permitiendo aprovechar

toda la capacidad del convertidor incluso en condiciones degradadas. Para ello, se define la tensión de salida en función de las tensiones de fase de referencia u_a^* , u_b^* , y u_c^* , y una tensión de modo común v_0 , tal que:

$$\begin{bmatrix} u'_a \\ u'_b \\ u'_c \end{bmatrix} = \begin{bmatrix} u_a^* \\ u_b^* \\ u_c^* \end{bmatrix} + v_0 \quad (3.7)$$

donde v_0 corresponde a la tensión de modo común y las tensiones u_k corresponden a las tensiones de fase del convertidor. La correcta elección de v_0 permite explorar toda la capacidad de operación del convertidor, manteniéndolo dentro de su región lineal.

Para formalizar esta operación, se definen las matrices F y v_{dc} como:

$$F = \begin{bmatrix} f_{a1} & f_{a2} & \cdots & f_{aN} \\ f_{b1} & f_{b2} & \cdots & f_{bN} \\ f_{c1} & f_{c2} & \cdots & f_{cN} \end{bmatrix}, \quad v_{dc} = \begin{bmatrix} V_{dc1} \\ V_{dc2} \\ \vdots \\ V_{dcN} \end{bmatrix} \quad (3.8)$$

donde N es el número de celdas por fase del CMC, V_{dci} es la tensión de alimentación de la celda i , y f_{ki} representa el estado operativo de la celda i en la fase k , siendo 0 para una celda con falla y 1 para una celda en condiciones normales.

El convertidor opera en la región lineal siempre y cuando se cumpla la siguiente condición:

$$f_k v_{dc} \leq v_k \leq f_k v_{dc} \quad (3.9)$$

Reemplazando la expresión para la tensión de modo común, se establecen los límites operativos del convertidor en la región lineal en función de v_0 :

$$u_{\min} \leq v_0 \leq u_{\max} \quad (3.10)$$

donde

$$u_{\max} = \min(c_a, c_b, c_c) \quad (3.11)$$

$$u_{\min} = \max(c_a, c_b, c_c) \quad (3.12)$$

$$c_k = f_k v_{dc} u_k \quad (3.13)$$

Una vez definidos estos límites, v_0 se determina como:

$$v_0 = \frac{u_{\max} + u_{\min}}{2} \quad (3.14)$$

En la Figura 3.15 se muestran los conjuntos de soluciones posibles para v_0 bajo diferentes condiciones de operación, incluyendo operación normal y condiciones de falla específicas. Aunque esta selección de v_0 garantiza operación dentro de la región lineal, no considera criterios de optimización, por lo que es una buena base para comparar con modelos más avanzados que se desarrollan en este trabajo.

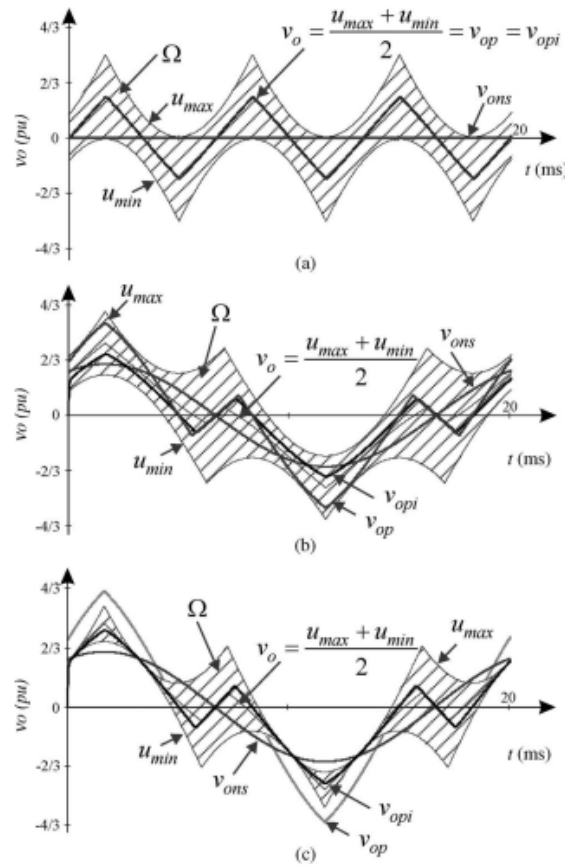


Figura 3.15: Conjunto de soluciones posibles de v_0 . (a) Operación normal. (b) Falla 0-1-0 (c) Falla 0-1-0 [7].

Esta estrategia permite mantener la estabilidad y funcionalidad del CMC aun cuando una o más celdas presenten fallas, asegurando así un funcionamiento continuo y confiable en aplicaciones industriales.

En el ámbito de los convertidores CMC, se han explorado diversas soluciones para garantizar su funcionamiento en condiciones deterioradas, asegurando que sigan operando dentro de su zona lineal. No obstante, la optimización de la tensión de modo común v_0 no ha recibido suficiente atención en estos estudios. Esta falta de enfoque limita la capacidad de encontrar soluciones más eficaces que minimicen aspectos clave como las pérdidas, la estabilidad y la distorsión armónica en las señales de salida.

Con el objetivo de superar esta limitación, se propone abordar el problema desde la óptica del control óptimo, cuyo propósito es identificar una señal de entrada que regule el sistema a lo largo de su ciclo de operación y que, al mismo tiempo, minimice una función de costo definida en un intervalo de tiempo específico. Mediante este enfoque, el control óptimo permite diseñar una señal de tensión $v_0(t)$ que varíe con el tiempo y que se ajuste a parámetros medibles, lo que contribuye a mejorar tanto la precisión del modelo como el rendimiento general del sistema [10].

Al tratar $v_0(t)$ como la señal de control a optimizar y modelar el CMC como la planta del sistema, esta metodología ofrece la posibilidad de obtener una señal de entrada que no

solo asegure un funcionamiento estable dentro de la zona lineal, sino que también permita optimizar factores como el consumo energético, la respuesta dinámica y la reducción de armónicos.

Así, la implementación de técnicas de control óptimo para la determinación de la tensión de modo común facilita el avance hacia modelos más precisos y eficientes, en los cuales la señal de control se adapta inteligentemente a las condiciones operativas, mejorando la robustez y el rendimiento del convertidor en escenarios complejos.

Capítulo 4

Modelamiento

En el siguiente capítulo se presentará la estrategia de trabajo utilizada para poner a prueba el modelo de optimización formulado para operar en condiciones degradadas [6]. Este capítulo se divide en varias secciones que abordan diferentes aspectos del proceso. En primer lugar, se explicará la causa de los defectos en los convertidores, cómo estos afectan su desempeño y cómo se abordarán dentro del modelo propuesto. A continuación, se detallará la implementación de las fallas en el convertidor y el procedimiento para mitigar estos problemas, lo que permitirá continuar con la operación del sistema sin comprometer la eficiencia.

Además, se describirá el modelo utilizado para la compensación del convertidor frente a fallos, explicando el modelo matemático aplicado para determinar el voltaje de modo común que se aplica al convertidor, con el fin de cumplir con el objetivo de mantener la calidad de la señal de salida. Este enfoque garantiza la obtención de corrientes balanceadas en la carga conectada al sistema y es aplicable a cualquier tipo de convertidor trifásico.

4.1. Descripción del problema

Los convertidores electrónicos de potencia, debido a su complejidad y a la gran cantidad de componentes involucrados, están sujetos a defectos en sus circuitos. Estos pueden originarse por factores internos o externos, los cuales, en muchos casos, resultan en daños destructivos para los componentes o placas del convertidor.

Las causas más comunes de fallos incluyen sobretensiones en la entrada del convertidor y sobrecorrientes en la salida, lo que afecta su rendimiento óptimo. Para mitigar estos problemas, es fundamental implementar métodos que detecten las fallas de manera temprana y minimicen los daños antes de que afecten de manera significativa al convertidor. Sin embargo, en la práctica, las condiciones de operación de los convertidores no siempre son ideales, lo que aumenta el riesgo de daños a algunos componentes.

Dado que es necesario garantizar el funcionamiento continuo de los equipos, incluso en condiciones degradadas, se deben buscar soluciones que permitan su operación a pesar de los fallos. En este contexto, se presenta la estrategia desarrollada para mantener en funcionamiento los convertidores, asegurando su rendimiento incluso cuando se presenten defectos en alguno de sus celdas.

4.2. Falla del Convertidor

Como se mencionó en los capítulos anteriores, se trabajará con la topología de un convertidor trifásico multiniveles en cascada. Según lo planteado en [6], se contaba con un modelo que inyectaba potencia a una red. Sin embargo, para simplificar el caso de estudio y facilitar su realización en laboratorio, se llevará a cabo el esquema presentado en la figura 4.1. En esta figura, se propone un convertidor CMC de N_c celdas, el cual será conectado a una carga R-L. El objetivo de esta configuración es replicar condiciones similares a las planteadas en [6], ya que se busca obtener una corriente i_{abc}^* y una tensión de salida u_{abc}^* . De este modo, la principal componente de potencia que se analizará será la que disipe la resistencia r , dado que, en el modelo propuesto, se asumirá que el convertidor solo inyecta energía a la red con un factor de potencia unitario.

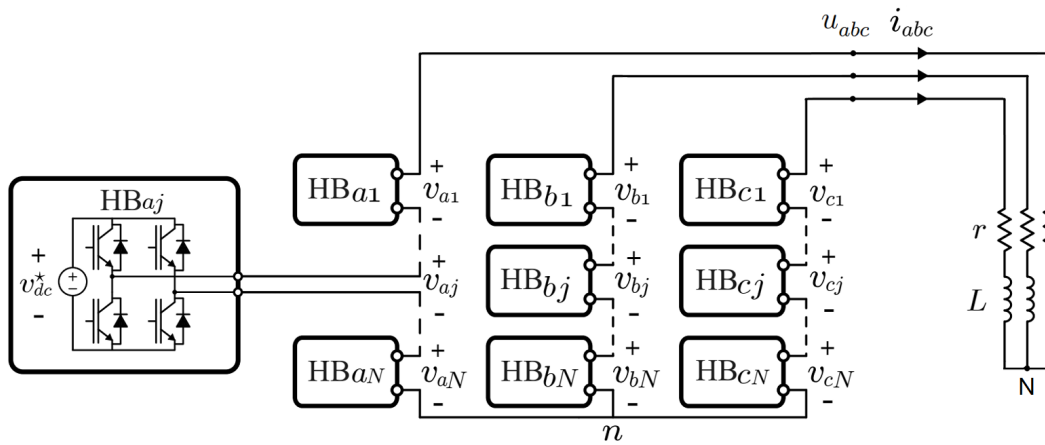


Figura 4.1: Topología de CMC de N celdas, Modificada de [14]

Según lo expuesto en la literatura, los métodos tolerantes a fallos para inversores CHB pueden clasificarse principalmente en cinco categorías: uso de celdas redundantes, control de voltajes de DC, bypass de celdas en el mismo nivel, uso de estados de conmutación redundantes e inyección de voltaje de secuencia cero [6]. Para este estudio, se trabajará con la última opción mencionada en el documento.

El objetivo es modificar la tensión de referencia u_{abc}^* para obtener una tensión de salida u'_{abc} mediante la adición de un voltaje de modo común u_0 , lo cual se puede expresar con la siguiente ecuación:

$$u'_{abc} = u_{abc}^* + u_0 \quad (4.1)$$

Como se presenta en [6], el mayor desafío radica en obtener un v_0 óptimo para maximizar la inyección de potencia al sistema. Una vez obtenida esta variable, el siguiente paso será definir cómo se inyectará la potencia:

- En el caso de una falla, se considera un sistema que permite desactivar la celda afectada mediante un bypass, reemplazándola por un cortocircuito [7], [18].

- Aunque las tensiones u_{abc} en la salida del convertidor son de naturaleza discreta, se puede suponer que, debido al modulador y a la alta frecuencia de conmutación, estas tensiones se comportan de manera continua dentro del rango $[u_{\min}, u_{\max}]$.

4.2.1. Generación de Fallas

Para emular la situación en la que el convertidor presenta defectos en las celdas, es necesario crear un entorno controlado que simule esta condición. Para ello, se implementará un caso de falla forzado y se programará el sistema para replicar dicha situación. El procedimiento consistirá en tres pasos:

1. **Estado Normal:** Inicialmente, se programará el convertidor para que opere con todas las celdas funcionando correctamente, simulando un estado operativo normal.
2. **Simulación de Falla:** A continuación, se realizará un bypass en el número de celdas que se desee que fallen, de modo que estas no interfieran con el funcionamiento del sistema.
3. **Modulación con Falla:** Finalmente, se añadirá un voltaje de modo común en la modulación y se ajustarán los ángulos de desfase en las señales portadoras de la modulación.

Con este procedimiento, se logrará crear una situación de laboratorio lo más cercana posible a un convertidor real con condición degradada. Este enfoque será utilizado en el laboratorio para generar una simulación sintética de la falla que se busca estudiar.

4.2.2. Bypass en las Celdas

Para simular una falla en el convertidor, será necesario realizar un bypass en la celda defectuosa, emulando así la condición degradada. Para ello, se aplicará un voltaje cero en la celda, lo cual se logrará mediante la modulación en condiciones específicas de la celda del puente H.

Existen dos métodos principales para generar un voltaje cero en la celda mediante modulación. Estos métodos implican que las señales de modulación S_1 y S_2 adopten los estados (1, 1) o (0, 0), como se ilustra en la figura 4.2. Ambas condiciones permiten obtener un voltaje cero, lo que emula la falla de la celda durante los experimentos en el laboratorio. Además, este enfoque facilita la prueba de la compensación mediante la inyección de voltaje de modo común.

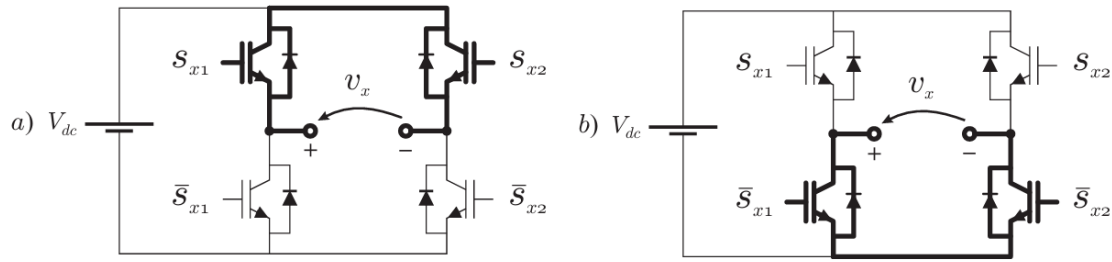


Figura 4.2: Operación de un puente H: a) Estado (1,1); b) Estado (0,0); Modificada de [16].

4.2.3. Esquema de control inyección v_0

El modelo propuesto requiere un esquema de control que permita gestionar la corriente del sistema y garantizar su estabilidad, incluso en condiciones degradadas. El diagrama del esquema de control, mostrado en la Figura 4.3, se compone de varias etapas [6].

En primer lugar, las mediciones de corriente trifásica se transforman del sistema de coordenadas abc al sistema dq mediante las transformaciones de Clarke y Park. Esta conversión facilita el diseño del lazo de control al trabajar en un sistema de coordenadas rotativas. Posteriormente, se utiliza un controlador PI para cada eje, con el objetivo de calcular las tensiones requeridas en el sistema dq que permitan seguir la referencia deseada.

Una vez obtenidas las tensiones en el sistema dq , se realiza una transformación inversa de coordenadas, de dq a abc , para obtener las tensiones u_{abc}^* en el sistema trifásico.

Finalmente, se suma el voltaje de modo común v_0 a la señal u_{abc}^* , lo que genera las señales de referencia de modulación para cada fase (u'_a, u'_b, u'_c), de acuerdo con la siguiente ecuación:

$$u'_{abc} = u_{abc}^* + v_0 \quad (4.2)$$

Este esquema de control asegura que las corrientes trifásicas sean balanceadas y simétricas, manteniendo una operación estable del sistema según las referencias definidas.

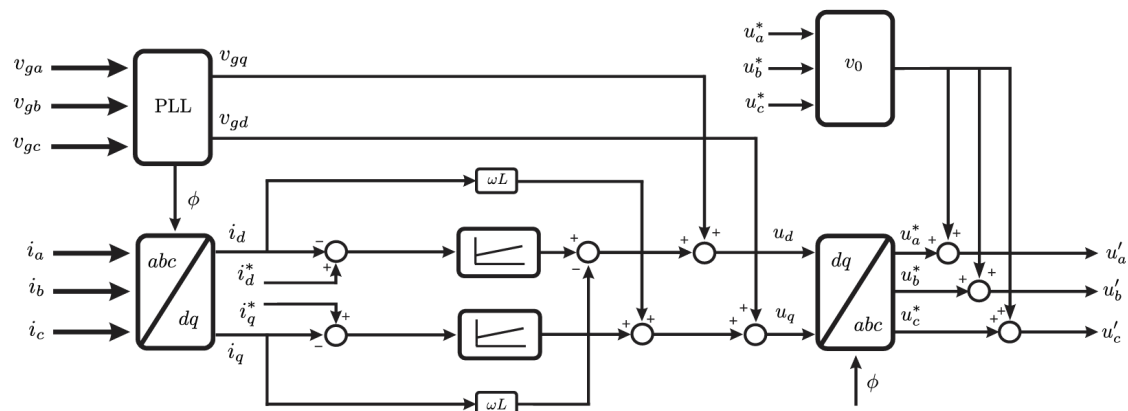


Figura 4.3: Esquema de control de aplicado [6]

4.3. Compensación del Convertidor en Condición de Falla

En las secciones anteriores, se ha destacado el uso del voltaje de modo común como una herramienta esencial para operar en condiciones degradadas. El principal desafío es determinar el valor óptimo de v_0 para alcanzar el objetivo de mejorar el rendimiento del sistema, como se discute en [6].

A continuación, se presenta el modelo de control óptimo que se aplicará para generar un voltaje de modo común que mantenga corrientes trifásicas balanceadas y simétricas. Para ello, se proponen dos enfoques de optimización:

1. **Minimización del voltaje de modo común efectivo (v_{0rms}):** Este enfoque busca reducir el valor eficaz del voltaje de modo común, con el fin de mejorar la eficiencia y estabilidad del sistema.
2. **Reducción de la componente armónica del voltaje de modo común (v_{0hrms}):** El objetivo de este enfoque es disminuir la componente armónica del voltaje, eliminando la contribución de la componente fundamental, para mejorar la calidad de la señal.

4.3.1. Función Objetivo

Al operar en condiciones de falla, el convertidor presenta una salida sinusoidal en cada fase cuya magnitud está influenciada por el número de celdas operativas. Para mitigar la reducción en la amplitud de la señal, se introduce la tensión de modo común v_0 como se describe en la ecuación 4.2. El reto principal, como se detalla en [6], es optimizar el valor de v_0 con el fin de obtener una salida de tensión que minimice los efectos negativos, generando una salida óptima denotada como u'_{abc} .

En condiciones normales, el voltaje de modo común no tiene un impacto significativo. Sin embargo, en situaciones donde se presenta un pequeño desbalance, se puede observar la aparición de una componente sinusoidal de modo común en la red. A medida que el desbalance se intensifica, las componentes armónicas comienzan a dominar la señal, afectando su calidad.

La tensión de modo común $v_0(\theta)$ se puede descomponer en dos componentes: una fundamental $v_{01}(\theta)$ y una armónica $v_{0h}(\theta)$, como se expresa a continuación:

$$v_0(\theta) = v_{01}(\theta) + v_{0h}(\theta) \quad (4.3)$$

En sistemas de convertidores con capacidad bidireccional, la tensión de modo común puede interactuar con las corrientes de carga, generando efectos no deseados como potencias negativas en la salida [5]. Esta interacción puede ser perjudicial para los equipos, especialmente en el caso de máquinas eléctricas [2]. Por ello, en la literatura se ha recomendado establecer límites en el valor RMS de esta tensión como medida de protección [19].

Minimizar la tensión de modo común es un objetivo de gran importancia en la operación de estos sistemas, tal como lo indican los siguientes estudios [1], [2]. Esto es aún más relevante cuando se pueden obtener estas mejoras sin necesidad de incorporar sensores adicionales, lo cual reduce costos y mantiene la simplicidad del sistema [3].

Siguiendo estas recomendaciones, la función objetivo principal se basa en minimizar la tensión de modo común. Esta tarea se puede abordar desde dos enfoques diferentes: primero, enfocándose en la reducción de la componente fundamental, y segundo, minimizando las componentes armónicas. La elección entre uno u otro dependerá de la aplicación y de los objetivos específicos de compensación establecidos. Las funciones objetivo se presentan de la siguiente forma:

1. **Minimización del valor RMS de v_0 :**

$$z_1 = v_{0\text{rms}}^2 = \int_0^{2\pi} v_0^2(\theta) d\theta \quad (4.4)$$

2. **Minimización del valor RMS de v_{0h} :**

$$z_2 = v_{0h\text{rms}}^2 = \int_0^{2\pi} v_{0h}^2(\theta) d\theta \quad (4.5)$$

Con estas formulaciones, se busca no solo reducir v_0 , sino también minimizar las componentes armónicas, que son las principales responsables de los efectos negativos en las máquinas eléctricas, especialmente en el contexto de operaciones degradadas.

4.3.2. Restricciones de Problema

En el problema de optimización planteado, es necesario definir restricciones que limiten la función objetivo dentro de los valores operativos del convertidor. Estas restricciones aseguran que el sistema opere dentro de los rangos de tensión viables. Se establece una restricción para las tensiones u_k , que será optimizada para obtener el valor de v_0 . La cota inferior de la tensión $u_k^{\min}$ representa la mínima tensión negativa que puede entregar el convertidor, definida como:

$$u_k^{\min} = -N_k V_{DC} \quad (4.6)$$

Por otro lado, la cota superior, $u_k^{\max}$, corresponde a la máxima tensión que el convertidor puede entregar:

$$u_k^{\max} = N_k V_{DC} \quad (4.7)$$

De esta manera, para un convertidor sin fallas, la restricción de tensiones se establece como:

$$u_k^{\min} \leq u_k \leq u_k^{\max}, \quad k \in \{a, b, c\} \quad (4.8)$$

Para modelar el comportamiento del convertidor bajo condiciones degradadas, es necesario considerar la pérdida de tensión debido a las fallas en una o más celdas. Para ello, se introduce el término Δ_k , que depende de F_k , el número de celdas con falla en la fase k . De este modo, la restricción se modifica, sumando Δ_k a la cota inferior y restándola de la cota superior:

$$u_k^{\min} + \Delta_k \leq u_k \leq u_k^{\max} - \Delta_k, \quad k \in \{a, b, c\} \quad (4.9)$$

Donde Δ_k se define como:

$$\Delta_k = V_{DC} F_k \quad (4.10)$$

A continuación, para incorporar la tensión de modo común v_0 , se emplea la representación en coordenadas $\alpha\beta$, ya que estas no se ven afectadas por v_0 . Esto permite separar la tensión de referencia del convertidor de la tensión de modo común, lo que se expresa mediante las siguientes ecuaciones:

$$u_{\alpha\beta} = \begin{bmatrix} u_\alpha \\ u_\beta \end{bmatrix} \quad (4.11)$$

$$u_k = T_k u_{\alpha\beta} + v_0, \quad k \in \{a, b, c\} \quad (4.12)$$

Los valores de T_k se definen como:

$$T_a = \begin{bmatrix} 1 & 0 \end{bmatrix}, \quad T_b = \begin{bmatrix} -\frac{1}{2} & \frac{\sqrt{3}}{2} \end{bmatrix}, \quad T_c = \begin{bmatrix} -\frac{1}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \quad (4.13)$$

Finalmente, la restricción se expresa en términos de la transformada $\alpha\beta$ y la tensión de modo común v_0 , de la siguiente forma:

$$u_k^{\min} + \Delta_k \leq T_k u_{\alpha\beta} + v_0 \leq u_k^{\max} - \Delta_k, \quad k \in \{a, b, c\} \quad (4.14)$$

4.3.3. Formulación Final

En esta sección se presentan los dos modelos de optimización utilizados para determinar el valor óptimo de v_0 , basados en las dos funciones objetivo previamente planteadas.

- **Problema considerando la minimización de v_0 RMS:**

El primer modelo busca minimizar el valor RMS de la tensión de modo común v_0 , lo cual se expresa como:

$$\begin{aligned} & \min_{v_0} \int_0^{2\pi} v_0^2(\theta) d\theta \\ & \text{sueto a } u_k^{\min} + \Delta_k \leq T_k u_{\alpha\beta} + v_0 \leq u_k^{\max} - \Delta_k, \quad k \in \{a, b, c\}, \quad \theta \in \Theta \\ & 0 \leq \theta \leq 2\pi \end{aligned} \quad (4.15)$$

- **Problema considerando la minimización de la componente armónica v_{0h} :**

El segundo modelo tiene como objetivo minimizar el valor RMS de la componente armónica del voltaje de modo común, v_{0h} , lo que se expresa de la siguiente manera:

$$\begin{aligned}
& \min_{v_0} \int_0^{2\pi} v_{0h}^2(\theta) d\theta \\
& \text{sujeto a } u_k^{\min} + \Delta_k \leq T_k u_{\alpha\beta} + v_0 \leq u_k^{\max} - \Delta_k, \quad k \in \{a, b, c\}, \quad \theta \in \Theta \\
& 0 \leq \theta \leq 2\pi
\end{aligned} \tag{4.16}$$

4.3.4. Resolución del Modelo en AMPL

Para resolver los problemas de optimización planteados, se emplean herramientas computacionales especializadas, como el solver Gurobi junto con el lenguaje AMPL para la implementación matemática del modelo.

Debido a que las formulaciones están en tiempo continuo, es necesario discretizarlas para implementarlas en AMPL. Para ello, se utiliza la regla del trapecio compuesta, que permite aproximar las funciones integrales del problema mediante métodos numéricos.

Considere una función continua $f(x)$ definida en el intervalo $[a, b]$. Al dividir este intervalo en n subintervalos de igual tamaño $h = \frac{b-a}{n}$, la integral definida se aproxima mediante la siguiente expresión:

$$\int_a^b f(x) dx \approx \frac{h}{2} (f(a) + 2f(a+h) + 2f(a+2h) + \cdots + 2f(b-h) + f(b)) \tag{4.17}$$

De manera equivalente, esta aproximación también se puede expresar como:

$$\int_a^b f(x) dx \approx \frac{b-a}{n} \left(\frac{f(a) + f(b)}{2} + \sum_{k=1}^{n-1} f\left(a + k \frac{b-a}{n}\right) \right) \tag{4.18}$$

Aplicando esta técnica a la función objetivo principal, la expresión discretizada para la minimización de v_0 es:

$$z_1 = \int_0^{2\pi} v_0^2(\theta) d\theta \approx \frac{2\pi}{n} \left(\frac{v_0^2(0) + v_0^2(2\pi)}{2} + \sum_{j \in \mathcal{J}} v_0^2\left(j \frac{2\pi}{n}\right) \right) \tag{4.19}$$

donde n es el número de subintervalos y $\mathcal{J} = \{j \mid j \in \mathbb{N}, 1 \leq j \leq n-1\}$.

De forma análoga, la discretización de la segunda función objetivo para la minimización de v_{0h} se obtiene de la siguiente manera:

$$z_2 = \int_0^{2\pi} v_{0h}^2(\theta) d\theta \approx \frac{2\pi}{n} \left(\frac{v_{0h}^2(0) + v_{0h}^2(2\pi)}{2} + \sum_{j \in \mathcal{J}} v_{0h}^2\left(j \frac{2\pi}{n}\right) \right) \tag{4.20}$$

Finalmente, las restricciones se evalúan en cada punto discretizado del intervalo de tiempo, y se expresan de la siguiente manera:

$$u_k^{\min} + \Delta_k \leq T_k u_{\alpha\beta} \left(\frac{2\pi j}{n} \right) + v_0 \leq u_k^{\max} - \Delta_k, \quad k \in \{a, b, c\}, \quad j \in \mathcal{J} \tag{4.21}$$

4.3.5. Determinación Gráfica del Valor Limite de Tensión

Para obtener la solución óptima en AMPL bajo cada condición de operación, se empleará un método gráfico que permita determinar el valor límite de tensión que el convertidor puede suministrar en cada caso de falla, garantizando corrientes trifásicas equilibradas en su salida. Este análisis se basa en la representación del vector de tensión de un convertidor multinivel de 9 niveles en el espacio de coordenadas $\alpha\beta$, donde los vectores generados forman un hexágono que representa los niveles de tensión disponibles.

Dentro de este hexágono se inscribe un círculo cuyo radio define la magnitud límite del vector de tensión que el convertidor puede entregar. Este límite asegura una correcta distribución de corriente entre las fases. Aunque el convertidor no necesariamente aplica la misma tensión instantánea en cada una de ellas, la inclusión del término v_0 permite compensar las diferencias y mantener el equilibrio trifásico.

Es importante destacar que el valor del radio del círculo, que representa la magnitud límite del vector de tensión, debe ajustarse mediante la división por el factor $\sqrt{\frac{3}{2}}$, debido a la normalización inherente al sistema de coordenadas $\alpha\beta$. La relación ajustada se expresa como:

$$V_{\text{lim}} = \frac{\text{Radio}}{\sqrt{\frac{3}{2}}} \quad (4.22)$$

Este ajuste garantiza que la tensión límite entregada por el convertidor en el sistema de coordenadas $\alpha\beta$ esté correctamente escalada, manteniendo una operación estable y eficiente.

Capítulo 5

Simulación Computacional

Para validar el modelo propuesto del convertidor multinivel en cascada (CMC) de nueve niveles, se realizó una simulación con el propósito de obtener resultados preliminares y, posteriormente, compararlos con los obtenidos experimentalmente. El modelo corresponde a un convertidor de cuatro celdas por fase conectado a una carga RL, basado en el esquema presentado en [6].

No obstante, se efectuaron modificaciones al diseño original con el fin de permitir comparaciones coherentes con el convertidor implementado en el laboratorio. En el nuevo modelo, la carga RL posee el neutro flotante y se encuentra aislada de la red, a diferencia de la configuración propuesta en [6]. El modelo detallado del convertidor se presenta en el Anexo 2 de este documento.

Para la implementación, se utilizaron los siguientes programas:

- **MATLAB:** Se utilizó para establecer las constantes del sistema, calcular las variables previas, programar el control y realizar el postprocesamiento de los datos obtenidos.
- **SIMULINK:** Permite integrar PLECS con MATLAB con el objetivo de implementar el código de control, la función de voltaje de modo común y la extracción de los datos.
- **PLECS:** Permite simular el circuito del CMC y sus respectivos esquemas de control.

Los parámetros de interés para el convertidor y las simulaciones se presentan en la 5.1. Estos parámetros son similares a los utilizados en la experiencia de laboratorio y serán empleados como valores base para dejar los gráficos en un sistema *pu* tanto para las simulaciones como para la parte experimental.

Parámetro	Valor
Resistencia	60 Ω
Inductancia	20 mH
Tensión CMC	374 V
Frecuencia	50 Hz
Tensión DC	93.5 V
Número de celdas	4

Tabla 5.1: Parámetros del convertidor y sistema base *pu*.

5.1. Resultados

Para el análisis del problema y la posterior comparación entre los resultados de la simulación y los experimentales, se presentarán los resultados correspondientes a diferentes casos de interés. En cada caso, se establecerán el voltaje RMS, el Total Harmonic Distortion (THD) y el Weighted Total Harmonic Distortion (WTHD), con el objetivo de evaluar la calidad de la señal en condiciones normales y después de una falla.

Para llevar a cabo esta comparación, se realizarán simulaciones que emulan las condiciones experimentales, utilizando herramientas como MATLAB y SIMULINK para analizar los datos obtenidos en ambas situaciones. Los resultados obtenidos permitirán una evaluación integral del sistema y ayudarán a identificar posibles áreas de mejora en términos de eficiencia energética y reducción de distorsión armónica, una vez que el sistema entre en estado defectuoso.

5.1.1. Falla 4-4-3

Al analizar el gráfico de los niveles de tensión del convertidor para el caso 4-4-3 (5.1), se determina que el radio límite del círculo de referencia es de 462.8 V. Al convertir esta tensión a las coordenadas *abc*, se observa que la límite tensión alcanzada es de 377.8 V. Por lo tanto, será necesario ajustar este valor al rango de tensión máxima del convertidor en condiciones nominales, que es de 374 V. Con esta corrección, se procederá al análisis de los casos para las dos funciones objetivo definidas.

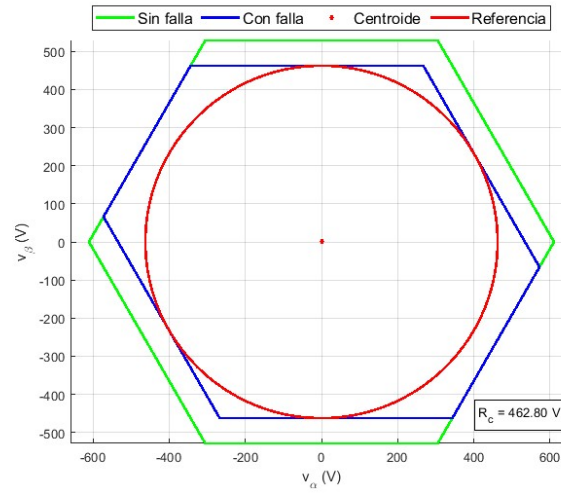
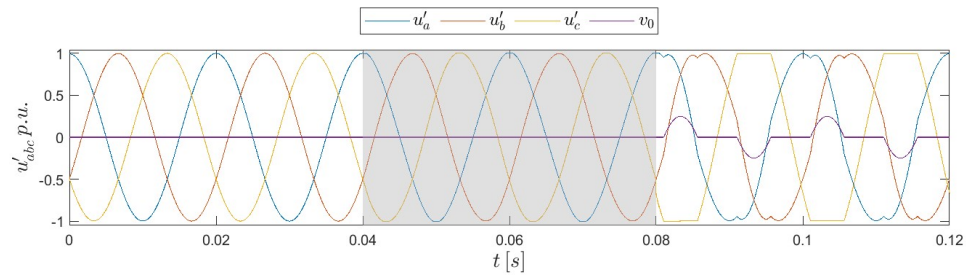
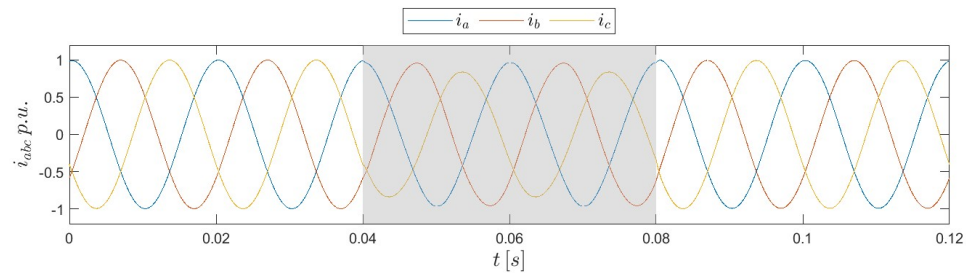


Figura 5.1: Hexágono de tensión de referencia 4-4-3.

■ Optimización de v_{0rms}

En los gráficos 5.2 y 5.3 se presenta la modulación y la corriente obtenidas en la simulación para la condición degradada 4-4-3, correspondientes a la optimización de v_{0rms} . En estas figuras se observa que la corriente recuperada es similar a la que se tenía antes de la falla, lo que permite mantener la potencia activa en condiciones degradadas. Para lograr esto, se emplea una modulación de señales no sinusoidales, las cuales generan la aparición de componentes armónicas que serán evaluadas en la tabla de resultados.

Figura 5.2: Modulación del convertidor en condiciones degradadas 4-4-3 para v_{0rms} .Figura 5.3: Corriente en el convertidor en condiciones degradadas 4-4-3 para v_{0rms} .

■ Optimización de v_{0rms}

En los gráficos 5.4 y 5.5 se presenta la modulación y la corriente obtenidas en la simulación para la condición degradada 4-4-3, correspondientes a la optimización de v_{0rms} . Al igual que en el caso anterior, se observa que la corriente recuperada es similar a la que se tenía antes de la falla, lo que permite recuperar la potencia activa en condiciones degradadas. Para lograr esto, se aplica una modulación de señales no sinusoidales que generan la aparición de componentes armónicas, las cuales serán evaluadas en la tabla de resultados. Sin embargo, dado que en esta optimización se consideran los valores armónicos de la tensión, es posible que se obtengan mejores resultados que en el caso anterior.

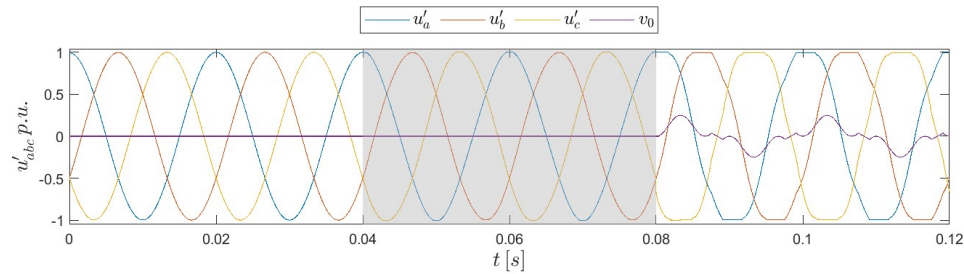


Figura 5.4: Modulación del convertidor en condiciones degradadas 4-4-3 para v_{0rms} .

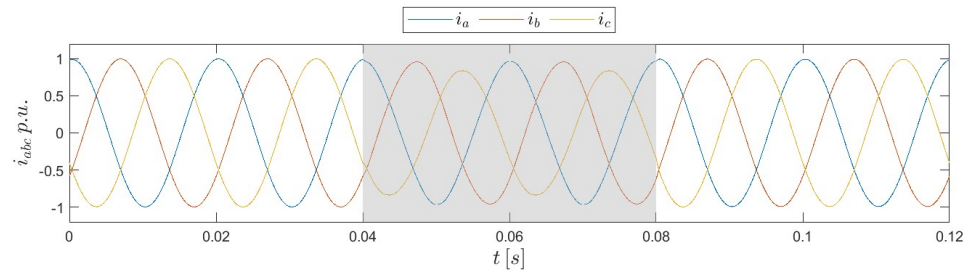


Figura 5.5: Corriente en el convertidor en condiciones degradadas 4-4-3 para v_{0rms} .

5.1.1.a. Resultados de la condición degradada 4-4-3

Al analizar los resultados presentados en la tabla 5.2, se demuestra que, aunque la optimización de v_{0rms} muestra una ligera mejora en términos de armónicos en la corriente, al revisar los datos obtenidos para los armónicos de tensión, la optimización de v_{0rms} obtiene mejores resultados, principalmente en el índice WTHD. Con ello, se verifica que la optimización cumple con el objetivo planteado, y será necesario analizar su desempeño en un convertidor real para contrastar los resultados obtenidos.

Fase	mín v_{0rms}				mín v_{0hrms}			
	a	b	c	Nn	a	b	c	Nn
u_{kn} (V_{rms})	277.27	277.97	218.92	48.86	278.93	279.68	215.05	49.96
THD (%)	9.40	9.34	11.97	67.74	7.95	7.91	10.35	52.59
WTHD (%)	5.29	5.26	6.73	38.16	4.46	4.44	5.81	29.50
i_k (A_{rms})	4.21	4.21	4.21	-	4.21	4.21	4.21	-
THD (%)	0.07	0.09	0.13	-	0.05	0.07	0.11	-
WTHD (%)	0.02	0.03	0.04	-	0.02	0.02	0.03	-

Tabla 5.2: Parámetros eléctricos y calidad de señal en el caso degradado 4-4-3.

5.1.2. Falla 4-4-2

En el caso de condiciones degradadas 4-4-2, se determina que el radio límite del círculo de referencia en las coordenadas $\alpha\beta$ es de 396.7 V. A partir de este valor, se obtiene una tensión equivalente en coordenadas abc de 323 V. Este valor será utilizado como referencia para el cálculo de la optimización correspondiente a las dos funciones objetivo establecidas.

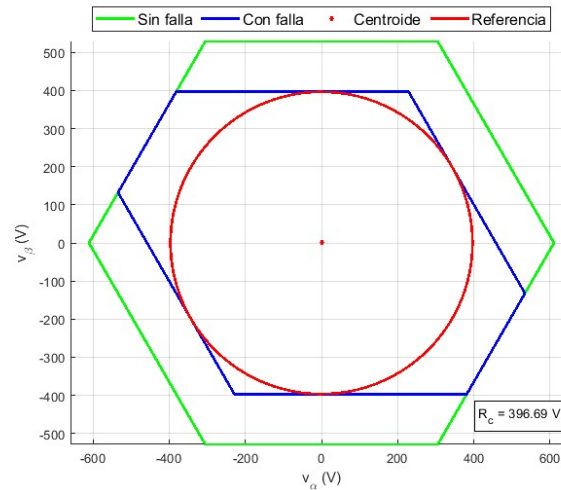


Figura 5.6: Hexágono de tensión de referencia 4-4-2.

■ Optimización de v_{0rms}

En las figuras 5.7 y 5.8 se presenta la modulación y la corriente obtenidas para el caso de optimización de v_{0rms} en condiciones degradadas 4-4-2. Debido a la pérdida de dos celdas en la fase c , no se logra recuperar completamente la corriente que se tenía en un funcionamiento normal; sin embargo, la corriente se reduce únicamente en un 13.5%. Además, se mantiene una corriente simétrica y balanceada con bajo contenido armónico.

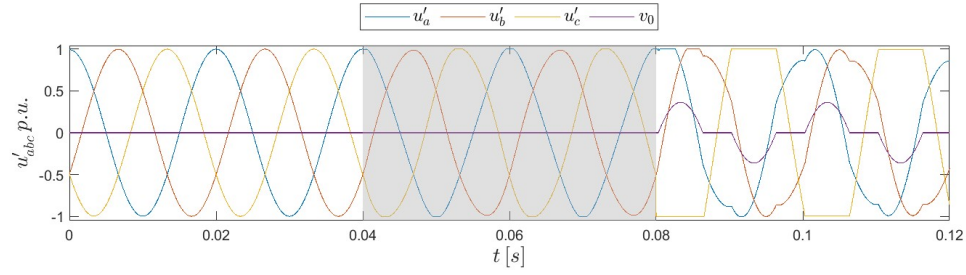


Figura 5.7: Modulación del convertidor en condiciones degradadas 4-4-2 para v_{0rms} .

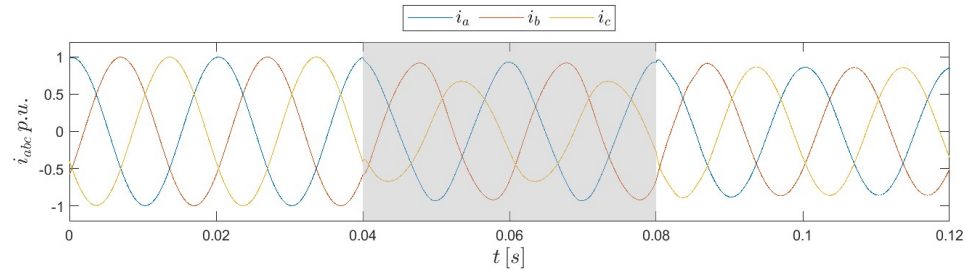


Figura 5.8: Corriente en el convertidor en condiciones degradadas 4-4-2 para v_{0rms} .

■ Optimización de v_{0hrms}

En las figuras 5.9 y 5.10 se presenta la modulación y la corriente obtenidas para el caso de optimización de v_{0hrms} en condiciones degradadas 4-4-2. Al igual que para la optimización de v_{0rms} , la corriente se reduce en un 13.5%.

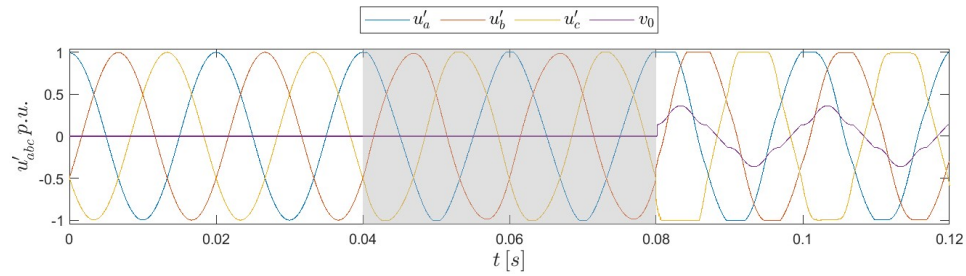


Figura 5.9: Modulación del convertidor en condiciones degradadas 4-4-2 para v_{0hrms} .

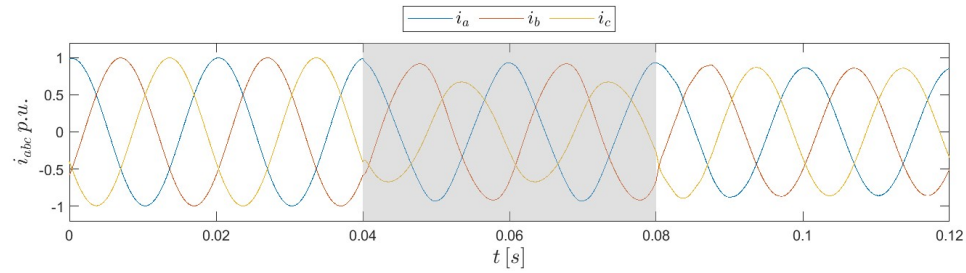


Figura 5.10: Corriente en el convertidor en condiciones degradadas 4-4-2 para v_{0hrms} .

5.1.2.a. Resultados de la condición degradada 4-4-2

Al analizar los resultados obtenidos en la tabla 5.3, se observa que, en términos de componentes armónicos, ambos casos presentan resultados muy similares. Sin embargo, al analizar la tensión, se obtienen resultados significativamente mejores para el caso de v_{0hrms} , especialmente en los términos de WTHD. Esto evidencia que la optimización de los términos armónicos de v_0 cumple con el objetivo planteado, principalmente porque la señal obtenida es más cercana a una señal sinusoidal que la obtenida en el caso de v_{0rms} .

A pesar de que los resultados son favorables, es importante considerar la tensión V_{Nn} , ya que su magnitud ha aumentado respecto al caso anterior, lo cual podría ser perjudicial si se aplica en máquinas eléctricas.

Fase	mín v_{0rms}				mín v_{0hrms}			
	a	b	c	Nn	a	b	c	Nn
$u_{kn} (V_{rms})$	272.84	272.82	162.22	77.87	279.15	279.12	148.78	83.98
THD (%)	11.45	11.45	19.54	44.20	4.35	4.35	8.28	14.80
WTHD (%)	6.55	6.55	11.17	25.27	2.29	2.29	4.36	7.80
$i_k (A_{rms})$	3.77	3.77	3.77	-	3.77	3.77	3.77	-
THD (%)	0.00	0.00	0.01	-	0.00	0.00	0.01	-
WTHD (%)	0.00	0.00	0.00	-	0.00	0.00	0.00	-

Tabla 5.3: Parámetros eléctricos y calidad de señal en el caso degradado 4-4-2.

5.1.3. Falla 4-3-3

Al analizar el hexágono de tensiones en coordenadas $\alpha\beta$ para la condición degradada 4-3-3, presentado en la figura 5.11, se obtiene un radio de referencia de tensión de 396.7 V. Esto corresponde a una tensión equivalente de 323 V en coordenadas abc , valor que resulta similar al obtenido para la condición 4-4-2. Esta similitud sugiere que, al perder la misma cantidad de celdas en una misma fase o al perder una celda en cada fase, se alcanzan niveles de tensión comparables. La tensión obtenida se utiliza como límite para calcular ambas funciones objetivo definidas previamente.

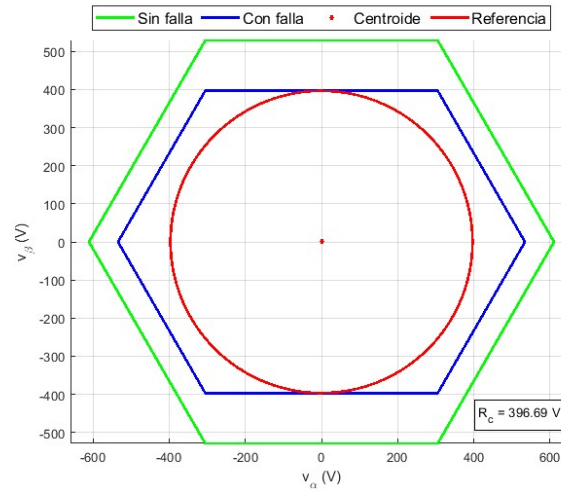
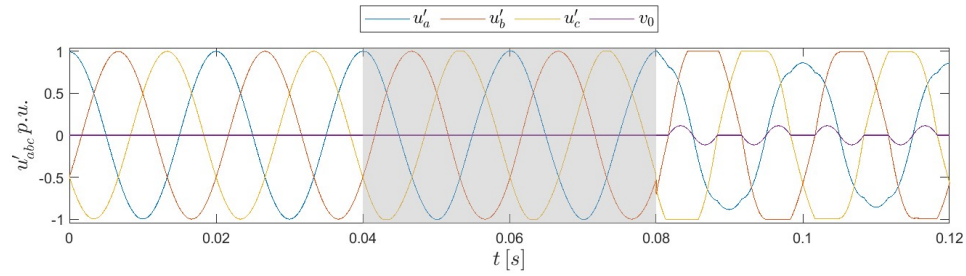
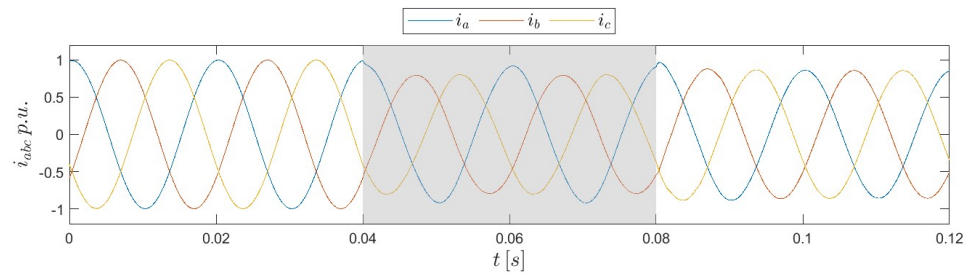


Figura 5.11: Hexágono de tensión de referencia 4-3-3.

■ Optimización de v_{0rms}

En las figuras 5.12 y 5.13 se presentan la modulación y la corriente obtenidas para el caso de optimización de v_{0rms} en condiciones degradadas 4-3-3. Al igual que en el caso anterior, se observa una disminución de la corriente en un 13.5 %. Sin embargo, la modulación difiere, dado que la optimización de v_{0rms} distribuye la tensión para compensar las fallas de las celdas en cada fase.

Figura 5.12: Modulación del convertidor en condiciones degradadas 4-3-3 para v_{0rms} .Figura 5.13: Corriente en el convertidor en condiciones degradadas 4-3-3 para v_{0rms} .

■ Optimización de v_{0hrms}

En las figuras 5.14 y 5.15 se presenta la modulación y la corriente obtenidas para el caso de optimización de v_{0rms} en condiciones degradadas 4-3-3. Al igual que en el caso de v_{0rms} , la corriente disminuye en aproximadamente un 13 %. Sin embargo, la forma de onda de la tensión de modo común es más sinusoidal, lo que puede influir favorablemente en la magnitud de dicha tensión.

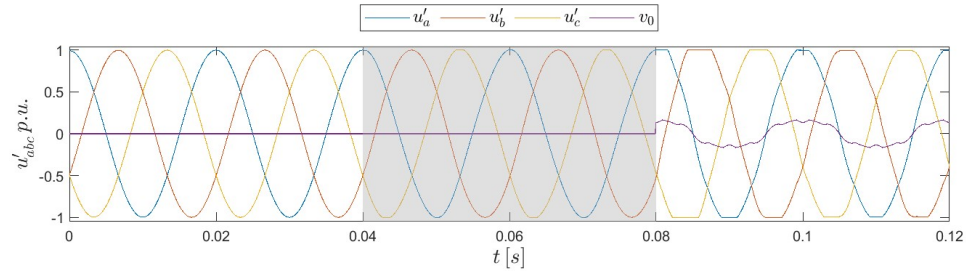


Figura 5.14: Modulación del convertidor en condiciones degradadas 4-3-3 para v_{0rms} .

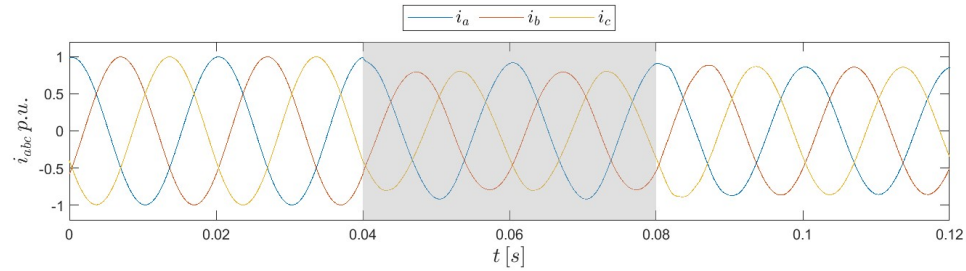


Figura 5.15: Corriente en el convertidor en condiciones degradadas 4-3-3 para v_{0rms} .

5.1.3.a. Resultados de la condición degradada 4-3-3

Los resultados presentados en la tabla 5.4 evidencian que la corriente mantiene un bajo contenido armónico. No obstante, la diferencia más destacada respecto al caso 4-4-2 se observa en la tensión de modo común, que muestra niveles significativamente reducidos, llegando a ser hasta la mitad de la tensión registrada en dicho escenario. Esta mejora se explica porque, al existir celdas en falla distribuidas en diferentes fases, la tensión de modo común puede repartirse, evitando la compensación excesiva en una sola celda. Además, la optimización de v_{0rms} continúa presentando mejores resultados en términos de THD y WTHD en la tensión.

Fase	mín v_{0rms}				mín v_{0rms}			
	a	b	c	Nn	a	b	c	Nn
u_{kn} (V_{rms})	243.05	223.96	223.94	29.63	274.14	210.66	210.59	47.70
THD (%)	8.92	9.72	9.67	169.42	3.01	4.04	3.91	18.34
WTHD (%)	5.03	5.49	5.45	95.60	1.56	2.09	2.02	9.48
i_k (A_{rms})	3.77	3.77	3.78	-	3.77	3.77	3.78	-
THD (%)	0.07	0.12	0.09	-	0.07	0.13	0.08	-
WTHD (%)	0.02	0.04	0.03	-	0.02	0.05	0.03	-

Tabla 5.4: Parámetros eléctricos y calidad de señal en el caso degradado 4-3-3.

5.1.4. Falla 4-3-1

En el caso de condiciones degradadas 4-3-1, se determina que el radio limite del círculo de referencia en las coordenadas $\alpha\beta$ es de 264.5 V. A partir de este valor, se obtiene una tensión equivalente en coordenadas abc de 215.9 V. Este valor será utilizado como referencia para el cálculo de la optimización correspondiente a las dos funciones objetivo establecidas.

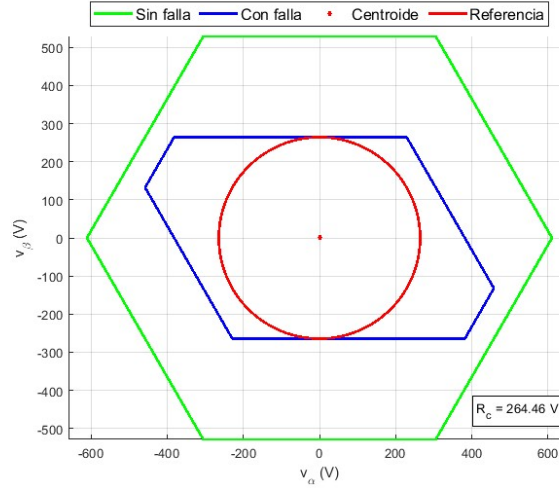


Figura 5.16: Hexágono de tensión de referencia 4-3-1.

■ Optimización de v_{0rms}

En las figuras 5.17 y 5.18 se presentan la modulación y la corriente obtenidas para el caso de optimización de v_{0rms} en condiciones degradadas 4-3-1. La corriente obtenida en este caso es un 42.7 % menor en comparación con la que se obtiene cuando el convertidor opera en condiciones normales. No obstante, el resultado sigue siendo favorable, considerando que una de las fases cuenta únicamente con una celda, y aun así se logra una corriente cercana a la que entregaría un convertidor de dos niveles.

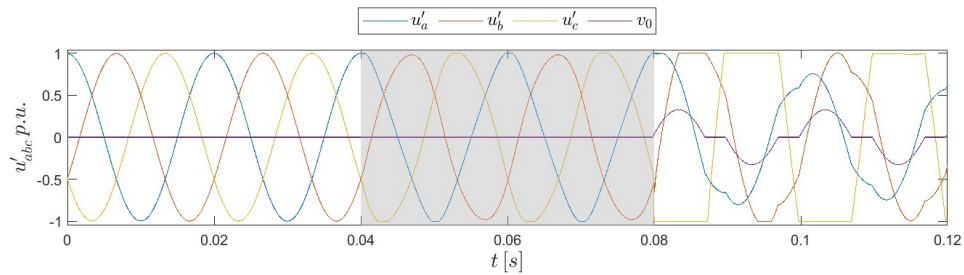


Figura 5.17: Modulación del convertidor en condiciones degradadas 4-3-1 para v_{0rms} .

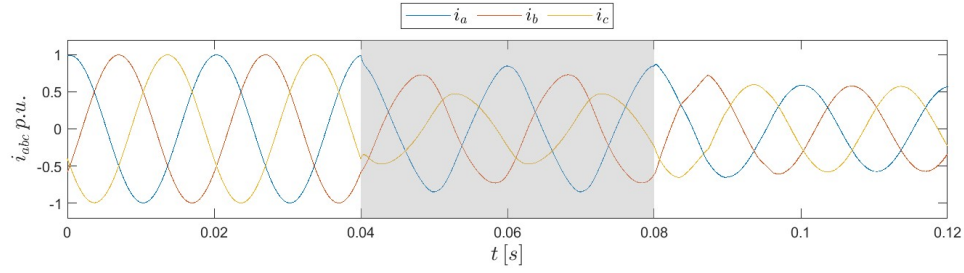


Figura 5.18: Corriente en el convertidor en condiciones degradadas 4-3-1 para v_{0rms} .

■ Optimización de v_{0rms}

En las figuras 5.19 y 5.20 se presentan la modulación y la corriente obtenidas para el caso de optimización de v_{0rms} en condiciones degradadas 4-3-1. Al analizar el gráfico de la modulación, se observa que la señal de modo común adopta una forma sinusoidal, lo cual aproxima la estrategia de modulación a una modulación vectorial espacial (SVPWM). Esta característica favorece que las fases mantengan un desfase adecuado entre sí, logrando así una corriente simétrica y balanceada, similar a la que se obtiene con técnicas de modulación vectorial convencionales.

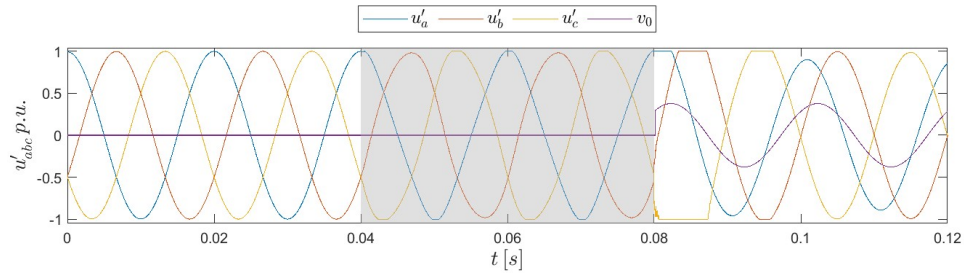


Figura 5.19: Modulación del convertidor en condiciones degradadas 4-3-1 para v_{0rms} .

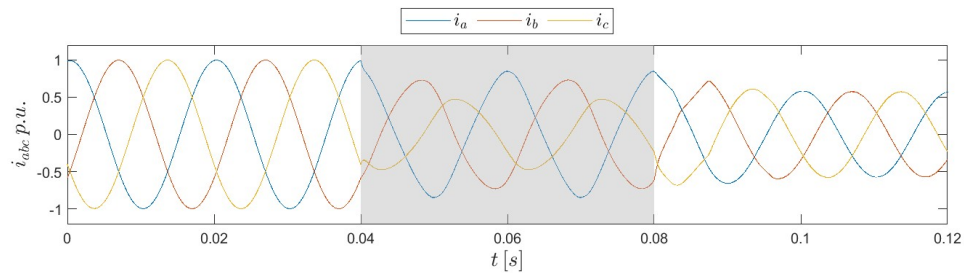


Figura 5.20: Corriente en el convertidor en condiciones degradadas 4-3-1 para v_{0rms} .

5.1.4.a. Resultados de la condición degradada 4-3-1

Al analizar los resultados obtenidos en la tabla 5.5, se observa una gran diferencia en los valores de THD y WTHD entre ambos casos, siendo significativamente mejor para la optimización de v_{0rms} . Esto se debe a que, en este caso, se aplica únicamente una tensión sinusoidal de modo común, lo que reduce considerablemente el contenido armónico en la salida. Sin embargo, esta estrategia genera un aumento en la tensión V_{Nn} , alcanzando

magnitudes superiores a los 100 V, lo cual podría ser perjudicial para los equipos que operan bajo esta condición degradada.

Fase	mín v_{0rms}				mín v_{0hrms}			
	a	b	c	Nn	a	b	c	Nn
$u_{kn} (V_{rms})$	200.33	200.54	85.77	75.78	238.39	199.73	73.07	101.26
THD (%)	10.90	10.97	26.71	30.30	0.13	0.47	0.59	0.32
WTHD (%)	6.15	6.20	15.09	17.12	0.05	0.14	0.22	0.13
$i_k (A_{rms})$	2.52	2.52	2.52	-	2.52	2.52	2.52	-
THD (%)	0.12	0.18	0.09	-	0.16	0.24	0.12	-
WTHD (%)	0.04	0.06	0.03	-	0.06	0.08	0.03	-

Tabla 5.5: Parámetros eléctricos y calidad de señal en el caso degradado 4-3-1.

5.1.5. Falla 4-2-2

En el caso de condiciones degradadas 4-2-2, se determina que el radio limite del círculo de referencia en las coordenadas $\alpha\beta$ es de 264.5 V. A partir de este valor, se obtiene una tensión equivalente en coordenadas abc de 215.9 V. Este valor será utilizado como referencia para el cálculo de la optimización correspondiente a las dos funciones objetivo establecidas.

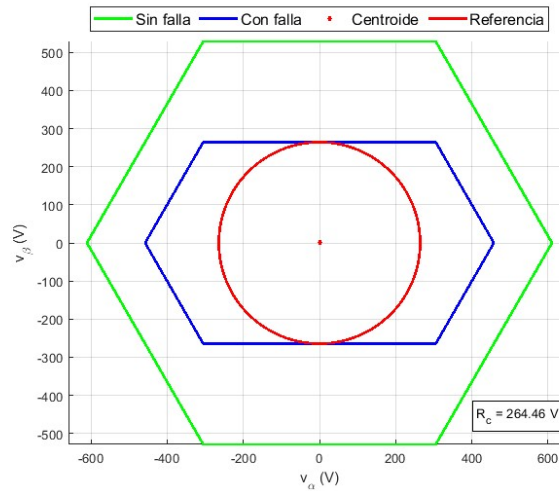


Figura 5.21: Hexágono de tensión de referencia 4-2-2.

■ Optimización de v_{0rms}

En las figuras 5.22 y 5.23 se presenta la modulación y la corriente obtenidas para el caso de optimización de v_{0rms} en condiciones degradadas 4-2-2. Al igual que en el caso 4-3-3, la tensión de modo común que se obtiene está distribuida y no presenta magnitudes significativas, lo que permite obtener mejores resultados que en el caso 4-3-1, dado que ambos casos alcanzan niveles similares de corriente.

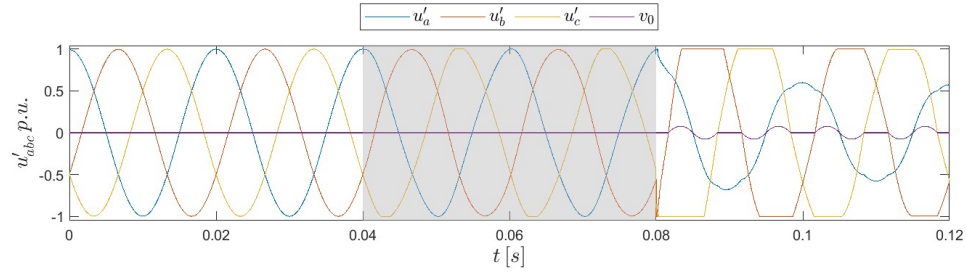


Figura 5.22: Modulación del convertidor en condiciones degradadas 4-2-2 para v_{0rms} .

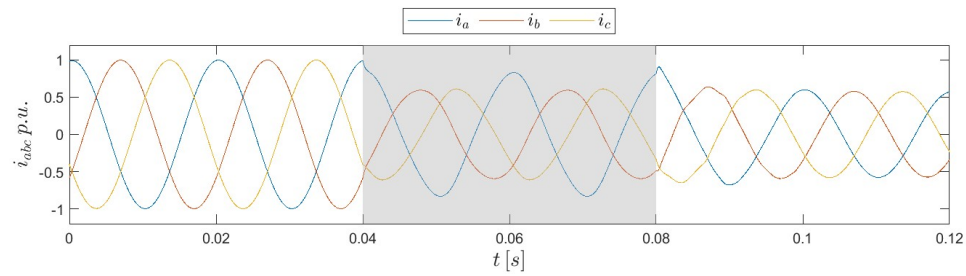


Figura 5.23: Corriente en el convertidor en condiciones degradadas 4-2-2 para v_{0rms} .

■ Optimización de v_{0rms}

En las figuras [5.24](#) y [5.25](#) se presentan la modulación y la corriente obtenidas para el caso de optimización de v_{0rms} en condiciones degradadas 4-2-2. Al igual que en el caso 4-3-1, se obtiene una tensión de modo común sinusoidal; sin embargo, en este caso su magnitud es menor debido a que la cantidad de celdas en falla está distribuida en dos fases.

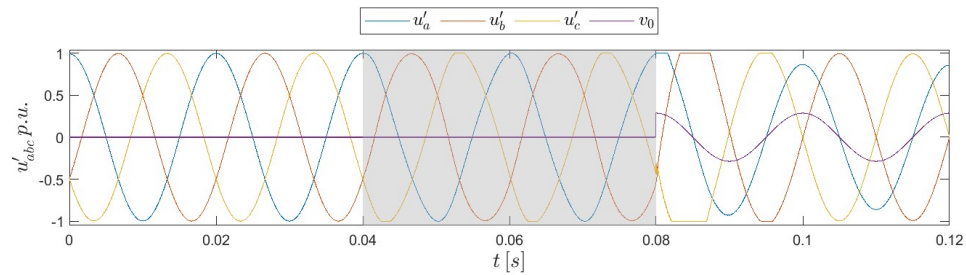


Figura 5.24: Modulación del convertidor en condiciones degradadas 4-2-2 para v_{0rms} .

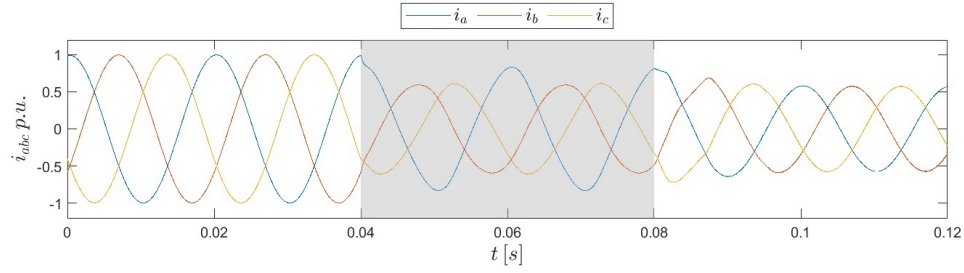


Figura 5.25: Corriente en el convertidor en condiciones degradadas 4-2-2 para v_{0hrms} .

5.1.5.a. Resultados de la condición degradada 4-2-2

Al analizar los valores obtenidos en la tabla 5.8, se puede observar un comportamiento similar al caso 4-3-1 en términos de nivel de corriente, THD y WTHD. Sin embargo, al examinar los niveles de tensión de modo común, se encuentran valores menores, lo que sugiere que es preferible que las celdas en falla se distribuyan entre las fases afectadas, en lugar de concentrarse en una sola fase. Esta distribución permitiría reducir el voltaje de modo común, mejorando así la operación del sistema.

Fase	mín v_{0rms}				mín v_{0hrms}			
	a	b	c	Nn	a	b	c	Nn
$u_{kn} (V_{rms})$	163.50	150.69	150.70	21.30	229.78	135.10	135.13	76.53
THD (%)	9.16	9.96	9.96	167.74	0.00	0.02	0.02	0.00
WTHD (%)	5.17	5.63	5.63	94.75	0.00	0.01	0.01	0.00
$i_k (A_{rms})$	2.52	2.52	2.52	-	2.52	2.52	2.52	-
THD (%)	0.01	0.01	0.01	-	0.00	0.00	0.00	-
WTHD (%)	0.00	0.00	0.00	-	0.00	0.00	0.00	-

Tabla 5.6: Parámetros eléctricos y calidad de señal en el caso degradado 4-2-2.

Capítulo 6

Experimentos en Laboratorio

Para la corroboración experimental de la inyección de voltaje de modo común para la compensación de cargas trifásicas propuesta en el documento, se implementó un convertidor multiceldas en cascada de 9 niveles por fase. Este convertidor requirió mantenimiento previo para asegurar su correcto funcionamiento. La carga a alimentar será una carga RL, que se encuentra disponible en el laboratorio.

Antes de presentar los resultados obtenidos con el convertidor, se describirá el banco de trabajo utilizado para la realización de los ensayos, así como la plataforma de control empleada para obtener los resultados.

6.1. Descripción del banco de pruebas

El banco de pruebas empleado consta de una carga resistiva-inductiva conectada a un convertidor CM4. Se realizarán diversas mediciones tanto en la carga como en el convertidor, las cuales incluirán las corrientes por fase, las tensiones del convertidor y las tensiones de la carga. Además, utilizando los canales restantes del osciloscopio, se agregarán mediciones de las tensiones entre los neutros (VNn) y dos tensiones de línea.

▪ Carga Resistiva-Inductiva.

La carga utilizada para corroborar la compensación en el convertidor multinivel tendrá un valor de 60Ω y 20mH por fase. Para ello, se empleó una carga disponible en el laboratorio, conformada por racks con carga resistiva. Cada rack incluye dos resistencias de 15Ω conectadas en serie, y se utilizarán dos de estos racks para alcanzar los 60Ω sin exceder la corriente máxima que puede soportar cada resistencia. Además, se añadieron inductancias de 20mH conectadas en serie con la carga resistiva. El valor medido de las resistencias se presenta en la tabla 6.1. Estas resistencias fueron medidas para tener en cuenta posibles pequeñas variaciones en su valor. Cabe destacar que en la medición no se incluyeron los cables que conectan el convertidor con la carga, los cuales podrían influir en el aumento de los valores obtenidos.

La carga se conectará en configuración estrella al convertidor, dejando el neutro flotante. De esta forma, solo se conectarán las tres fases desde el CM4, sin conectar el punto neutro del convertidor. A continuación, se presenta una tabla con los parámetros de la carga empleada.

Carga	Valor
Resistencia (a)	61.11Ω
Resistencia (b)	61.68Ω
Resistencia (c)	61.72Ω
Inductancia	20mH

Tabla 6.1: Valores de la carga RL con resistencias reales.

■ Plataforma digital.

La plataforma digital utilizada para la implementación experimental corresponde a la tarjeta BRAIn (Board for Research, Academic and Industrial applications), desarrollada para el Laboratorio de Investigación en Accionamientos Eléctricos (LIAcE) del Departamento de Ingeniería Eléctrica de la Universidad Técnica Federico Santa María.

Esta plataforma se basa en un sistema digital que integra un procesador DSP TMS320C6748 de Texas Instruments, equipado con un núcleo VLIW (Very Long Instruction Word) que opera a 456MHz, y una FPGA Xilinx XC7A35T, la cual se encarga del manejo de periféricos, la generación de señales PWM, el control de convertidores A/D y la sincronización con el DSP.

El DSP es responsable de ejecutar los algoritmos de control en tiempo real, procesando las señales adquiridas y generando las referencias necesarias para el control de los convertidores de potencia. Para ello, se emplea un entorno de desarrollo basado en Code Composer Studio, que facilita la compilación, depuración y carga del código.

Por su parte, la FPGA incluye módulos configurables que generan las señales PWM, administran los convertidores A/D (AD7367) y gestionan interrupciones sincronizadas con los timers internos, permitiendo un control preciso y coordinado del sistema. La FPGA dispone de seis moduladores PWM capaces de operar en modos bipolar o unipolar, con ajuste de tiempos muertos y lógica configurable. Esta configuración se utilizará para controlar los 48 MOSFET del convertidor CMC de 9 niveles; para ello, será necesario modificar el firmware para incluir, como mínimo, 12 timers.

En el escenario de estudio, se establecen inicialmente las condiciones de funcionamiento normal del convertidor. Posteriormente, ocurrirá un instante en el que el convertidor intentará seguir operando en modo normal, aunque ya se presentarán celdas con bypass activado. Finalmente, se incluirá la señal de modo común para realizar la compensación correspondiente.

La implementación de la señal de modo común en el código se realizará mediante una aproximación por series de Fourier. Esto se debe a que, para las simulaciones, se utiliza una función punto a punto determinada mediante AMPL, y se busca evitar el almacenamiento de esta información en la memoria de la tarjeta BRAIn. La aproximación por Fourier facilita la sincronización de la señal con la modulación de cada fase.

El control aplicado en el convertidor será un control de corriente proporcional-integral (PI), descrito en capítulos anteriores, que permitirá mantener la estabilidad del sistema y obtener a la salida una corriente simétrica y balanceada.

Convertidor CMC 9 niveles.

Según la información obtenida en el documento [16], las placas empleadas en el convertidor cuentan con un puente H para la etapa de potencia, utilizando semiconductores independientes (IGBT's) que permiten su reemplazo en caso de falla. La placa requiere una alimentación de 5V, la cual se suministra mediante una fuente de poder específica diseñada para este fin.

La etapa de rectificación de las celdas se realiza mediante un puente de diodos de seis pulsos, encargado de generar la tensión continua en el DC-Link. Este enlace está compuesto por dos condensadores conectados en paralelo, que reducen el rizado de la señal rectificada. Además, se incluyen resistencias destinadas a descargar los condensadores cuando el equipo se desconecta, evitando así riesgos eléctricos.

Para la medición de corriente, se emplean tarjetas específicas disponibles en el LIA-cE, las cuales permiten obtener la información necesaria para implementar el control de corriente requerido para el funcionamiento del convertidor. Estas tarjetas deben ser alimentadas con una fuente de ± 15 V, suministrada mediante una fuente switching diseñada para este propósito.

El transformador de potencia cuenta con un devanado primario conectado en delta y doce secundarios con un desfase de 15° . La regulación del transformador es de 380/125 V y cuenta con una potencia de 16kVA. Para mayor seguridad y control, se ha conectado un variac trifásico de 14.4kVA al primario del transformador, permitiendo ajustar la tensión que recibe cada celda.

La tensión rectificada para cada celda es de 93.5V, por lo que mediante un convertidor CMC de 4 celdas se obtiene una tensión total de 374 V, valor utilizado para la simulación del convertidor y que facilita un mejor contraste entre los resultados simulados y experimentales.

La disposición del convertidor CMC de 4 celdas se muestra en la figura 6.1. Se destacan las celdas por fase utilizando los siguientes colores: azul para la fase A, negro para la fase B y rojo para la fase C. Por otro lado, la ubicación de la tarjeta BRAIn está resaltada en color verde. Esta ubicación fue seleccionada debido a que facilita la conexión de la fibra óptica y la interconexión con la tarjeta de medición.

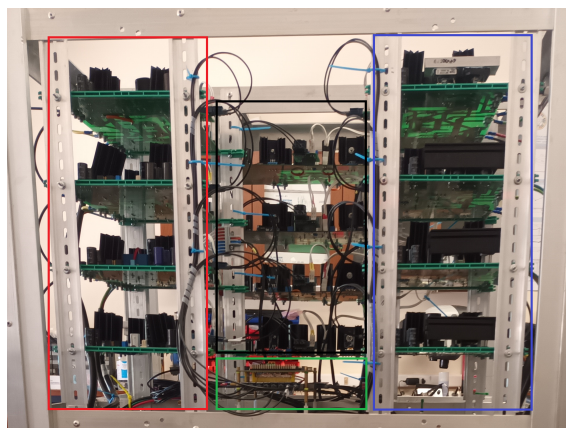


Figura 6.1: Convertidor CMC dispuesto en laboratorio.

6.2. Resultados experimentales

Con la implementación de los diversos componentes mencionados anteriormente, será posible obtener resultados de la compensación de voltaje de modo común en un convertidor real. Estos resultados se obtendrán utilizando puntas de tensión y corriente conectadas a un osciloscopio, lo que permitirá realizar el análisis de THD y WTHD posteriormente, utilizando Matlab. De esta manera, se aplicará el mismo método utilizado en las simulaciones, lo que permitirá una comparación coherente entre ambos casos.

El convertidor se configurará a una frecuencia de 5kHz. Por otro lado, la tensión utilizada no podrá ser de 100V como se había planteado inicialmente, debido a que, al tener el convertidor conectado en vacío, se alcanzan los 400V con 4 celdas. Sin embargo, al conectar la carga, la tensión cae a alrededor de 374V, lo que implica una tensión por celda de aproximadamente 93.5V. Esta tensión no puede ser compensada mediante el variac, ya que esto podría ocasionar un mal funcionamiento en los MOSFET. Esto se debe a que, debido a efectos de onda viajera en los pulsos de disparo, se generan señales no deseadas que hacen que los semiconductores operen cuando no deben, acercándose a su límite de tensión. Si se intenta compensar esta situación, los semiconductores podrían experimentar daños. Por lo tanto, se mantendrá esta tensión como límite para las pruebas.

El hecho de que se utilice un nivel de tensión menor al de la simulación no representa un problema significativo, ya que la compensación de voltaje de modo común se maneja en unidades por unidad (pu). Esto significa que la compensación para las 4 celdas no se verá afectada por el nivel de tensión. Así, será más sencillo aplicar la señal de modo común a la referencia de tensión que se tiene en el convertidor, manteniendo la consistencia en el proceso de compensación independientemente de la caída de tensión.

Para comparar los diferentes casos de condiciones degradadas con el funcionamiento normal y con distinta cantidad de celdas por fase, se presenta la tabla 6.2, la cual muestra información de interés para las comparaciones.

Parámetro	CMC 4 Niveles			CMC 3 Niveles			CMC 2 Niveles		
	a	b	c	a	b	c	a	b	c
u_{kn} [V _{rms}]	227.02	229.75	220.05	170.65	172.89	167.97	116.08	118.39	112.63
i_k [A _{rms}]	3.68	3.61	3.58	2.79	2.76	2.75	1.91	1.89	1.86
P_{carga} [kW _{rms}]	0.829	0.803	0.792	0.476	0.470	0.466	0.223	0.219	0.214

Tabla 6.2: Parámetros eléctricos de diferentes configuraciones CMC.

6.2.1. Falla 4-4-3

En el caso 4-4-3, se logra obtener una corriente cercana a la que se tenía antes de que ocurriera la falla, manteniéndose alrededor de 3.58 Arms en el control. Al aplicar las compensaciones mediante voltaje de modo común, se obtiene una corriente simétrica y balanceada, similar a la que se tenía antes de la condición defectuosa de una celda.

A continuación, se presentarán los gráficos de las variables medidas en el convertidor para ambos casos de compensación.

■ Optimización de v_{0rms}

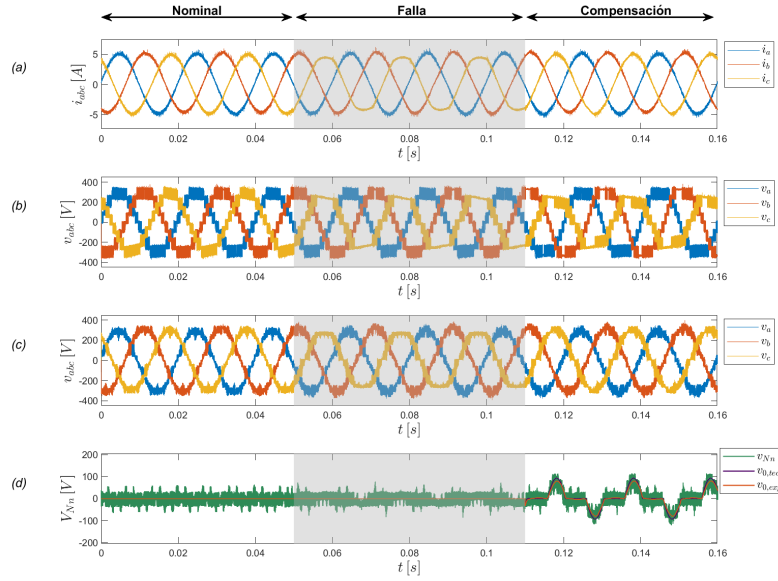


Figura 6.2: Señales del convertidor bajo condiciones degradadas 4-4-3 para v_{0rms} : (a) corriente de salida, (b) tensión de fase del convertidor, (c) tensión de fase de la carga y (d) tensión de modo común.

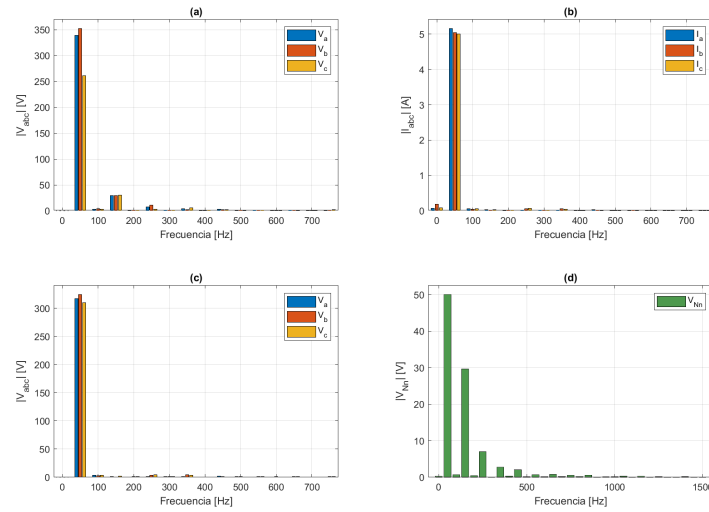


Figura 6.3: Espectro de frecuencia fundamental bajo condiciones degradadas 4-4-3 para v_{0rms} : (a) tensión del convertidor, (b) Corriente de la carga, (c) Tensión de la carga (d) tensión de modo común

■ Optimización de v_{0hrms}

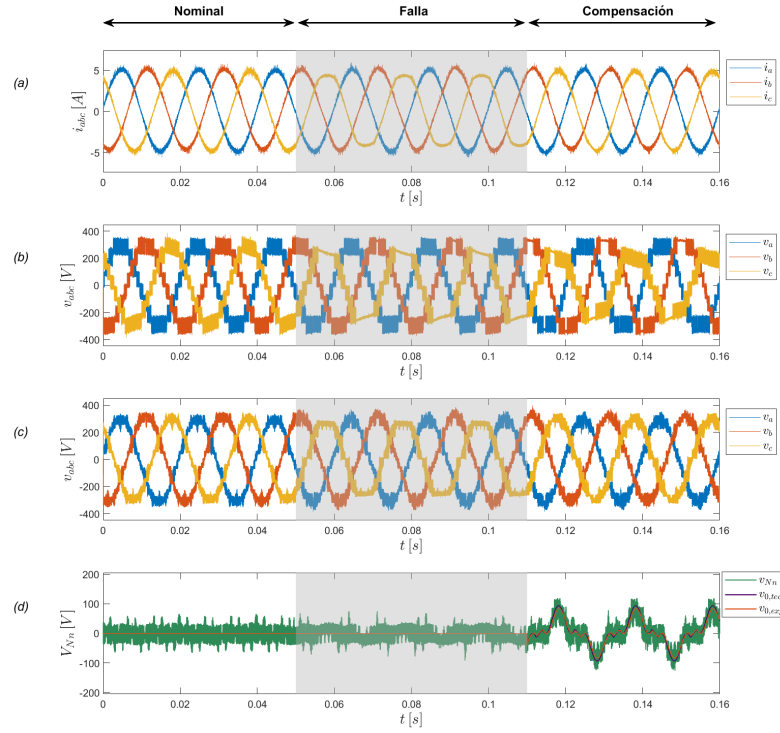


Figura 6.4: Señales del convertidor bajo condiciones degradadas 4-4-3 para v_{0hrms} : (a) corriente de salida, (b) tensión de fase del convertidor, (c) tensión de fase de la carga y (d) tensión de modo común.

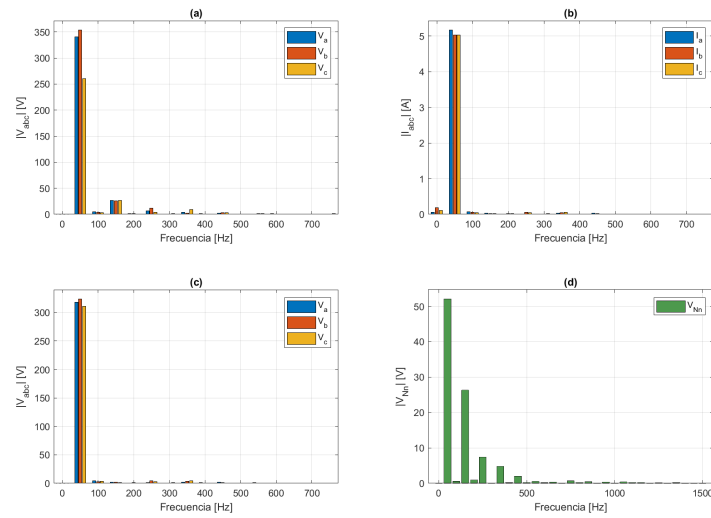


Figura 6.5: Espectro de frecuencia fundamental bajo condiciones degradadas 4-4-3 para v_{0hrms} : (a) tensión del convertidor, (b) Corriente de la carga, (c) Tensión de la carga (d) tensión de modo común

6.2.1.a. Resultados de la condición degradada 4-4-3

Los resultados obtenidos para el caso 4-4-3 se presentan en la Tabla 6.3. Al compararlos con los resultados de la simulación, se observa una diferencia que varía entre un 2 % y un 4 %. Esta discrepancia podría atribuirse al ruido en las señales de disparo de los semiconductores, generado por interferencias o por la presencia de ondas viajeras. A pesar de esta diferencia, los resultados siguen siendo coherentes con lo esperado, ya que se obtienen menores niveles de distorsión armónica para el caso de v_{0hrms} , lo que valida los resultados presentados en [6] para un convertidor real.

Al analizar los espectros de frecuencia presentados en las Figuras 6.3 y 6.5, se observa que la solución v_{0hrms} presenta una mayor componente fundamental en la tensión de modo común. Además, también muestra una mayor magnitud en la componente fundamental de la tensión de salida del convertidor, lo cual constituye una de las razones más relevantes por las que se obtiene un menor valor de WTHD en comparación con la solución v_{0rms} . Por otra parte, en la corriente y la tensión de la carga se mitigan en gran medida las componentes no fundamentales, debido a que la propia carga actúa como un filtro para estas perturbaciones.

Por otro lado, al analizar la potencia inyectada a la carga, esta se mantiene cercana a los valores previos a la falla, con pequeñas variaciones entre un 2 % y un 3 %, las cuales podrían deberse a que el control no sigue la referencia con total precisión. Sin embargo, a pesar de estas leves variaciones, fue posible compensar la condición defectuosa de una de las celdas.

Un aspecto importante a considerar es que tanto la tensión RMS como la corriente RMS son menores en el sistema real en comparación con las simulaciones. Esto se debe a que las simulaciones modelan un sistema ideal, sin considerar las pérdidas inherentes que ocurren en un convertidor real, tales como las asociadas a la resistencia de los conductores o a la conmutación de los MOSFET y sus respectivos tiempos muertos. Esta diferencia entre el modelo ideal y el sistema real es esperada y se mantendrá en los demás casos analizados.

Fase	mín v_{0rms}				mín v_{0hrms}			
	a	b	c	Nn	a	b	c	Nn
$u_{kn} (V_{rms})$	239.64	249.45	184.45	35.40	241.06	250.23	183.94	36.84
THD (%)	9.33	9.12	11.95	61.37	8.25	8.32	11.20	53.57
WTHD (%)	5.25	5.10	6.79	34.89	4.68	4.61	6.22	30.13
$u_{carga} (V_{rms})$	224.44	229.56	219.05	-	224.96	229.05	220.17	-
THD carga (%)	1.78	2.20	3.06	-	2.04	2.08	2.57	-
WTHD carga (%)	0.97	1.02	1.27	-	1.21	1.05	1.04	-
$i_k (A_{rms})$	3.65	3.57	3.54	-	3.66	3.56	3.56	-
THD (%)	1.61	2.01	2.28	-	1.92	1.98	1.89	-
WTHD (%)	0.93	0.97	1.19	-	1.17	1.04	0.97	-
$P_{carga} (kW)$	0.815	0.785	0.773	-	0.818	0.780	0.781	-

Tabla 6.3: Parámetros eléctricos y calidad de señal en el caso degradado 4-4-3.

6.2.2. Falla 4-4-2

En el caso 4-4-2, la corriente disminuye debido a la pérdida de dos de las celdas, y la compensación mediante voltaje de modo común no es capaz de recuperar el nivel de tensión previo a la falla. Por esta razón, la corriente se mantiene en un valor de 2.95 Arms. Aunque este valor no es el mismo que el que se tenía antes de la falla, es superior al de un sistema con tres niveles por fase, ya que en este último caso la corriente es aproximadamente de 2.77 Arms.

A continuación, se presentarán los gráficos de las diferentes señales de interés para el caso 4-4-2 que se obtuvieron en el convertidor, correspondientes a los dos casos a estudiar.

■ Optimización de v_{0rms}

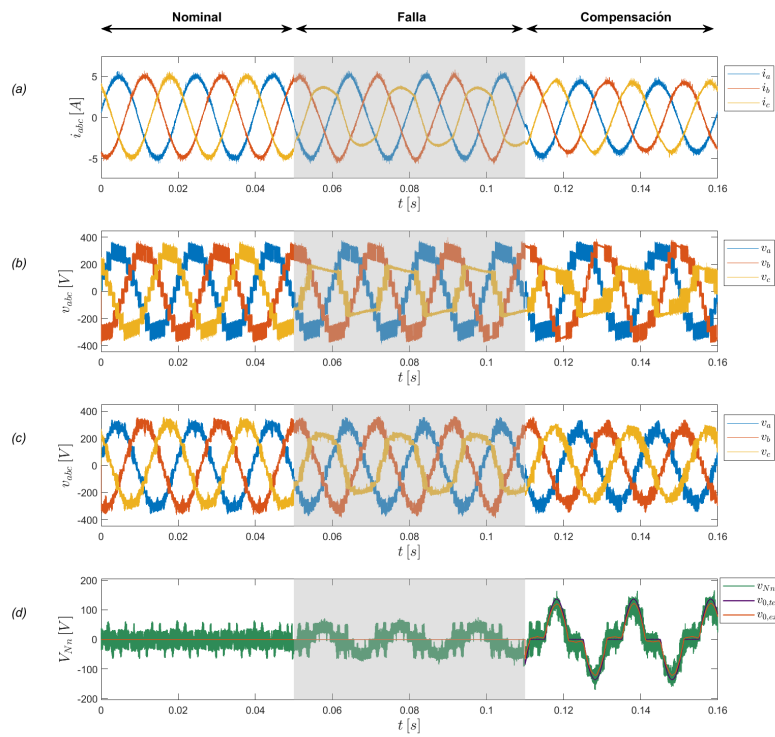


Figura 6.6: Señales del convertidor bajo condiciones degradadas 4-4-2 para v_{0rms} : (a) corriente de salida, (b) tensión de fase del convertidor, (c) tensión de fase de la carga y (d) tensión de modo común.

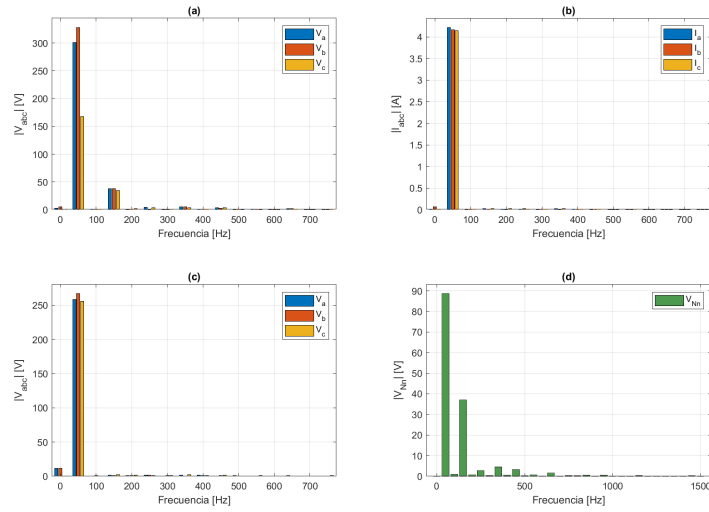


Figura 6.7: Espectro de frecuencia fundamental bajo condiciones degradadas 4-4-2 para v_{0rms} : (a) tensión del convertidor, (b) Corriente de la carga, (c) Tensión de la carga (d) tensión de modo común

■ Optimización de v_{0hrms}

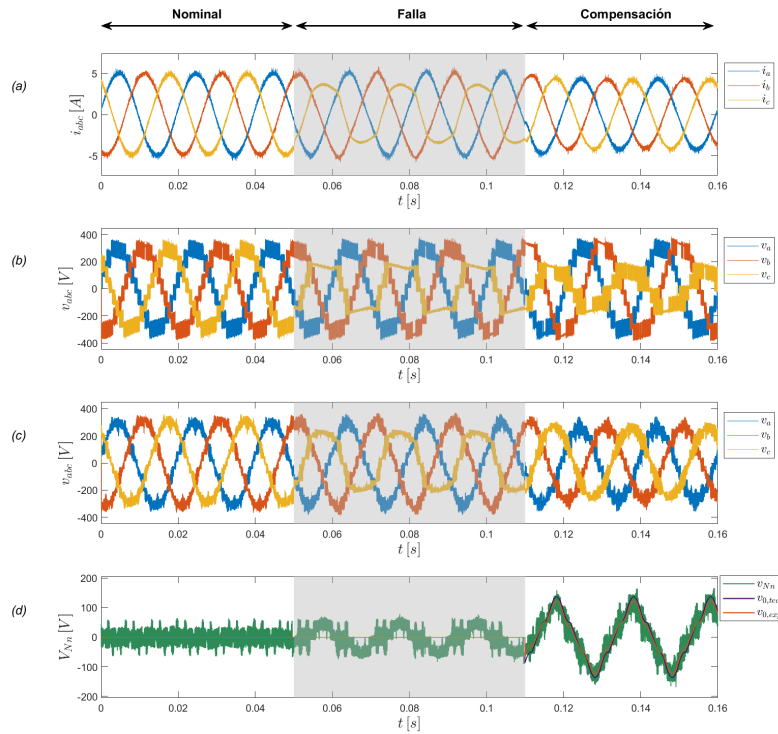


Figura 6.8: Señales del convertidor bajo condiciones degradadas 4-4-2 para v_{0hrms} : (a) corriente de salida, (b) tensión de fase del convertidor, (c) tensión de fase de la carga y (d) tensión de modo común.

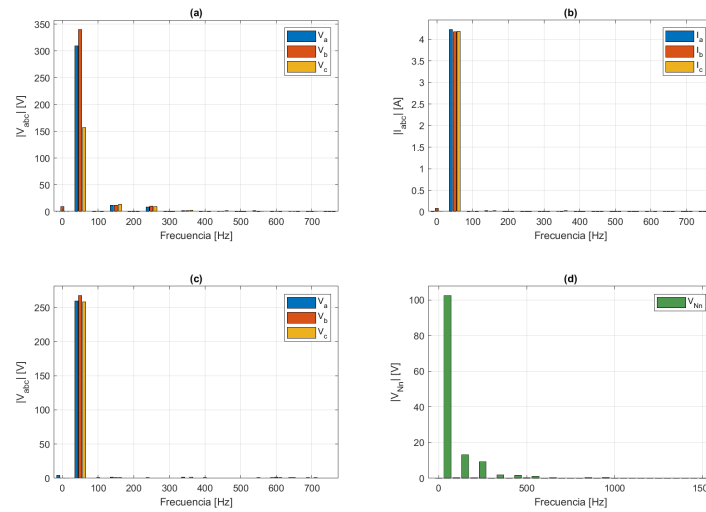


Figura 6.9: Espectro de frecuencia fundamental bajo condiciones degradadas 4-4-2 para v_{0rms} : (a) tensión del convertidor, (b) Corriente de la carga, (c) Tensión de la carga (d) tensión de modo común

6.2.2.a. Resultados de la condición degradada 4-4-2

Según los gráficos de espectro de frecuencia obtenidos para esta condición de falla, presentados en las Figuras 6.19 y 6.9, se observa principalmente que, en el caso de v_{0rms} , se presenta una mayor magnitud en la segunda componente armónica, tanto en la tensión de modo común como en la tensión de salida del convertidor. En contraste, dicha componente es significativamente menor en el caso de v_{0rms} . Esto contribuye directamente a una mayor distorsión armónica en la solución v_{0rms} , aunque con una menor magnitud de la tensión de modo común.

Al analizar los datos de la Tabla 6.4, se observa que se mantiene la misma tendencia que en las simulaciones en términos de los índices THD y WTHD. Como se mencionó anteriormente, al concentrarse la falla en una sola fase, se genera un voltaje de modo común de magnitud considerable, lo cual podría ser perjudicial en ciertas aplicaciones sensibles.

En cuanto a la potencia entregada por el convertidor, esta disminuye debido a que, en este caso, es necesario reducir la amplitud de las señales de modulación para obtener corrientes simétricas y balanceadas, evitando que el sistema opere en la región de saturación. Como resultado, el convertidor inyecta aproximadamente un 34 % menos de potencia en comparación con el caso en que los cuatro niveles están operativos. No obstante, esta potencia sigue siendo un 14 % mayor que la obtenida cuando se cuenta únicamente con tres niveles por fase.

Fase	mín v_{0rms}				mín v_{0hrms}			
	a	b	c	Nn	a	b	c	Nn
u_{kn} (V_{rms})	212.82	232.05	118.59	62.77	219.01	240.60	111.07	72.57
THD (%)	13.03	11.79	21.38	42.42	5.16	5.00	11.20	16.10
WTHD (%)	7.42	6.74	12.20	24.27	2.71	2.60	5.95	8.57
u_{carga} (V_{rms})	182.67	189.00	180.66	-	183.13	189.15	182.38	-
THD carga (%)	1.33	1.21	2.94	-	1.21	0.98	1.80	-
WTHD carga (%)	0.62	0.59	0.84	-	0.59	0.46	0.41	-
i_k (A_{rms})	2.98	2.95	2.93	-	2.99	2.95	2.96	-
THD (%)	1.24	1.11	1.47	-	0.96	0.86	0.95	-
WTHD (%)	0.56	0.51	0.68	-	0.45	0.39	0.46	-
P_{carga} (kW)	0.544	0.536	0.530	-	0.548	0.537	0.540	-

Tabla 6.4: Parámetros eléctricos y calidad de señal en el caso degradado 4-4-2.

6.2.3. Falla 4-3-3

Al igual que en el caso anterior, en este caso la corriente disminuye a 2.95 Arms debido a la pérdida de la misma cantidad de celdas. Sin embargo, al analizar los gráficos del voltaje de modo común, se observa que tiene una menor magnitud en comparación con el caso anterior, lo que demuestra que, cuando las celdas en falla se distribuyen, se obtienen menores niveles de voltaje de modo común.

A continuación, se presentan los gráficos de las señales medidas en el convertidor para ambos casos de estudio.

■ Optimización de v_{0rms}

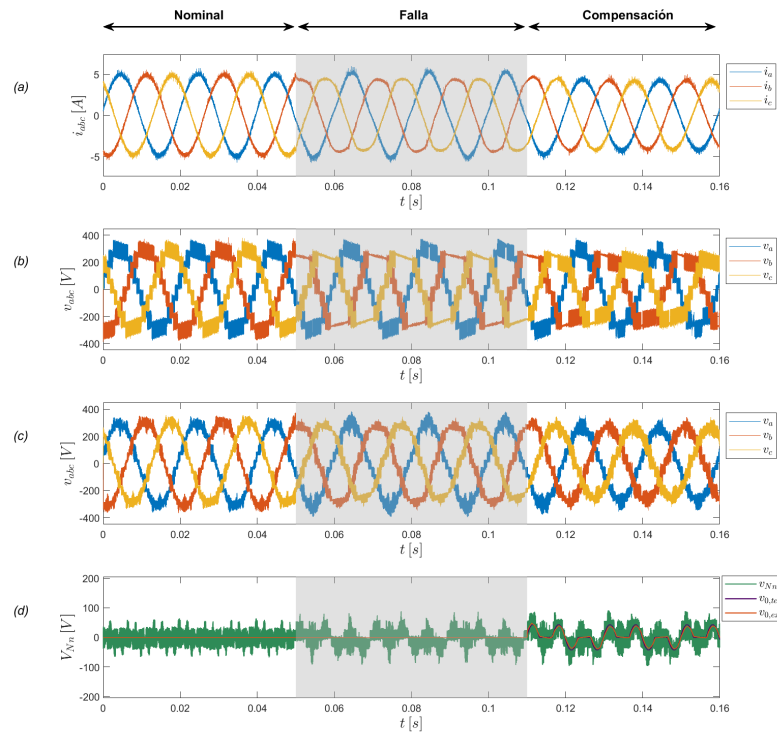


Figura 6.10: Señales del convertidor bajo condiciones degradadas 4-3-3 para v_{0rms} : (a) corriente de salida, (b) tensión de fase del convertidor, (c) tensión de fase de la carga y (d) tensión de modo común.

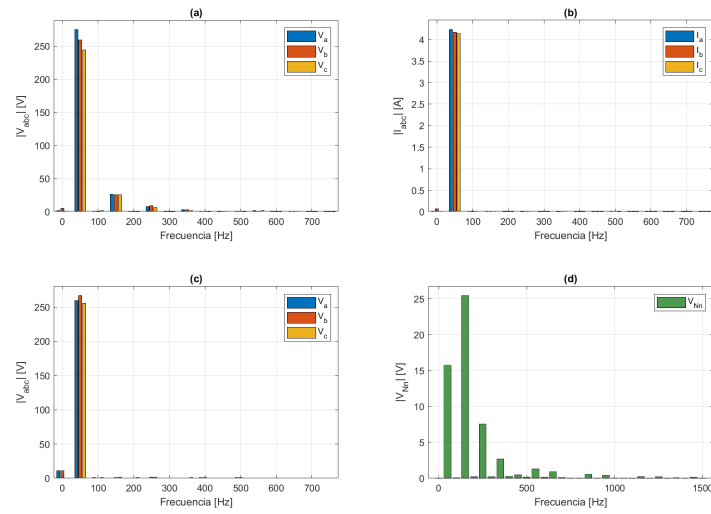


Figura 6.11: Espectro de frecuencia fundamental bajo condiciones degradadas 4-3-3 para v_{0rms} : (a) tensión del convertidor, (b) Corriente de la carga, (c) Tensión de la carga (d) tensión de modo común

■ Optimización de v_{0rms}

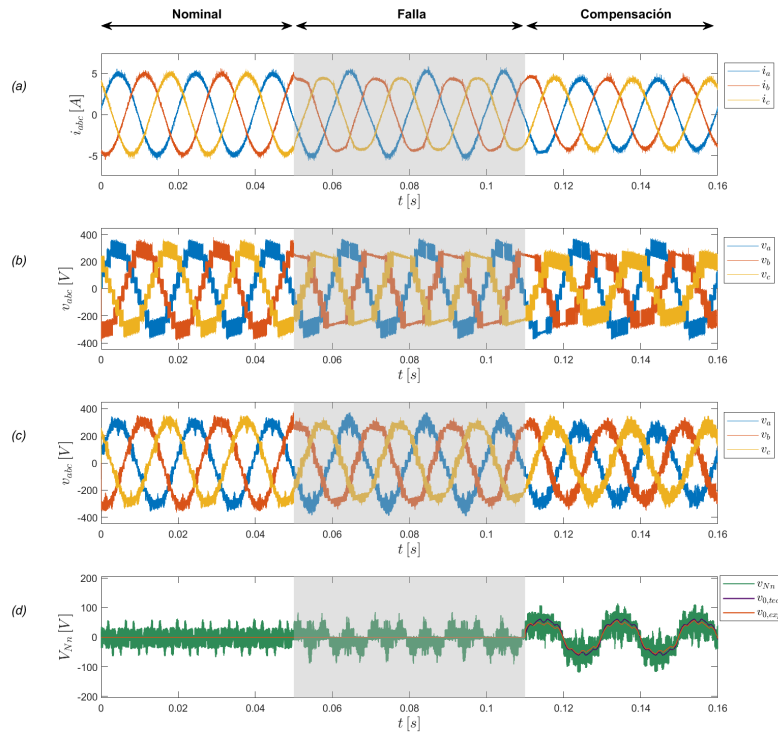


Figura 6.12: Señales del convertidor bajo condiciones degradadas 4-3-3 para v_{0rms} : (a) corriente de salida, (b) tensión de fase del convertidor, (c) tensión de fase de la carga y (d) tensión de modo común.

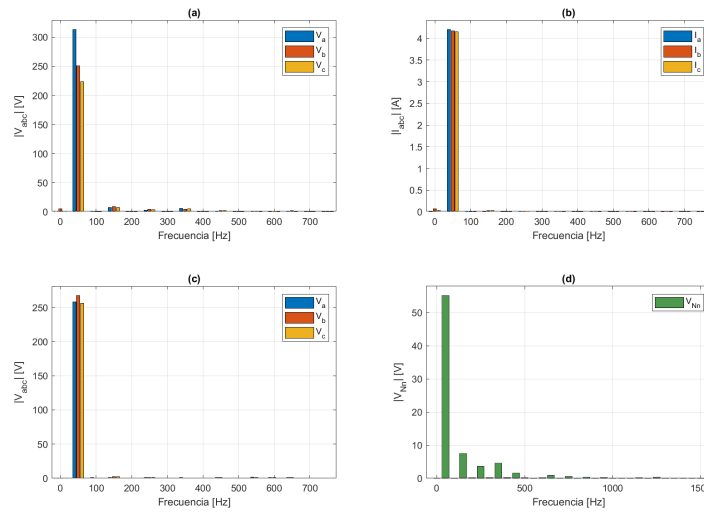


Figura 6.13: Espectro de frecuencia fundamental bajo condiciones degradadas 4-3-3 para v_{0rms} : (a) tensión del convertidor, (b) Corriente de la carga, (c) Tensión de la carga (d) tensión de modo común

6.2.3.a. Resultados de la condición degradada 4-3-3

En los graficos de espectro de frecuencia presentados en 6.11 y 6.13 se visualiza que para el caso v_{0rms} en la señal de modo comun se tiene la mayor magnitud en la componente de segunda armonica esto se debe a la forma que tiene la señal de modo comun aplicado, mientras que por otro lado en v_{0rms} la señal de modo comun es sinusoidal, esto nos genera que se tenga una mayor distorsion armonica en el caso v_{0rms} pero al tener ese tipo de señal que es muy cercana a una señal sinusoidal de doble de frecuencia fundamental se obtiene tension de modo comun de menor magnitud.

Al comparar la tabla 6.5 con el caso anterior, se observa un menor nivel de THD y WTHD en las tensiones del convertidor, junto con una reducción de al menos un 40 % en el voltaje de modo común. Esto reafirma que, cuando se presente una falla en un número par de celdas, lo más conveniente será distribuirla en dos fases para lograr una mejor calidad de tensión en la salida del convertidor.

En términos de potencia, se mantiene la misma tendencia que en el caso anterior, donde la potencia disminuye un 34 % con respecto al convertidor con 4 niveles. Sin embargo, se obtiene aproximadamente un 14 % más de potencia que en el convertidor de 3 niveles.

Fase	mín v_{0rms}				mín v_{0hrms}			
	a	b	c	Nn	a	b	c	Nn
u_{kn} (V_{rms})	194.78	183.62	172.80	11.14	221.67	177.35	158.28	39.04
THD (%)	10.11	10.68	10.98	170.08	3.36	4.62	4.36	17.62
WTHD (%)	5.69	5.97	6.24	96.12	1.67	2.33	2.20	9.04
u_{carga} (V_{rms})	183.58	188.94	180.66	-	182.35	189.27	181.32	-
THD carga (%)	1.10	1.21	1.25	-	1.21	1.56	1.38	-
WTHD carga (%)	0.45	0.42	0.58	-	0.50	0.58	0.59	-
i_k (A_{rms})	3.00	2.95	2.93	-	2.98	2.95	2.94	-
THD (%)	0.90	0.83	0.91	-	0.90	1.07	0.86	-
WTHD (%)	0.45	0.34	0.47	-	0.36	0.49	0.45	-
P_{carga} (kW)	0.549	0.536	0.530	-	0.542	0.538	0.534	-

Tabla 6.5: Parámetros eléctricos y calidad de señal en el caso degradado 4-3-3.

6.2.4. Falla 4-3-1

En el caso de la falla 4-3-1, se observa una mayor disminución en la corriente que se puede suministrar, lo que provoca que la corriente caiga alrededor de 2.02 Arms. Esto se debe a que se tienen 4 celdas defectuosas, lo que convierte el evento en algo abrupto y genera un alto nivel de voltaje V_{Nn} .

A continuación, se presentan los gráficos de las señales de interés obtenidas del convertidor para este caso.

■ Optimización de v_{0rms}

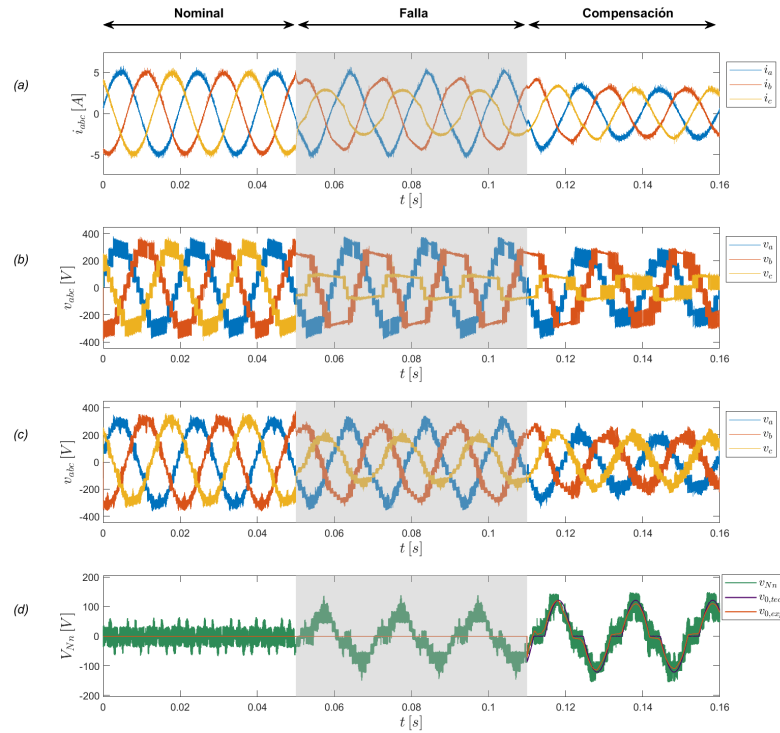


Figura 6.14: Señales del convertidor bajo condiciones degradadas 4-3-1 para v_{0rms} : (a) corriente de salida, (b) tensión de fase del convertidor, (c) tensión de fase de la carga y (d) tensión de modo común.

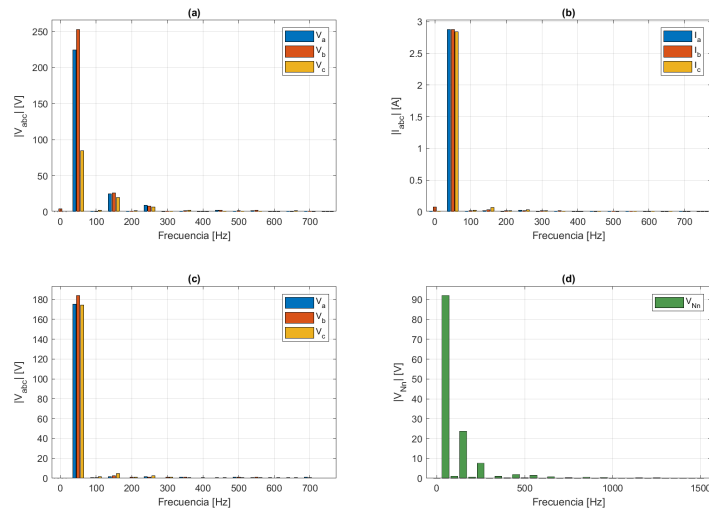


Figura 6.15: Espectro de frecuencia fundamental bajo condiciones degradadas 4-3-1 para $v_{0\text{rms}}$: (a) tensión del convertidor, (b) Corriente de la carga, (c) Tensión de la carga (d) tensión de modo común

■ Optimización de $v_{0\text{rms}}$

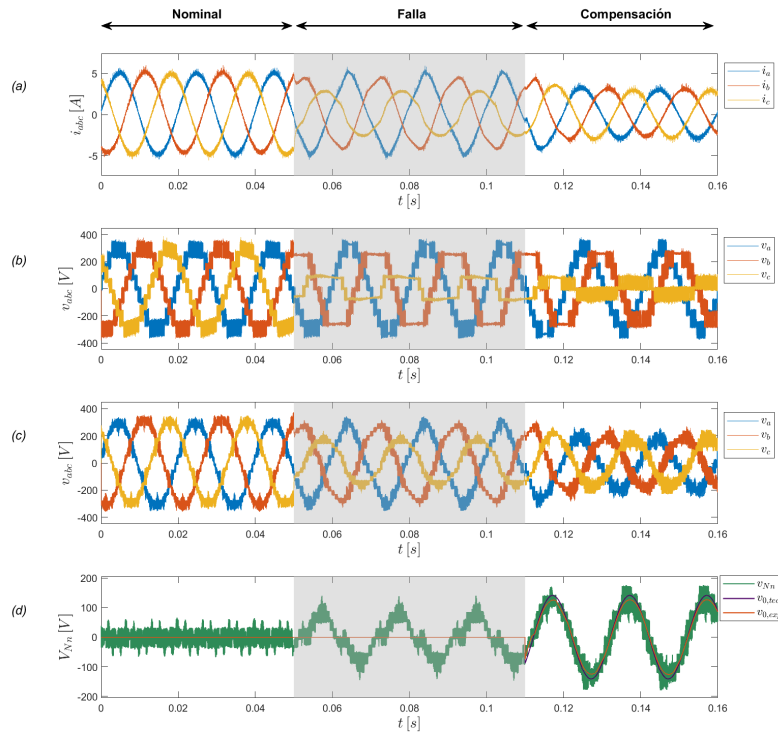


Figura 6.16: Señales del convertidor bajo condiciones degradadas 4-3-1 para $v_{0\text{rms}}$: (a) corriente de salida, (b) tensión de fase del convertidor, (c) tensión de fase de la carga y (d) tensión de modo común.

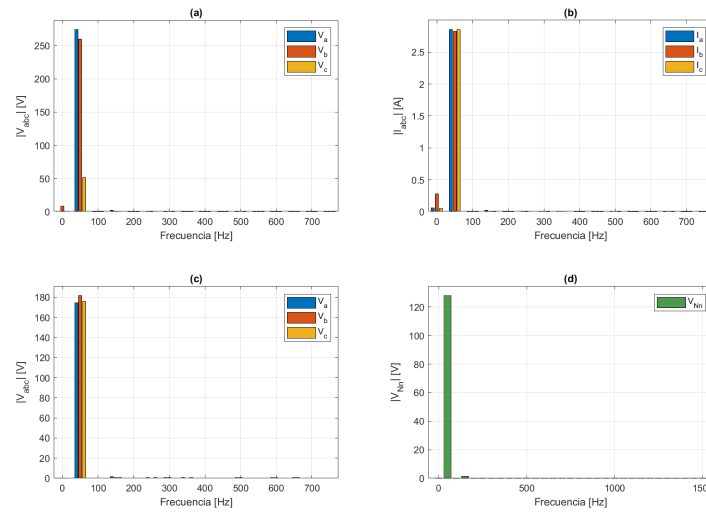


Figura 6.17: Espectro de frecuencia fundamental bajo condiciones degradadas 4-3-1 para $v_{0\text{rms}}$: (a) tensión del convertidor, (b) Corriente de la carga, (c) Tensión de la carga (d) tensión de modo común

6.2.4.a. Resultados de la condición degradada 4-3-1

Del análisis de los espectros de frecuencia mostrados en las Figuras 6.15 y 6.17, se desprende que la mayor distorsión armónica se presenta en el caso de $v_{0\text{rms}}$. Esta diferencia se explica porque, en el caso de $v_{0\text{rms}}$, la componente dominante en la señal de modo común corresponde a la frecuencia fundamental. Como resultado, dicha señal no introduce distorsión armónica adicional en la tensión de salida del convertidor. No obstante, esta característica también implica que la tensión de modo común alcanza una mayor magnitud.

En la Tabla 6.6 se observa la misma tendencia que en las simulaciones. Específicamente, para el caso de v_0 , se obtienen mayores niveles de THD y WTHD, debido a que la forma de onda de compensación no es sinusoidal. En contraste, el caso de v_{0h} presenta una señal prácticamente sinusoidal, lo que permite aumentar la magnitud de la fase con menos celdas en falla y ajustar el desfase de la modulación para lograr una corriente simétrica y balanceada en la salida. Sin embargo, esto conlleva un mayor nivel de voltaje V_{Nn} .

En términos de potencia, para este caso se observa una disminución más pronunciada, con una reducción de aproximadamente un 69 % en comparación con el escenario en que los cuatro niveles están operativos. A pesar de esta caída, aún se mantiene un 16 % más de potencia respecto al caso en que se dispone únicamente de dos niveles por fase.

Fase	mín v_{0rms}				mín v_{0hrms}			
	a	b	c	Nn	a	b	c	Nn
u_{kn} (V_{rms})	158.43	178.79	60.01	65.12	194.06	183.95	36.23	90.63
THD (%)	12.07	11.02	25.01	27.24	1.26	1.15	4.01	1.24
WTHD (%)	6.72	6.20	14.05	15.37	0.62	0.37	1.68	0.68
u_{carga} (V_{rms})	123.82	130.16	123.15	-	123.38	128.66	124.47	-
THD carga (%)	1.88	1.83	7.23	-	0.98	1.06	3.75	-
WTHD carga (%)	0.89	1.09	1.85	-	0.64	0.49	0.40	-
i_k (A_{rms})	2.04	2.04	2.01	-	2.02	2.00	2.02	-
THD (%)	1.67	1.89	3.13	-	1.21	0.89	0.75	-
WTHD (%)	0.75	0.96	1.71	-	0.60	0.34	0.33	-
P_{carga} (kW)	0.253	0.256	0.249	-	0.249	0.246	0.252	-

Tabla 6.6: Parámetros eléctricos y calidad de señal en el caso degradado 4-3-1.

6.2.5. Falla 4-2-2

Al igual que en el caso anterior, se tiene el mismo nivel de corriente, alrededor de 2.02 Arms. Sin embargo, a diferencia del caso anterior, los niveles de tensión V_{Nn} son menores. Esto se debe a que las celdas en falla están distribuidas en dos fases, en lugar de concentrarse la mayor parte de las celdas en una sola fase.

A continuación, se presentarán los gráficos de las señales de interés del convertidor para este caso de falla.

■ Optimización de v_{0rms}

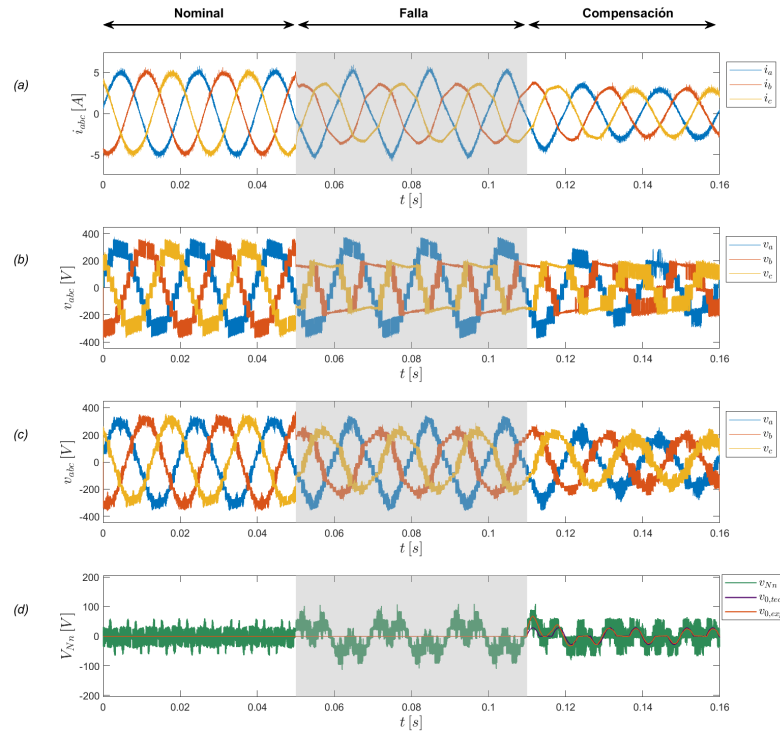


Figura 6.18: Señales del convertidor bajo condiciones degradadas 4-2-2 para v_{0rms} : (a) corriente de salida, (b) tensión de fase del convertidor, (c) tensión de fase de la carga y (d) tensión de modo común.

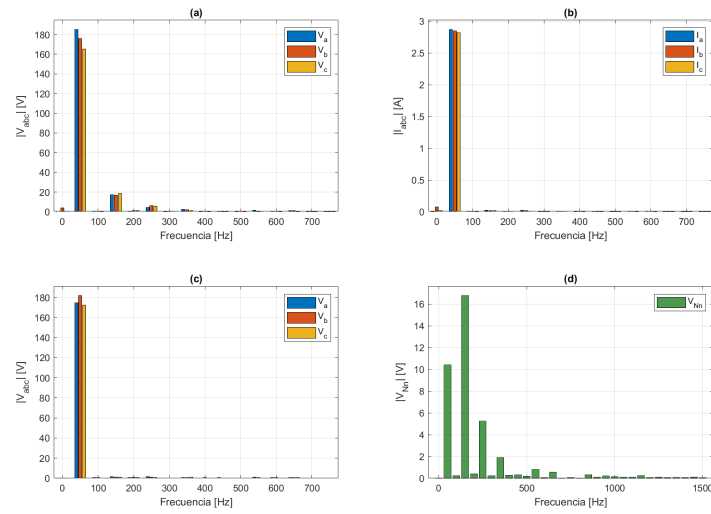


Figura 6.19: Espectro de frecuencia fundamental bajo condiciones degradadas 4-2-2 para v_{0rms} : (a) tensión del convertidor, (b) Corriente de la carga, (c) Tensión de la carga (d) tensión de modo común

■ Optimización de v_{0hrms}

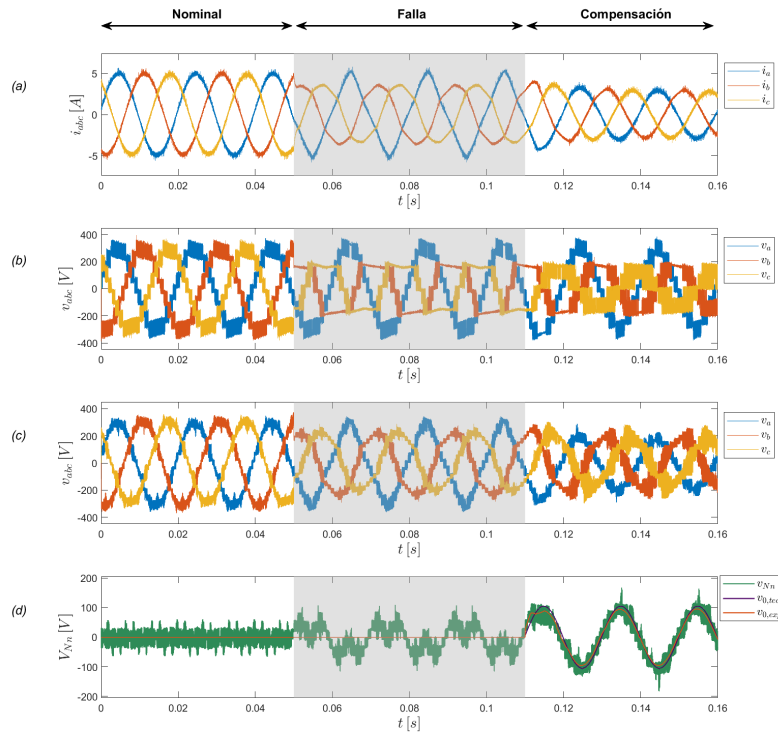


Figura 6.20: Señales del convertidor bajo condiciones degradadas 4-2-2 para v_{0hrms} : (a) corriente de salida, (b) tensión de fase del convertidor, (c) tensión de fase de la carga y (d) tensión de modo común.

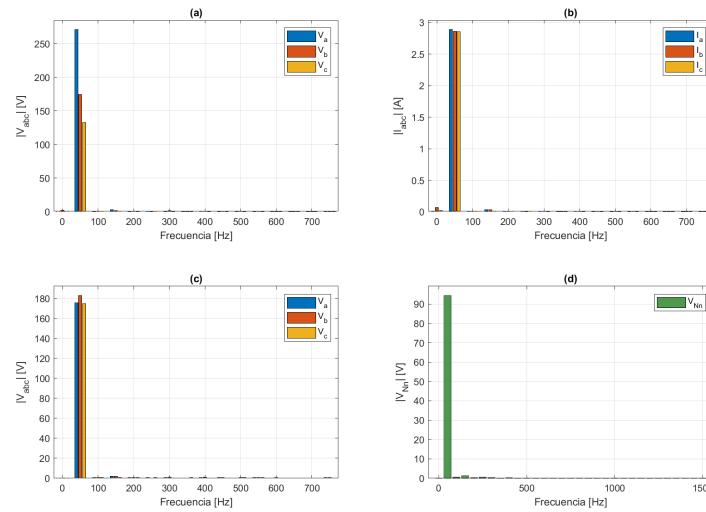


Figura 6.21: Espectro de frecuencia fundamental bajo condiciones degradadas 4-2-2 para v_{0hrms} : (a) tensión del convertidor, (b) Corriente de la carga, (c) Tensión de la carga (d) tensión de modo común

6.2.5.a. Resultados de la condición degradada 4-2-2

En los gráficos del espectro de frecuencias presentados en las Figuras ?? y 6.21, se observa que, al tratarse de una falla con igual número de celdas en dos de sus fases, se obtiene un comportamiento similar al del caso 4-3-3. En particular, para el caso de v_{0rms} , la señal de modo común presenta su mayor componente en el segundo armónico (el doble de la frecuencia fundamental). En contraste, en el caso de v_{0hrms} , la señal de modo común es casi sinusoidal y contiene predominantemente la componente fundamental. Debido a esta característica, es esperable que la solución v_{0hrms} presente una menor distorsión armónica en la tensión de salida del convertidor.

Al analizar los resultados de la Tabla 6.7, se aprecia la misma tendencia observada en el caso 4-3-1. Es decir, se obtiene un mayor THD y WTHD en el caso de v_0 , mientras que la solución v_{0h} produce una señal muy similar a una sinusoidal. Sin embargo, a diferencia del caso anterior, el nivel de tensión de modo común en v_{0h} es menor, lo cual se atribuye a que las celdas en falla están distribuidas en dos fases.

En cuanto a la potencia inyectada a la carga, se mantiene la misma tendencia que en el caso anterior: se inyecta aproximadamente un 69 % menos de potencia en comparación con el caso de cuatro niveles, pero un 16 % más que en el caso con solo dos niveles. Esto sugiere que, para una misma cantidad de celdas en falla, se obtienen niveles de potencia similares independientemente de cómo estén distribuidas las celdas entre las fases.

Fase	mín v_{0rms}				mín v_{0hrms}			
	a	b	c	Nn	a	b	c	Nn
u_{kn} (V_{rms})	134.92	131.53	124.98	25.92	191.95	123.60	93.78	66.81
THD (%)	9.82	10.48	11.91	170.31	1.34	2.35	1.93	1.82
WTHD (%)	5.51	5.82	6.73	96.06	0.64	1.06	0.73	0.98
u_{carga} (V_{rms})	127.23	127.23	127.23	-	124.34	129.47	123.59	-
THD carga (%)	1.94	2.04	2.17	-	1.26	2.06	1.87	-
WTHD carga (%)	0.84	0.84	0.84	-	0.88	0.84	0.55	-
i_k (A_{rms})	2.03	2.02	1.99	-	2.05	2.03	2.02	-
THD (%)	1.67	1.89	3.13	-	1.52	1.48	1.03	-
WTHD (%)	0.75	0.96	1.71	-	0.80	0.73	0.50	-
P_{carga} (kW)	0.252	0.252	0.244	-	0.256	0.253	0.251	-

Tabla 6.7: Parámetros eléctricos y calidad de señal en el caso degradado 4-2-2.

Capítulo 7

Conclusiones

Para realizar la validación experimental de la técnica de compensación las condiciones degradadas en el convertidor trifásico multinivel en cascada, fue fundamental revisar la literatura existente, lo que permitió orientar tanto la modificación de las simulaciones como la reparación del convertidor disponible en el laboratorio. Esta reparación implicó intervenir diversas etapas de la placa, incluyendo el circuito de rectificación y los circuitos de disparo. Como resultado, se logró contar con un convertidor operativo y funcional, gracias a la integración adecuada de sus componentes y a un montaje que facilitó tanto la conexión como el aislamiento independiente de cada celda.

Por otra parte, la plataforma de control BRAIn quedó operativa y actualmente permite la incorporación de hasta cinco celdas por fase, ya que cuenta con las salidas de fibra óptica necesarias y los relojes requeridos para la programación independiente de cada celda.

Un aspecto relevante para una mejor operación del convertidor es el reemplazo de algunas placas que sufrieron daños durante la puesta en marcha. Aunque siguen siendo funcionales, presentan pistas deterioradas que generan ruido en la señal. Reemplazarlas contribuiría a mejorar la estabilidad y el rendimiento del sistema. Además, sería recomendable modificar la ubicación de la BRAIn dentro del convertidor para reducir la interferencia electromagnética, que provoca pérdida de conexión con la placa de programación y la interrupción en la recepción de datos cuando el convertidor opera a su tensión máxima.

Otro punto importante sería la incorporación de un sistema de ventilación en el convertidor para enfriar tanto los semiconductores como los componentes de las celdas, además de la BRAIn. Se ha observado que el aumento de temperatura tiende a desconectar los pines de la BRAIn, lo que puede provocar la pérdida de señales de disparo hacia las celdas. Un sistema de enfriamiento adecuado ayudaría a prevenir este tipo de problemas y garantizar un funcionamiento más estable y confiable.

En cuanto a la compensación mediante voltaje de modo común, se continuó con lo propuesto en [6], y se adaptó la simulación original a un caso de convertidor de 4 celdas por fase. Se evaluaron tanto el caso de mal funcionamiento de una celda como escenarios con hasta 4 celdas defectuosas, con el objetivo de comprobar la factibilidad de la solución en situaciones más críticas. Esto permitió realizar un análisis más exhaustivo de la propuesta de optimización de v_0 y v_{0h} .

Una vez obtenidos los resultados de la simulación, se procedió a validarlos en el convertidor CMC. Al comparar los resultados en términos de THD y WTHD de la tensión,

se observó que las variaciones entre los casos simulados y medidos en el convertidor eran del 1 % al 2 %. La corriente también presentó una variación similar, aunque con pequeñas diferencias en su magnitud debido a las variaciones en la resistividad de la carga utilizada en el laboratorio. Estas pequeñas variaciones en la corriente pueden minimizarse mediante un control de corriente más preciso, incluso en condiciones de carga desbalanceada.

Los resultados obtenidos confirmaron que la solución con v_{0h} es más eficiente en términos de reducción de los niveles de THD y WTHD, especialmente en el caso de un defecto en una celda e incluso en situaciones donde fallan dos celdas.

Al analizar fallas que afectan a más de dos celdas, se observó que el caso de v_{0h} genera mejores valores de THD y WTHD, aunque esta compensación tiende a generar mayores niveles de tensión de modo común V_{Nn} , lo cual podría no ser óptimo para algunas aplicaciones. En estos casos, los niveles de tensión pueden llegar a ser muy altos, incluso alcanzando el nivel de tensión de una celda en situaciones donde el problema se concentra en una sola fase. Por ello, la alternativa v_0 se vuelve más viable cuando se busca mantener niveles de tensión de modo común más bajos, aunque esto implique mayores niveles de THD y WTHD.

Al analizar problemas en 3 o más celdas, se vuelve más evidente la tendencia de aumento en la tensión V_{Nn} , acompañada de una disminución en el THD y WTHD. Esto se debe a que la solución obtenida tiende a asemejarse a una señal sinusoidal que desfazará los ángulos entre las tensiones, generando una solución similar a la que se obtiene con la modulación vectorial. En este sentido, se propone una solución similar a la modulación vectorial, pero de implementación más sencilla, ya que solo se requiere la búsqueda de la solución óptima de v_{0h} y la aplicación de un control de corriente, lo que permite obtener corrientes balanceadas, aunque con un voltaje de modo común elevado (hasta 93 V en el caso 4-3-1).

Una posible alternativa para mejorar los resultados obtenidos sería modificar los límites de optimización de las tensiones. Por ejemplo, en el caso 4-4-3, en lugar de utilizar los límites de $4 V_{DC}$, $4 V_{DC}$ y $3 V_{DC}$, se podrían emplear límites de $3.5 V_{DC}$, $3.5 V_{DC}$ y $3 V_{DC}$. Según pruebas preliminares de simulación, esta modificación podría generar mejores resultados en términos de THD y WTHD, además de proporcionar niveles de tensión más bajos. Sin embargo, sería necesario realizar una búsqueda más exhaustiva para encontrar los puntos óptimos que brinden el mejor balance entre calidad de tensión y niveles de tensión más bajos. Si se busca mejorar la calidad de la tensión, esta alternativa podría ser útil.

Un punto importante al analizar los defectos de dos o más celdas es que, para obtener mejores resultados en términos de THD y WTHD, y al mismo tiempo minimizar los niveles de tensión de modo común V_{Nn} , es preferible distribuir las celdas defectuosas de manera equitativa entre las fases. Esto significa que, por ejemplo, si se tiene un problema en la configuración 4-3-1, sería más beneficioso intercambiar celdas para que la falla se distribuya en la configuración 4-2-2. Esto permitiría obtener mejores resultados y reducir la exigencia sobre el convertidor.

Finalmente, al analizar las potencias del convertidor en los distintos tipos de condiciones degradadas, se puede inferir que, si se pierde una celda con respecto al nivel simétrico más cercano, es posible compensar la falla en su totalidad. Esto se demuestra en el caso 4-4-3, donde, a pesar de la celda defectuosa, la potencia inyectada es similar a la que se tenía cuando el convertidor operaba con las 4 celdas por fase. Sin embargo, al perder 2

celdas con respecto al nivel simétrico más cercano, solo se puede inyectar alrededor del 14 % de la potencia, como se observa, por ejemplo, en los casos 4-4-2 y 4-3-3, donde se inyecta un 14 % más de potencia que si el convertidor funcionara con 3 niveles por fase.

A pesar de esto, la compensación mediante voltaje de modo común sigue siendo una buena alternativa para mantener la inyección de potencia al máximo. Aunque la diferencia porcentual no sea tan significativa, este enfoque puede resultar en una cantidad considerable de potencia suministrada al sistema, especialmente en convertidores de mayor potencia. Sin embargo, uno de los inconvenientes de este método es que las fases con celdas defectuosas siempre estarán trabajando a su máximo rendimiento, lo que puede causar un mayor desgaste en esas fases en comparación con las fases que cuentan con todas sus celdas o con menor cantidad de celdas defectuosas.

.1. Simulacion de Plecs

A continuación se presentara el modelo de PLECS utilizado para la simulación.

.1.1. Convertidor multiniveles en cascada en PLECS.

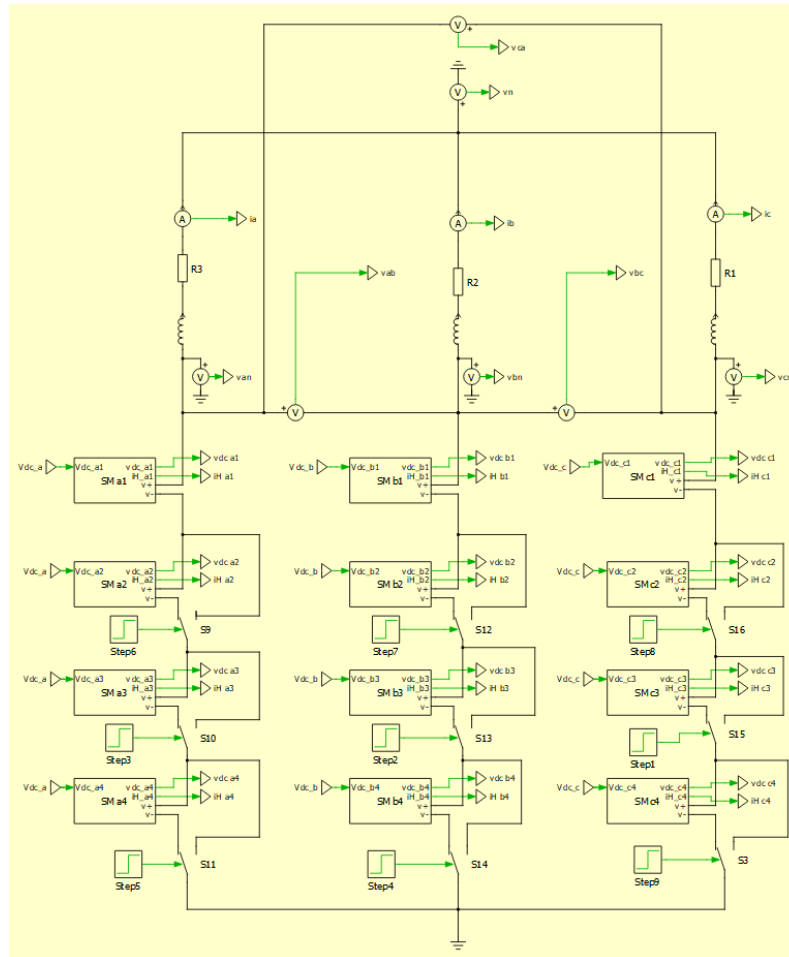


Figura 1: CMC implementado en PLECS.

.1.2. Puente H

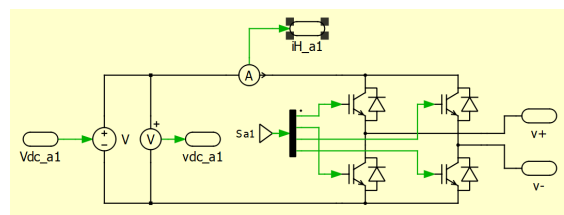


Figura 2: Esquema puente H.

.1.3. Esquema de referencia e inyección de v_0 al modulador.

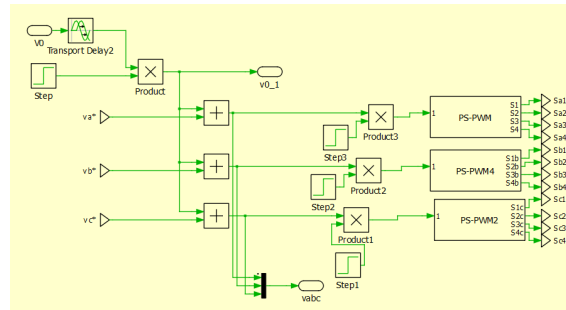


Figura 3: Esquema entrada de referencia y v_0 al modulador.

.1.4. Esquema de modulación sin condición de falla.

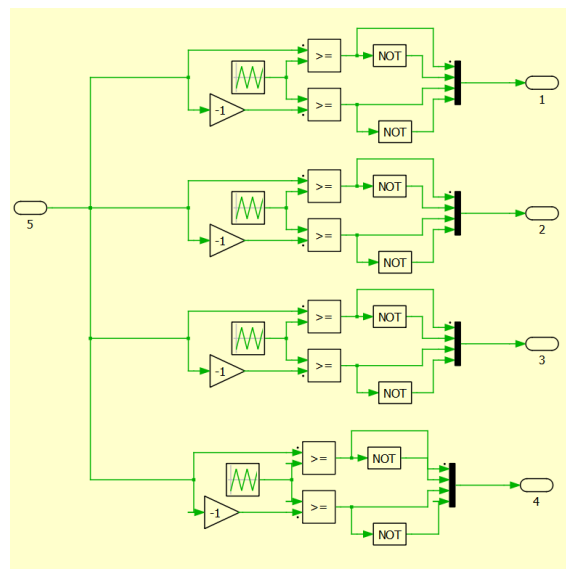


Figura 4: Esquema modulador sin condición de falla.

.1.5. Esquema de modulación con condición de falla.

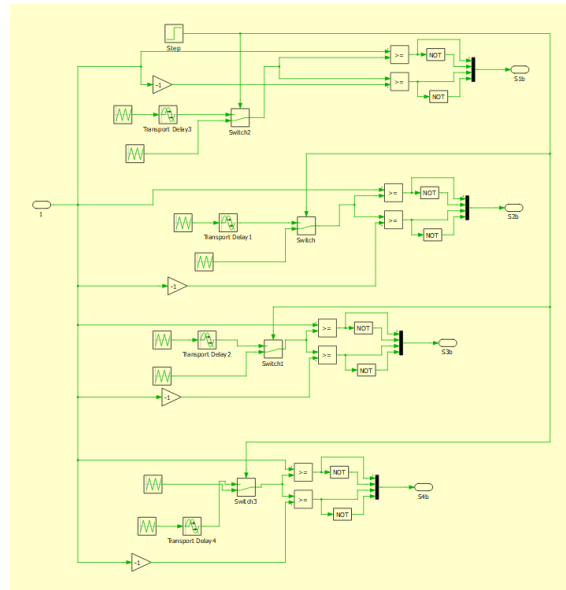


Figura 5: Esquema modulador con condición de falla.

.1.6. Phase Lock Loop (PLL).

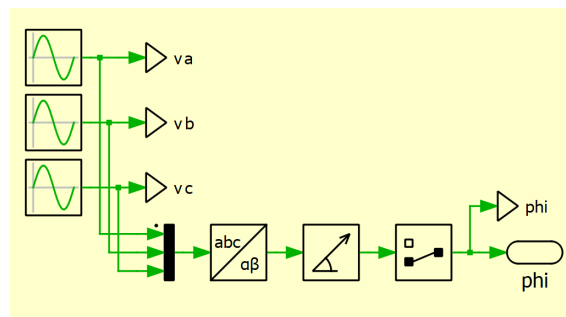


Figura 6: Esquema de PLL.

.2. Esquemas en softwares SIMULINK Y MATLAB

A continuación se presentara el modelo de SIMULINK y los archivos de MATLAB necesarios para la simulación.


```

opt = 'V0'; % Asegúrate de usar mayúsculas si el nombre de carpeta es sensible
i_ref11=6.172*(215.9/374)

% dc side
Vb = vb; %V
Ib = 20; %A % Revisar el 3/4
% Ib = ib;
Cb = 3/8*cb; %F
% Lb = 8/3*lb; %H

% Simulation times
Tsync = .05; %s
Tss = .05; %s
Tsim = .14+0.02; %s
T_vo = .08+0.02; %s
T_switch = .04+0.02; %s

% Parameters
Vab = 1*vb*sqrt(3); %V
Pn = 1*Sb; %W
fg = 1*fb; %Hz
Lf = 20e-3; %H
R = 60; % Configurar carga para obtener buena señal
C = 1500e-6; % dc-link capacitance F se utiliza?
Vdc = 93.5; % dc-link voltage reference
fs = 5e3; % Hz

% Ruta base
basePath = "C:\Users\chech\Desktop\universidad\Tesis\Simulaciones";

% Construir ruta dinámica
subfolder = sprintf('%d%d%d', na, nb, nc);
dynamicPath = fullfile(basePath, subfolder, opt, 'results.csv');
data_v0 = readmatrix(dynamicPath);

V_a1=((data_v0(1,4)));
V_b1=((data_v0(1,4)));
V_c1=((data_v0(1,4)));

```

```

V_mod=(data_v0(1,6));

v01 = (data_v0(2:end,5));
va3 = ((V_a2)+v01);
vb3 = ((V_b2)+v01);
vc3 = ((V_c2)+v01);

%%
fig2 = figure;

v0 = (data_v0(2:end,5))*(1/375)*mv;
plot(t,v0);

%% Para lazo abierto

%V_in=data_v0(2,8)

V_in = (V_mod)
val=0; %para fijar desfase en 0
desfase= pi/2; %desfase de v0
desf= 0;

%% Se utiliza para el calculo de angulo

vg_abs = 374;

%i_abs = 41*(4/3); %% revisar corriente inicial

%i_abs = ((4.76057+4.75141+4.76949)/3)
i_abs = 10;
%i_abs =max([4.76057,4.75141,4.76949])

va1 = (2*pi*50*Lf*exp(j*pi/2)+R)*i_abs+vg_abs;
vb1 = (2*pi*50*Lf*exp(j*pi/2)+R)*i_abs*exp(-j*2*pi/3)+vg_abs*exp(-j*2*pi/3);
vc1 = (2*pi*50*Lf*exp(j*pi/2)+R)*i_abs*exp(+j*2*pi/3)+vg_abs*exp(j*2*pi/3);

cal=[angle(va1)+0.02 2*pi+angle(va1)+0.02];
vc_ref_abs = abs(vc1);
vc_ref_angle = angle(vc1);
freq = 2*pi*50;

delt = (-2.8454e-05)*fs/(4*pi);

```

```

%% Lazo Cerrado

% Modelo del filtro L
h = 1/fs;
s = tf('s');

Gi = exp(-s*h)/(Lf*s+R);
Giz = c2d(Gi,h);

% Modelo del controlador de corriente digital

Kp = 19.5; % Nueva ganancia proporcional
C1 = 16.57 / Kp; % Ajuste proporcional
C2 = -0.1501 / Kp; % Ajuste proporcional

sat = Vb;

Te = 0.00186/4;
Ci = 1/C/s/(Te*s+1)/sqrt(2);
Ciz = c2d(Ci,h);

% Referencias de corriente
iq_ref = 0;
nn= [na nb nc]

% Encontrar el número máximo de columnas
Ncelda = max([n, n, n]);

% Inicializar la matriz con ceros
F1 = zeros(3, Ncelda);

% Rellenar las filas con los valores de 1s correspondientes
F1(1, 1:na) = 1; % Primera fila
F1(2, 1:nb) = 1; % Segunda fila
F1(3, 1:nc) = 1; % Tercera fila

% Invertir la matriz (1s a 0s y 0s a 1s)
F2 = ~F1;
F = double(F2);
% Mostrar la matriz resultante
disp(F);

% Inicializar el vector resultado
resultado = zeros(size(F, 1), 1);

```

```

% Recorrer la matriz fila por fila
for i = 1:size(F, 1)
    if any(F(i, :) == 1)
        resultado(i) = 1; % Si hay un 1 en la fila , devuelve 1
    else
        resultado(i) = 0; % Si no hay ningún 1, devuelve 0
    end
end

phase_a = (1/fs)*(1/(2*n));
phase_a2 = (1/fs)*(1/((2*n)));
phase_b = (1/fs)*(1/(2*n));
phase_b2 = (1/fs)*(1/(2*nb));
phase_c = (1/fs)*(1/(2*n)); % Condicion normal
phase_c2 = (1/fs)*(1/(2*nc)); % Condicion Falla

% Determinación de v0
ka = na/4; %% Metodo de comparacion
kb = nb/4;
kc = nc/4;

delta1=pi/8-4*pi/32+pi/64;

% Initial conditions i
i_abs = 6.21;
ia0 = i_abs*sin(pi/2);
ib0 = i_abs*sin(-2*pi/3+pi/2);
ic0 = i_abs*sin(2*pi/3+pi/2);

va = (2*pi*50*Lf*exp(j*pi/2)+R)*i_abs+vg_abs;
vb = (2*pi*50*Lf*exp(j*pi/2)+R)*i_abs*exp(-j*2*pi/3)+vg_abs*exp(-j*2*pi/3);
vc = (2*pi*50*Lf*exp(j*pi/2)+R)*i_abs*exp(+j*2*pi/3)+vg_abs*exp(j*2*pi/3);

```

.2.3. Código M-S-Function

```

%% MAin
function Control_sfunc_dc_sources(block)
    setup(block);
%endfunction

%% SEtup
function setup(block)
    % [h Vdc C1 C2 sat Lf fg vb Sb]
    block.NumDialogPrms = 1;

```

```

% Register number of input and output ports
block.NumInputPorts = 1;
block.NumOutputPorts = 1;
% Setup functional port properties to dynamically inherited.
block.SetPreCompInpPortInfoToDynamic;
block.SetPreCompOutPortInfoToDynamic;
% [phi pa pb pc id iq vgd vgq iq_ref] %variables
block.InputPort(1).Dimensions = 9; % 1+1+1+1+1+1+1+1+1 %Variables ingres
block.InputPort(1).DirectFeedthrough = false;
% [vABC id_r vdq]
block.OutputPort(1).Dimensions = 3+1+2; % salida del bloque
% Set block sample time to [Ts 0]
block.SampleTimes = [block.DialogPrm(1).Data(1) 0];
% Set the block simStateCompliance to default (i.e., same as a built-in block)
block.SimStateCompliance = 'DefaultSimState';
% Register methods
block.RegBlockMethod('PostPropagationSetup', @DoPostPropSetup);
block.RegBlockMethod('InitializeConditions', @InitConditions);
block.RegBlockMethod('Outputs', @Output);
block.RegBlockMethod('Update', @Update);
%endfunction

%% MMethod:: PostPropagationSetup
function DoPostPropSetup(block)
    % define some global constants here ...
%endfunction

%% MMethod:: InitializeConditions
function InitConditions(block)
    global x_an u_an u_ac x_ac vdq
    global contt id_r
    global v0 vA vB vC
    contt = 1;
    id_r = 0;

    %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% Current controller %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
    x_an(1,1) = 0; % -1545.048;
    x_an(2,1) = 0; % -151.91;

    u_an(1,1) = 0; % 2748.32;
    u_an(2,1) = 0; % 270.22;

    u_ac = u_an;
    x_ac = x_an;

    vdq = zeros(2,1);

    %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% Zero-Sequence Injection Methods %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

```

```

v0 = 0;

vA = 0;
vB = 0;
vC = 0;

%endfunction

%% MMethod:: Outputs
function Output(block)
    global vA vB vC id_r vdq
    block.OutputPort(1).Data(1:3) = [vA;vB;vC];
    block.OutputPort(1).Data(4)    = id_r;
    block.OutputPort(1).Data(5:6)  = vdq;

%endfunction

%% MMethod:: Update
function Update(block)
    global contt

    h = block.DialogPrm(1).Data(1);%Llamar variables
    Vdc = block.DialogPrm(1).Data(2);

    %%%%%%%%%%%%%% Dc-link voltage controller %%%%%%%%%%%%%%
    global id_r

    vgd = block.InputPort(1).Data(7);

    pa = block.InputPort(1).Data(2);
    pb = block.InputPort(1).Data(3);
    pc = block.InputPort(1).Data(4);

    % Direct-grid current reference
    %id_r = (pa+pb+pc)/vgd*2/3;
    %id_r = ((4.76057+4.75141+4.76949)/3);
    id_r = block.DialogPrm(1).Data(9);    %Corriente de referencia

    %%%%%%%%%%%%%% Current controller %%%%%%%%%%%%%%
    global u_ac x_ac u_an x_an vdq
    global vA vB vC

    % Read parameters
    C1 = block.DialogPrm(1).Data(3);
    C2 = block.DialogPrm(1).Data(4);

```

```

    sat = block.DialogPrm(1).Data(5);
    Lf = block.DialogPrm(1).Data(6);
    fg = block.DialogPrm(1).Data(7);
    Kp = block.DialogPrm(1).Data(8);
    n = [4 4 4];

    % Read grid current errors and voltage angle
    id_ac = block.InputPort(1).Data(5);
    ed_ac = id_r - id_ac; % diferencia entre referencia y actual
    iq_ac = block.InputPort(1).Data(6);
    iq_r = block.InputPort(1).Data(9);
    eq_ac = iq_r - iq_ac;

    vgq = block.InputPort(1).Data(8);
    phi = block.InputPort(1).Data(1);

    a = PI_ig(C1,C2,sat,[ed_ac;eq_ac],phi,u_an,x_an,Kp); %llamar funcion pi

    u_ac = [a(1);a(2)]; %salida de datos
    x_ac = [a(3);a(4)];

    u_an = u_ac;
    x_an = x_ac;

    vdq1 = u_ac(1) - 2*pi*fg*Lf*iq_ac;% + vgd; %calculo de tension dq
    vdq2 = u_ac(2) + 2*pi*fg*Lf*id_ac;% + vgq;

    vaa = (cos(phi)*vdq1 - sin(phi)*vdq2); %tension
    vbb = (cos(phi-2*pi/3)*vdq1 - sin(phi-2*pi/3)*vdq2);
    vcc = (cos(phi+2*pi/3)*vdq1 - sin(phi+2*pi/3)*vdq2);

    vA = max(min(vaa,n(1)*Vdc),-n(1)*Vdc); %tension ref fase a %se debe ajustar
    vB = max(min(vbb,n(2)*Vdc),-n(2)*Vdc);
    vC = max(min(vcc,n(3)*Vdc),-n(3)*Vdc);

    vdq(1) = vdq1; %calculo de tension dq
    vdq(2) = vdq2;

    contt = contt + 1;
%endfunction

```

2.4. Controlador PI con antienrollamiento

```
function output = PI_ig(C1,C2,sat,e,phi,u_an,x_an,Kp)
```

```
% Antiwindup-PI Controller
x_ac = C1.*x_an + C2.*u_an;
u_ac = Kp.*(e-x_ac);
mag_sq = u_ac(1)^2 + u_ac(2)^2;
if mag_sq > sat^2
    % Escalado proporcional al límite máximo de saturación
    scale = sat / sqrt(mag_sq);
    u_ac(1) = u_ac(1) * scale;
    u_ac(2) = u_ac(2) * scale;
end

e_aw_d = u_ac(1) - u_an(1);
e_aw_q = u_ac(2) - u_an(2);

% Ajuste del integrador con anti-windup
x_ac(1) = x_ac(1) + C2 * e_aw_d;
x_ac(2) = x_ac(2) + C2 * e_aw_q;

output = [u_ac(1), u_ac(2), x_ac(1), x_ac(2)];
%end
```

Apéndice A

Códigos implementados en AMPL

A continuación se presentara los códigos de AMPL utilizados para obtener los voltaje de modo común para los dos casos de estudio.

A.1. Código implementado en AMPL para minimización de tensión RMS de modo común

A.1.1. Archivo .dat

```
/*
*****
**          GENERAL          **
*****
param S := 1200 ;    # number fo intervals to discretize 120deg
param PI := 3.141592653589793238462643383279502884197169;
param root3 := 1.732050807568877293527446341505872366942805;
param 2PI3 := 2.094395102393195492308428922186335256131;

param L := 100;

param VDC := 93.5;
param faVdc := 4;
param fbVdc := 4;
param fcVdc := 3;

param VMAX :=374;
```

A.1.2. Archivo .mod

```

/*****
/**          CONJUNTOS          **/
*****/
param S>=0, integer;
set SAMPLES := 1..3*S;
set SAMPLES0 := 0..3*S;

/*****
/**          GENERAL          **/
*****/
param PI ;
param root3 ;
param 2PI3;
param L;
param VDC;
param faVdc;
param fbVdc;
param fcVdc;
param VMAX ;

/*****
/**          POSTPROCESOS          **/
*****/
param DTHETA ;
param THETA{i in SAMPLES0} ;

/*****
/**          VARIABLES DE DECISION          **/
*****/

param ualpha{i in SAMPLES0} ;
param ubeta{i in SAMPLES0} ;

var v0{i in SAMPLES0} ;
var v0rms, >=0 ;
#var v0_c, >=0 ;
#var v0_s, >=0 ;
var v0_c ;
var v0_s ;
var dv0{i in SAMPLES0} ;

/*****
/**          OBJETIVO          **/
*****/

```

```

minimize obj:  v0rms^2;

/*****
**          RESTRICCIONES          **
*****/

subject to ubeta_cos_UB:
    (1/PI)*sum{k in SAMPLES} (v0[k-1]*cos(THETA[k-1])+v0[k]*cos(THETA[k]))*D
subject to ubeta_cos_LB:
    (1/PI)*sum{k in SAMPLES} (v0[k-1]*sin(THETA[k-1])+v0[k]*sin(THETA[k]))*D
== v0_s ;

subject to v0_rest1{k in SAMPLES0}:
    -faVdc * VDC <= ualpha[k] + v0[k] <= faVdc * VDC ;    # fase A
subject to v0_rest2{k in SAMPLES0}:
    -fbVdc * VDC <= -0.5*ualpha[k]+root3*0.5*ubeta[k]+v0[k] <= fbVdc*VDC ; #
subject to v0_rest3{k in SAMPLES0}:
    -fcVdc * VDC <= -0.5*ualpha[k]-root3*0.5*ubeta[k]+v0[k] <= fcVdc*VDC ; #

#v0rms^2
subject to v0_definition:
    sum{k in SAMPLES} (v0[k-1]^2+v0[k]^2)*DTHETA/2 <= v0rms^2 ;

subject to v0_cycle:
    v0[0] == v0[3*S] ;

```

A.1.3. Archivo .run

```

/*****
/**      CONFIGURACION SOLVER      **/
*****/
option solver gurobi;
option gurobi_options 'timelim=3600 outlev=1 logfreq=5 timing=1 mipgap=1E-9 bar

option log_file 'v0.log';
option display_eps 1E-6;
option presolve 1;

model v0.mod;
data v0.dat;

/*****
/**      PREPROCESSING      **/
*****/
let DTHETA := 2*PI/3/S;
let {k in SAMPLES0} THETA[k] := k * DTHETA;

/*****
/**      OPTIMIZACION      **/
*****/
# Parámetros de resultado
param RESULTS_va{SAMPLES0};
param RESULTS_vb{SAMPLES0};
param RESULTS_vc{SAMPLES0};
param RESULTS_v0{SAMPLES0};

# Cálculo de ualpha y ubeta
let {j in SAMPLES0} ualpha[j] := VMAX * cos(THETA[j]);
let {j in SAMPLES0} ubeta[j] := VMAX * sin(THETA[j]);

printf "===== \n";
printf " Running simulation \n";
printf "===== \n";

solve;

# Asignación de resultados
let {k in SAMPLES0} RESULTS_va[k] := ualpha[k];
let {k in SAMPLES0} RESULTS_vb[k] := -0.5 * ualpha[k] + root3 * 0.5 * ubeta[k];
let {k in SAMPLES0} RESULTS_vc[k] := -0.5 * ualpha[k] - root3 * 0.5 * ubeta[k];
let {k in SAMPLES0} RESULTS_v0[k] := v0[k];

/*****
/**      POSTPROCESOS      **/
*****/

```

```

/*****
param DEL symbolic := ", ";
param csvFile symbolic := "results.csv";

# Añadir encabezado con las nuevas columnas de ualpha y ubeta
printf "theta%s Va%s Vb%s Vc%s V0%s ualpha%s ubeta%s VMAX\n", DEL, DEL, DEL, DEL, DEL, DEL, DEL;

# Imprimir los resultados con las nuevas columnas
for {k in SAMPLES0} {
    printf "%.12f%s ", THETA[k], DEL >> (csvFile);
    printf "%.12f%s ", RESULTS_va[k], DEL >> (csvFile);
    printf "%.12f%s ", RESULTS_vb[k], DEL >> (csvFile);
    printf "%.12f%s ", RESULTS_vc[k], DEL >> (csvFile);
    printf "%.12f%s ", RESULTS_v0[k], DEL >> (csvFile);
    printf "%.12f%s ", ualpha[k], DEL >> (csvFile); # Nueva columna ualpha
    printf "%.12f%s ", ubeta[k], DEL >> (csvFile); # Nueva columna ubeta
    printf "%.12f\n", VMAX >> (csvFile); # Columna VMAX
};

```

A.2. Código implementado en AMPL para minimización de tensión armónica RMS de modo común

Para resolver la tensión armónica RMS de modo común solo se modifica el archivo .mod.

```

/*****
**          CONJUNTOS          **
*****/
param S>=0, integer;
set SAMPLES := 1..3*S;
set SAMPLES0 := 0..3*S;

/*****
**          GENERAL          **
*****/
param PI ;
param root3 ;
param 2PI3;
param L;
param VDC;
param faVdc;
param fbVdc;
param fcVdc;
param VMAX ;

/*****
**          POSTPROCESOS          **
*****/
param DTHETA ;
param THETA{i in SAMPLES0} ;

/*****
**          VARIABLES DE DECISION          **
*****/

param ualpha{i in SAMPLES0} ;
param ubeta{i in SAMPLES0} ;

var v0{i in SAMPLES0} ;
var v0rms, >=0 ;
#var v0_c, >=0 ;
#var v0_s, >=0 ;
var v0_c ;
var v0_s ;
var dv0{i in SAMPLES0} ;

```

```

/*****
**          OBJETIVO          **
*****/
minimize obj:  v0rms^2;

/*****
**          RESTRICCIONES          **
*****/

subject to ubeta_cos_UB:
    (1/PI)*sum{k in SAMPLES} (v0[k-1]*cos(THETA[k-1])+v0[k]*cos(THETA[k]))*DTHETA/2 <= ubeta*cos(THETA[0]);
subject to ubeta_cos_LB:
    (1/PI)*sum{k in SAMPLES} (v0[k-1]*sin(THETA[k-1])+v0[k]*sin(THETA[k]))*DTHETA/2 <= ubeta*sin(THETA[0]);
== v0_s ;

subject to v0_rest1{k in SAMPLES0}:
    -faVdc * VDC <= ualpha[k] + v0[k] <= faVdc * VDC ;    # fase A
subject to v0_rest2{k in SAMPLES0}:
    -fbVdc * VDC <= -0.5*ualpha[k]+root3*0.5*ubeta[k]+v0[k] <= fbVdc*VDC ;    # fase B
subject to v0_rest3{k in SAMPLES0}:
    -fcVdc * VDC <= -0.5*ualpha[k]-root3*0.5*ubeta[k]+v0[k] <= fcVdc*VDC ;    # fase C

#v0rms^2
subject to dv0_definition{k in SAMPLES}:
    dv0[k] == v0[k]-(v0_c*cos(THETA[k])+v0_s*sin(THETA[k])) ;
subject to v0_definition:
    sum{k in SAMPLES} (dv0[k-1]^2+dv0[k]^2)*DTHETA/2 <= v0rms^2 ;

subject to v0_cycle:
    v0[0] == v0[3*S] ;

```

Apéndice B

Codigo de Code Composer Studio

B.1. codigo de archivo PH4 main.c

```
/* System Defines */
#include <PH4_app.h>
#include "aceC6748.h"
#include "assert.h"
#include "math.h"
#include "stdio.h"
#include "soc_C6748.h" //already called in aceC6784.h
#include "psc.h"
#include "hw_psc_C6748.h"
#include "ace_monitor.h"
#include "cossplay.h"
#include "divsp.h"

extern void Init_Platform(void);
extern void Init_Interrupts(void);
extern void Init_Adc(void);
extern void Init_Iop(void);
extern void Init_Mod(void);
extern void Init_DS_LED(void);

/*****
**      MONITOR MACROS
*****/
/*
 * By default it is expected that the SYSCLK2 frequency is the half of the
 * CPU clock frequency.
 * SYSCLK2 is the clock source for the UART0 and by default also for the
 * UART1 and UART2 peripherals.
 */
#define SYSCLK2_FREQ      (150000000u)
```

```

/*
 * Baudrate for the ace_monitor and ace_packet communication.
 */
#define HMI_UART_BAUDRATE (115200u)

/*
 * The Local Monitor timeout in case of connection loss.
 * It is measured in how many ACE_MON_tickForeground() calls in the ISR
 * take place without transactions with the Remote Monitor.
 */
#define HMI_UART_TIMEOUT (20000)

#define N1_samples 2500//20
static uint64_t index = 0;
/*****

////////////////////////////////////
//                               DEFINICIÓN VARIABLES                               //
////////////////////////////////////

*/
//-----*/
/*
 *                               VARIABLES MATLAB
 */
//-----*/

/* Capture buffers */
//#pragma DATA_SECTION (cap_buffer, ".ddr")

/* Local buffers to store the monitored variables frame (epochs).
 * 7 variables. The biggest size happens for the types 'double', thus
 * the capture buffer must be a multiple of 8 (64 bits).
 * This example looks for storing 4 cycles of a 50Hz fundamental frequency.
 * The sampling frequency is 10kHz, hence, 800 samples are required. Then
 * the 'double' requires 800*8 bytes. The other datatypes use just a fraction
 * of the reserved buffer. */

#define N_samples 2500
#define buffer_size_8 N_samples
#define buffer_size_32 N_samples*4
#define buffer_size_64 N_samples*8

/* Monitored variables + tick flag */
//static uint8_t *tick_flag_pointer;
//static uint64_t index = 0;
float *w_pointer;
float *Fr_pointer;

```

```

/* Buffers */
#pragma DATA_SECTION (v_a_ref_buffer, ".ACC");
#pragma DATA_SECTION (v_b_ref_buffer, ".ACC");
#pragma DATA_SECTION (v_c_ref_buffer, ".ACC");
#pragma DATA_SECTION (i_d_ref_buffer, ".ACC");
#pragma DATA_SECTION (i_q_ref_buffer, ".ACC");
// #pragma DATA_SECTION (v_a_ref_mod_s1_buffer, ".ACC");
// #pragma DATA_SECTION (v_b_ref_mod_s1_buffer, ".ACC");
// #pragma DATA_SECTION (v_c_ref_mod_s1_buffer, ".ACC");
// #pragma DATA_SECTION (i_a_med_buffer, ".ACC");
// #pragma DATA_SECTION (i_b_med_buffer, ".ACC");
// #pragma DATA_SECTION (i_c_med_buffer, ".ACC");
// #pragma DATA_SECTION (count_E0_buffer, ".ACC");
#pragma DATA_SECTION (w_ref_buffer, ".ACC");
#pragma DATA_SECTION (w_med_buffer, ".ACC");
// #pragma DATA_SECTION (Fr_ref_buffer, ".ACC");
// #pragma DATA_SECTION (Fr_mag_buffer, ".ACC");
#pragma DATA_SECTION (phi_buffer, ".ACC");

/* Variables */
float v_a_ref_buffer[buffer_size_8];
float v_b_ref_buffer[buffer_size_8];
float v_c_ref_buffer[buffer_size_8];
float i_d_ref_buffer[buffer_size_8];
float i_q_ref_buffer[buffer_size_8];
// float v_a_ref_mod_s1_buffer[buffer_size_8];
// float v_b_ref_mod_s1_buffer[buffer_size_8];
// float v_c_ref_mod_s1_buffer[buffer_size_8];
// float err_d_buffer[buffer_size_8];
// float err_q_buffer[buffer_size_8];
// float u_d_buffer[buffer_size_8];
// float u_q_buffer[buffer_size_8];
// float i_a_med_buffer[buffer_size_8];
// float i_b_med_buffer[buffer_size_8];
// float i_c_med_buffer[buffer_size_8];
// int16_t count_E0_buffer[buffer_size_8];
float w_ref_buffer[buffer_size_8];
float w_med_buffer[buffer_size_8];
// float Fr_ref_buffer[buffer_size_8];
// float Fr_mag_buffer[buffer_size_8];
float phi_buffer[buffer_size_8];

int va_ref_int_array[N_samples];
int vb_ref_int_array[N_samples];
int vc_ref_int_array[N_samples];

```

```
bool tick_flag = 0;
```

```
/*-----*/
/*          VARIABLES CÓDIGO          */
/*-----*/
```

```
// Variables procesamiento señal de medición de corriente proveniente de los ADC
float k_snsr_i_a = -30.0664; // Ganancia tarjeta de medición de corriente fase a
float k_snsr_i_b = -29.7 ; // Ganancia tarjeta de medición de corriente fase b
float k_snsr_i_c = -20.7539; // Ganancia tarjeta de medición de corriente fase c
int16_t med_ADC0_A1_16, med_ADC0_A2_16, med_ADC0_B1_16;
float med_ADC0_A1, med_ADC0_A2, med_ADC0_B1;
float i_a_med, i_b_med, i_c_med;
```

```
//Variables procesamiento señal de medición de tensión de los FC proveniente de
float k_snsr1_v = 133.5; // Ganancia de la primera tarjeta de medición de tensión
float k_snsr2_v = 150; // Ganancia de la segunda tarjeta de medición de tensión
int16_t med_ADC0_B2_16, med_ADC1_A1_16, med_ADC1_A2_16, med_ADC1_B1_16;
float med_ADC0_B2, med_ADC1_A1, med_ADC1_A2, med_ADC1_B1;
float v_fc_a, v_fc_b, v_fc_c;
```

```
//Variables corrección mediciones
bool offset_on = 1;
float contador = 0;
float suma_i_a = 0, suma_i_b = 0, suma_i_c = 0;
float suma_v_dc = 0, suma_v_fc_a = 0, suma_v_fc_b = 0, suma_v_fc_c = 0;
float offset_i_a, offset_i_b, offset_i_c;
float offset_v_dc, offset_v_fc_a, offset_v_fc_b, offset_v_fc_c;
```

```
//Variables encoder
int16_t count_E0 = 0;
int16_t count_E0_ant = 0;
int16_t delta_cuentas = 0;
int16_t delta_cuentas_ant = 0;
float w_med = 0;
float ang_r = 0;
int cont_count = 0;
```

```
float phi = 0;
```

```
// Variables control corriente en dq
float i_alpha_med, i_beta_med;
float i_alpha_ref, i_beta_ref;
float i_d_med, i_q_med;
float i_d_ref, i_q_ref;
```

```

float v_alpha_ref, v_beta_ref;
float err_d, x_d_act, u_d_act;
float err_q, x_q_act, u_q_act;
float x_d_ant=0, u_d_ant=0;
float x_q_ant=0, u_q_ant=0;
float scale, mag_sq, e_aw_d, e_aw_q;

float naa, nbb, ncc;
// Variables control velocidad
float w_ref = 0;
float new_w_ref = 0;

// Variables procesamiento tensión de referencia inversor
float v_a_ref, v_b_ref, v_c_ref; // Señales de tensión de referencia para el inv
float v_a_ref2, v_b_ref2, v_c_ref2; // Señales de tensión de referencia para el
float v_a_ref_mod_s1, v_b_ref_mod_s1, v_c_ref_mod_s1; // Señales desplazadas cer
float v_a_ref_mod_s2, v_b_ref_mod_s2, v_c_ref_mod_s2; // Señales desplazadas cer
int v_a_ref_sign, v_b_ref_sign, v_c_ref_sign; // Referencia primera etapa de mo

float v_dc_link = 100;
float n1 = 4;
float na = 2;
float nb = 1;
float nc = 1;
float V_max;
float minmax_offset;
float i_beta_ref = 0;
float i_alpha_ref = 0;

float prub = 0;
double aux = 0;

float v_alpha, v_beta;
float v_alpha2, v_beta2;
float v_o;
float t1;
float Va_ref, Vb_ref, Vc_ref;
float Va_ref2, Vb_ref2, Vc_ref2;
float v_a_ref3, v_b_ref3, v_c_ref3;
float v_a_ref4, v_b_ref4, v_c_ref4;
float v_a_ref5, v_b_ref5, v_c_ref5, v_d_ref5, v_q_ref5;
float test;

float vdd;
float vqq;

```

```

float vaa;

float m1_A;
float m1_B;
float m1_C;
float omega = 314;
float ang = 0;
float phi2;
float v_a_ref6;
float v_b_ref6;
float v_c_ref6;
////////////////////////////////////
//                                FUNCIONES                                //
////////////////////////////////////

// abc -> alpha,beta
float trans_alpha(float a, float b, float c){
    float alpha;
    alpha = 0.66667*a-0.33333*(b+c);
    return(alpha);
}

float trans_beta(float a, float b, float c){
    float beta;
    beta = 0.57735*(b-c);
    return(beta);
}

float calc_phi(float alpha, float beta) {
    float phi;
    phi = atan2f(beta, alpha); // Calcula el ángulo en radianes
    return phi;
}

// alpha,beta -> dq
float trans_d(float alpha, float beta, float angle){
    float d;
    d = cos(angle)*alpha+sin(angle)*beta;
    return(d);
}

float trans_q(float alpha, float beta, float angle){
    float q;
    q = -sin(angle)*alpha+cos(angle)*beta;
    return(q);
}

```

```
}

// dq -> alpha, beta
float trans_alpha_inv(float d, float q, float angle){
    float alpha;
    alpha = cos(angle)*d-sin(angle)*q;
    return(alpha);
}

float trans_beta_inv(float d, float q, float angle){
    float beta;
    beta = sin(angle)*d+cos(angle)*q;
    return(beta);
}

// alpha, beta -> abc
float trans_a(float alpha, float beta){
    float a;
    a = alpha;
    return(a);
}

float trans_b(float alpha, float beta){
    float b;
    b = -0.5*alpha+0.86603*beta;
    return(b);
}

float trans_c(float alpha, float beta){
    float c;
    c = -0.5*alpha-0.86603*beta;
    return(c);
}

float MAX(float a, float b, float c){
    float max = a;
    max = fmaxf(max, b);
    max = fmaxf(max, c);
    return max;
}

float MIN(float a, float b, float c){
    float min = a;
    min = fminf(min, b);
    min = fminf(min, c);
    return min;
}
```

```

float Vmaxmin(float vaa){
    // Limites superior e inferior
    float limite_superior = 1;
    float limite_inferior = -1;

    // Condicionales para aplicar la saturación
    if (vaa > limite_superior) {
        return limite_superior;
    } else if (vaa < limite_inferior) {
        return limite_inferior;
    } else {
        return vaa;
    }
}

```

```

float REFmaxmin(float vaa){
    // Limites superior e inferior
    float limite_superior = 1000;
    float limite_inferior = 0;

    // Condicionales para aplicar la saturación
    if (vaa > limite_superior) {
        return limite_superior;
    } else if (vaa < limite_inferior) {
        return limite_inferior;
    } else {
        return vaa;
    }
}

```

```

////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
//                                     INICIALIZACIÓN BRAIn
//
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////

```

```

void main(void)
{
    /* All peripherals to be uses are configured here */

    /* Interruptions must be configured after peripherals configuration */
    Init_Platform();    // Configuración de PLL del DSP y de comunicación con I
    Init_Mod();         // Configuración de los Timers y moduladores PWM
    Init_Adc();         // Configuración de los ADCs
    Init_Iop();         // Configuración de los puertos IO
    Init_DS_LED();      // Configuración de DipSwitch y LEDs
}

```

```

Init_Interrupts(); // Configuración de las interrupciones. Debe ser la última línea de este fichero.

/* LOCAL MONITOR CONFIGURATION */
/* UART configuration */
PSCModuleControl(SOC_PSC_1_REGS,HW_PSC_UART2,PSC_POWERDOMAIN_ALWAYS_ON,PSC_MODULE_UART2,
ACE_DSPUART_PinMuxSetup(SOC_UART_2, FALSE);

ACE_MON_init(SOC_UART_2_REGS, SYSCLK2_FREQ, HMI_UART_BAUDRATE, HMI_UART_TIMEOUT);

// ACE_MON_addVariableToMonitor(&tick_flag , ACE_MON_INT8, sizeof(tick_flag), ACE_MON_FLOAT,
ACE_MON_addVariableToMonitor(&v_a_ref, ACE_MON_FLOAT, sizeof(v_a_ref), ACE_MON_FLOAT,
ACE_MON_addVariableToMonitor(&v_b_ref, ACE_MON_FLOAT, sizeof(v_b_ref), ACE_MON_FLOAT,
ACE_MON_addVariableToMonitor(&v_c_ref, ACE_MON_FLOAT, sizeof(v_c_ref), ACE_MON_FLOAT,
ACE_MON_addVariableToMonitor(&i_d_ref, ACE_MON_FLOAT, sizeof(i_d_ref), ACE_MON_FLOAT,
ACE_MON_addVariableToMonitor(&i_q_ref, ACE_MON_FLOAT, sizeof(i_q_ref), ACE_MON_FLOAT,
// ACE_MON_addVariableToMonitor(&v_a_ref_mod_sl, ACE_MON_FLOAT, sizeof(v_a_ref_mod_sl), ACE_MON_FLOAT,
// ACE_MON_addVariableToMonitor(&v_b_ref_mod_sl, ACE_MON_FLOAT, sizeof(v_b_ref_mod_sl), ACE_MON_FLOAT,
// ACE_MON_addVariableToMonitor(&v_c_ref_mod_sl, ACE_MON_FLOAT, sizeof(v_c_ref_mod_sl), ACE_MON_FLOAT,
// ACE_MON_addVariableToMonitor(&err_d, ACE_MON_FLOAT, sizeof(err_d), ACE_MON_FLOAT,
// ACE_MON_addVariableToMonitor(&err_q, ACE_MON_FLOAT, sizeof(err_q), ACE_MON_FLOAT,
// ACE_MON_addVariableToMonitor(&u_d_act, ACE_MON_FLOAT, sizeof(u_d_act), ACE_MON_FLOAT,
// ACE_MON_addVariableToMonitor(&u_q_act, ACE_MON_FLOAT, sizeof(u_q_act), ACE_MON_FLOAT,
// ACE_MON_addVariableToMonitor(&i_a_med, ACE_MON_FLOAT, sizeof(i_a_med), ACE_MON_FLOAT,
// ACE_MON_addVariableToMonitor(&i_b_med, ACE_MON_FLOAT, sizeof(i_b_med), ACE_MON_FLOAT,
// ACE_MON_addVariableToMonitor(&i_c_med, ACE_MON_FLOAT, sizeof(i_c_med), ACE_MON_FLOAT,
// ACE_MON_addVariableToMonitor(&count_E0, ACE_MON_INT16, sizeof(count_E0), ACE_MON_FLOAT,
ACE_MON_addVariableToMonitor(&w_ref, ACE_MON_FLOAT, sizeof(w_ref), ACE_MON_FLOAT,
ACE_MON_addVariableToMonitor(&w_med, ACE_MON_FLOAT, sizeof(w_med), ACE_MON_FLOAT,
// ACE_MON_addVariableToMonitor(&Fr_ref, ACE_MON_FLOAT, sizeof(Fr_ref), ACE_MON_FLOAT,
// ACE_MON_addVariableToMonitor(&Fr_mag, ACE_MON_FLOAT, sizeof(Fr_mag), ACE_MON_FLOAT,
ACE_MON_addVariableToMonitor(&phi, ACE_MON_FLOAT, sizeof(phi), ACE_MON_FLOAT,
ACE_MON_addVariableToMonitor(&new_w_ref, ACE_MON_FLOAT, sizeof(new_w_ref), ACE_MON_FLOAT,
// ACE_MON_addVariableToMonitor(&new_Fr_ref, ACE_MON_FLOAT, sizeof(new_Fr_ref), ACE_MON_FLOAT,

/*-----*/
/*                                BACKGROUND ROUTINE  empieza el loop                                */
/*-----*/

while(1)
{
    ACE_MON_tickBackground();
}
}

////////////////////////////////////
//                                CÓDIGO INTERRUPCIÓN                                //
//

```

```

////////////////////////////////////
extern void ADC_fpgaSyncInterrupt_isr(void){

    /* Clear flag that caused the interruption */
    INT0CLRFLG = INT0_ADC0_MASK; // Borra el Flag sobrescribiendo un 1

    /*-----*
    *           Procesamiento mediciones provenientes de los ADC
    *-----*/

    // Traspaso valores medidos por ADC a variable 16bit
    med_ADC0_A1_16 = ADC0CHA1;      // Corriente fase a
    med_ADC0_A2_16 = ADC0CHA2;      // Corriente fase b
    med_ADC0_B1_16 = ADC0CHB1;      // Corriente fase c

    // Procesamiento valor medido con factor de conversión de la BRAIn (depende
    med_ADC0_A1 = ((int)med_ADC0_A1_16 * ACE_ADC_ESS_M10P10_CONVERSION_FACTOR);
    med_ADC0_A2 = ((int)med_ADC0_A2_16 * ACE_ADC_ESS_M10P10_CONVERSION_FACTOR);
    med_ADC0_B1 = ((int)med_ADC0_B1_16 * ACE_ADC_ESS_M10P10_CONVERSION_FACTOR);

    // Procesamiento valor medido con ganancia del sensor utilizado

    offset_i_a = 0.022175;
    offset_i_b = 0.02854;
    offset_i_c = -0.007324219;

    i_a_med = (med_ADC0_A1 - offset_i_a) * k_snsr_i_a;
    i_b_med = (med_ADC0_A2 - offset_i_b) * k_snsr_i_b;
    i_c_med = (med_ADC0_B1 - offset_i_c) * k_snsr_i_c;

    /*-----*
    *           Código de control
    *-----*/

    // Señal de referencia

```

```

//t1=aux-1*h;

Va_ref= cos(2*pi*50*aux);
Vb_ref= cos(2*pi*50*aux - x2_3*pi);
Vc_ref= cos(2*pi*50*aux + x2_3*pi);
aux=aux+Ts;

v_alpha = trans_alpha(Va_ref,Vb_ref, Vc_ref);
v_beta  = trans_beta(Va_ref,Vb_ref, Vc_ref);

phi=calc_phi(v_alpha, v_beta);

// Definición tensión saturación control corriente
V_max = v_dc_link * n1;

//=====

// Transformación abc -> alfa ,beta
i_alpha_med = trans_alpha(i_a_med, i_b_med, i_c_med);
i_beta_med = trans_beta(i_a_med, i_b_med, i_c_med);

// Transformación alpha ,beta -> dq
i_d_med = trans_d(i_alpha_med, i_beta_med, phi);
i_q_med = trans_q(i_alpha_med, i_beta_med, phi);

//=====

// Revisar control Lazo Cerrado
i_d_ref=id_max;
i_q_ref=iq_max;

if (index > 875){
    i_d_ref=5.35;
    i_q_ref=0;
}

// d axis current controller (with anti-windup)//

err_d = i_d_ref - i_d_med;

x_d_act = (C1dq * x_d_ant) + (C2dq * u_d_ant);
u_d_act = kpdq * (err_d - x_d_act);

v_d_ref5 = x_d_act;

```

```

v_b_ref5 = u_d_act;

// q axis current controller (with anti-windup)
err_q = i_q_ref - i_q_med;

x_q_act = (C1dq * x_q_ant) + (C2dq * u_q_ant);
u_q_act = kpdq * (err_q - x_q_act);

v_q_ref5 = x_q_act;

mag_sq = u_d_act*u_d_act+u_q_act*u_q_act;

if (mag_sq > V_max*V_max){
    scale = V_max / sqrtf(mag_sq);
    u_d_act = u_d_act*scale;
    u_q_act = u_q_act*scale;
}

e_aw_d = u_d_act - u_d_ant;
e_aw_q = u_q_act - u_q_ant;

// Ajuste del integrador con anti-windup
x_d_act = x_d_act + C2dq * e_aw_d;
x_q_act = x_q_act + C2dq * e_aw_q;

//Guardar variables anteriores

x_d_ant = x_d_act;
u_d_ant = u_d_act;

x_q_ant = x_q_act;
u_q_ant = u_q_act;

vdd=u_d_act-2*PI*fg*Lf*i_q_med;
vqq=u_q_act+2*PI*fg*Lf*i_d_med;
//=====

// Transformación dq -> alpha , beta
v_alpha_ref = trans_alpha_inv(vdd, vqq, phi);

```

```

v_beta_ref = trans_beta_inv(vdd, vqq, phi);

// Transformación alpha ,beta -> abc
v_a_ref = (trans_a(v_alpha_ref,v_beta_ref))/V_max ;
v_b_ref = (trans_b(v_alpha_ref,v_beta_ref))/V_max ;
v_c_ref = (trans_c(v_alpha_ref,v_beta_ref))/V_max ;

v_alpha2 = trans_alpha(v_a_ref,v_b_ref, v_c_ref);
v_beta2 = trans_beta(v_a_ref,v_b_ref, v_c_ref);

phi2=calc_phi(v_alpha2, v_beta2);

// Prueba lazo abierto

//v_a_ref=Va_ref;
//v_b_ref=Vb_ref;
//v_c_ref=Vc_ref;

// referencia negativa

v_a_ref2=(-1)*v_a_ref;
v_b_ref2=(-1)*v_b_ref;
v_c_ref2=(-1)*v_c_ref;

//=====

/*-----*
 *                      Procesamiento señal de tensión
 *
 *-----*/

// Generación señales con voltaje modo comun

//Patron 211 aproximado 50 terminos
//phi2=phi;

v_o = -0.000000000000008517 / 2;
v_o += 0.15821802305861654 * cos(1 * phi + -1.04714131311056402);
v_o += 0.000000000000019308 * cos(2 * phi + 3.06922123593475860);
v_o += 0.07786390200170543 * cos(3 * phi + 3.14150085986537286);

```

```

v_o += 0.00000000000015701 * cos(4 * phi + 3.06296445694009156);
v_o += 0.02415990127697429 * cos(5 * phi + 1.04749144685825679);
v_o += 0.00000000000017631 * cos(6 * phi + 3.14103591542230198);
v_o += 0.01405609879651353 * cos(7 * phi + 2.09476741553176549);
v_o += 0.00000000000017237 * cos(8 * phi + -3.11229180396647109);
v_o += 0.00589717424463309 * cos(9 * phi + -3.14117237261024984);
v_o += 0.00000000000016884 * cos(10 * phi + -3.13237338389427977);
v_o += 0.00210779616786203 * cos(11 * phi + -2.09345988820416373);
v_o += 0.00000000000017335 * cos(12 * phi + -3.10961487715469564);
v_o += 0.00068657571486583 * cos(13 * phi + -1.04715383012233243);
v_o += 0.00000000000016504 * cos(14 * phi + -3.05757721215875389);
v_o += 0.00023056955930032 * cos(15 * phi + -3.13377116176534720);
v_o += 0.00000000000011695 * cos(16 * phi + 2.97607772314288921);
v_o += 0.00238526839780250 * cos(17 * phi + -2.09392898324304921);
v_o += 0.00000000000023936 * cos(18 * phi + -2.26776505319182942);
v_o += 0.00129897865337613 * cos(19 * phi + -1.04577924126543231);
v_o += 0.00000000000047379 * cos(20 * phi + 2.81401292096026356);
v_o += 0.00056383191079173 * cos(21 * phi + 0.00368964880540529);
v_o += 0.00000000000018118 * cos(22 * phi + 1.06024843714031269);
v_o += 0.00149480604883234 * cos(23 * phi + 1.04736828265636150);
v_o += 0.00000000000019742 * cos(24 * phi + -2.45723208851092156);
v_o += 0.00004509204431171 * cos(25 * phi + -1.05542998618683459);
v_o += 0.00000000000018650 * cos(26 * phi + 2.98699219708570007);
v_o += 0.00063515436617343 * cos(27 * phi + -0.00011720737677819);
v_o += 0.00000000000019939 * cos(28 * phi + 3.13114110080971386);
v_o += 0.00022939629947115 * cos(29 * phi + -2.10113901696798067);
v_o += 0.00000000000018236 * cos(30 * phi + -3.09532855434139220);
v_o += 0.00083567294298783 * cos(31 * phi + 2.09537438969511491);
v_o += 0.00000000000018589 * cos(32 * phi + 3.13780851026208785);
v_o += 0.00078834749823125 * cos(33 * phi + -3.14078415381376352);
v_o += 0.00000000000020012 * cos(34 * phi + -3.06133412410635053);
v_o += 0.00021194195562307 * cos(35 * phi + 1.04055276553131826);
v_o += 0.00000000000019329 * cos(36 * phi + -2.69690391261524409);
v_o += 0.00047485520678758 * cos(37 * phi + -1.04725201569040349);
v_o += 0.00000000000040944 * cos(38 * phi + 2.89519619268953310);
v_o += 0.00014187878837021 * cos(39 * phi + -0.00271372704320868);
v_o += 0.00000000000036689 * cos(40 * phi + 0.83961240993953001);
v_o += 0.00063789419754919 * cos(41 * phi + -2.09461945608058464);
v_o += 0.00000000000051221 * cos(42 * phi + -1.82733626917390901);
v_o += 0.00006071130295694 * cos(43 * phi + 2.07547883559595103);
v_o += 0.00000000000039496 * cos(44 * phi + 2.88107988777713464);
v_o += 0.00019065937902995 * cos(45 * phi + 0.00482463126908438);
v_o += 0.00000000000011304 * cos(46 * phi + 2.84795858161954651);
v_o += 0.00058575987925236 * cos(47 * phi + 1.04729193318211800);
v_o += 0.00000000000017466 * cos(48 * phi + 2.82701558530024988);
v_o += 0.00018381006148863 * cos(49 * phi + -1.05182911400008750);
v_o += 0.00000000000018264 * cos(50 * phi + 3.05481817484015794);

```

```

    index++;
// suma de v_o

// Prueba lazo abierto
    // v_a_ref=(v_a_ref+v_o);
    // v_b_ref=(v_b_ref+v_o);
    // v_c_ref=(v_c_ref+v_o);

    // v_a_ref2=(v_a_ref2-v_o);
    // v_b_ref2=(v_b_ref2-v_o);
    // v_c_ref2=(v_c_ref2-v_o);

//v_a_ref3 = (v_o) * M0_MAX;
//v_b_ref3 = (v_o+v_b_ref) * M0_MAX*1.1111;
//v_c_ref3 = (v_o+v_c_ref) * M0_MAX*1.1111;

//Cambio de referencias

naa=1;        // n/na
nbb=1;        // n/nb
ncc=1.3333;   // n/nc

    if (index > 875){
        v_a_ref=(v_a_ref+v_o);
        v_b_ref=(v_b_ref+v_o);
        v_c_ref=(v_c_ref+v_o);

        v_a_ref2=(v_a_ref2-v_o);
        v_b_ref2=(v_b_ref2-v_o);
        v_c_ref2=(v_c_ref2-v_o);

    }

    if (index < 575) {
        //Modulación
        v_a_ref = (v_a_ref) * M0_MAX / 2 + M0_MAX / 2;
        v_b_ref = (v_b_ref) * M0_MAX / 2 + M0_MAX / 2;
        v_c_ref = (v_c_ref) * M0_MAX / 2 + M0_MAX / 2;

        v_a_ref2 = (v_a_ref2) * M0_MAX / 2 + M0_MAX / 2;
        v_b_ref2 = (v_b_ref2) * M0_MAX / 2 + M0_MAX / 2;
        v_c_ref2 = (v_c_ref2) * M0_MAX / 2 + M0_MAX / 2;
    } else {
        //Modulación
        v_a_ref = (v_a_ref)*naa * M0_MAX / 2 + M0_MAX / 2;

```

```

        v_b_ref = (v_b_ref)*nbb * M0_MAX / 2 + M0_MAX / 2;
        v_c_ref = (v_c_ref)*ncc * M0_MAX / 2 + M0_MAX / 2;

        v_a_ref2 = (v_a_ref2)*naa * M0_MAX / 2 + M0_MAX / 2;
        v_b_ref2 = (v_b_ref2)*nbb * M0_MAX / 2 + M0_MAX / 2;
        v_c_ref2 = (v_c_ref2)*ncc * M0_MAX / 2 + M0_MAX / 2;
    }

// Limitador valores extremos

    v_a_ref=REFmaxmin(v_a_ref);
    v_b_ref=REFmaxmin(v_b_ref);
    v_c_ref=REFmaxmin(v_c_ref);

    v_a_ref2=REFmaxmin(v_a_ref2);
    v_b_ref2=REFmaxmin(v_b_ref2);
    v_c_ref2=REFmaxmin(v_c_ref2);

//Fase A
v_a_ref_mod_s1 = v_a_ref;           // Si la señal de refernecia
v_a_ref_mod_s2 = v_a_ref2;         // Si la señal de refernecia

//Fase B
v_b_ref_mod_s1 = v_b_ref;
v_b_ref_mod_s2 = v_b_ref2;

//Fase C
v_c_ref_mod_s1 = v_c_ref;
v_c_ref_mod_s2 = v_c_ref2;

/*-----*
 *                Entrega de valores de referencia a los PWM
*
*-----*/

//Señales de comparación

//Nivel 1//

MOCMPR1 = v_a_ref_mod_s1; //Triggers IGBT S1 fase a

```

```

M0CMPR2 = v_a_ref_mod_s2; //Triggers IGBT S2 fase a

M1CMPR1 = v_b_ref_mod_s1; //Triggers IGBT S1 fase b
M1CMPR2 = v_b_ref_mod_s2; //Triggers IGBT S2 fase b

M2CMPR1 = v_c_ref_mod_s1; //Triggers IGBT S1 fase c
M2CMPR2 = v_c_ref_mod_s2; //Triggers IGBT S2 fase c


// Caso Falla

if (index > 575){
    M0CMPR1 = v_a_ref_mod_s1; //Triggers IGBT S1 y S'1 fase A
    M0CMPR2 = v_a_ref_mod_s2; //Triggers IGBT S2 y S'2 fase A

    M1CMPR1 = v_b_ref_mod_s1; //Triggers IGBT S1 y S'1 fase B
    M1CMPR2 = v_b_ref_mod_s2; //Triggers IGBT S2 y S'2 fase B

    M2CMPR1 = v_c_ref_mod_s1; //Triggers IGBT S1 fase c
    M2CMPR2 = v_c_ref_mod_s2; //Triggers IGBT S2 fase c

}


// Caso Compensacion

if (index > 875){

    M0CMPR1 = (int)v_a_ref_mod_s1; //Triggers IGBT S1 y S'1 fase A
    M0CMPR2 = (int)v_a_ref_mod_s2; //Triggers IGBT S2 y S'2 fase A

    M1CMPR1 = (int)v_b_ref_mod_s1; //Triggers IGBT S1 y S'1 fase B
    M1CMPR2 = (int)v_b_ref_mod_s2; //Triggers IGBT S2 y S'2 fase B

    M2CMPR1 = (int)v_c_ref_mod_s1; //Triggers IGBT S1 fase c
    M2CMPR2 = (int)v_c_ref_mod_s2; //Triggers IGBT S2 fase c

}


//Nivel 2//

M3CMPR1 = (int)v_a_ref_mod_s1; //Triggers IGBT S1 fase a
M3CMPR2 = (int)v_a_ref_mod_s2; //Triggers IGBT S2 fase a

```

```

M4CMPR1 = (int)v_b_ref_mod_s1; //Triggers IGBT S1 fase b
M4CMPR2 = (int)v_b_ref_mod_s2; //Triggers IGBT S2 fase b

M5CMPR1 = (int)v_c_ref_mod_s1; //Triggers IGBT S1 fase c
M5CMPR2 = (int)v_c_ref_mod_s2; //Triggers IGBT S2 fase c

// Caso Falla

if (index > 575){
    M3CMPR1 = v_a_ref_mod_s1; //Triggers IGBT S1 y S'1 fase A
    M3CMPR2 = v_a_ref_mod_s2; //Triggers IGBT S2 y S'2 fase A

    M4CMPR1 = v_b_ref_mod_s1; //Triggers IGBT S1 y S'1 fase B
    M4CMPR2 = v_b_ref_mod_s2; //Triggers IGBT S2 y S'2 fase B

    M5CMPR1 = v_c_ref_mod_s1; //Triggers IGBT S1 fase c
    M5CMPR2 = v_c_ref_mod_s2; //Triggers IGBT S2 fase c
}

// Caso Compensacion

if (index > 875){

    ACE_INT_disableDspGlobalInt();
    // #undef Desf_A2
    // #define Desf_A2 500;
    #undef Desf_B2
    #define Desf_B2 0
    #undef Desf_C2
    #define Desf_C2 83
    ACE_INT_enableDspGlobalInt();

    M3CMPR1 = (int)v_a_ref_mod_s1; //Triggers IGBT S1 y S'1 fase A
    M3CMPR2 = (int)v_a_ref_mod_s2; //Triggers IGBT S2 y S'2 fase A

    M4CMPR1 = (int)v_b_ref_mod_s1; //Triggers IGBT S1 y S'1 fase B
    M4CMPR2 = (int)v_b_ref_mod_s2; //Triggers IGBT S2 y S'2 fase B

    M5CMPR1 = (int)v_c_ref_mod_s1; //Triggers IGBT S1 fase c
    M5CMPR2 = (int)v_c_ref_mod_s2; //Triggers IGBT S2 fase c
}

```

```

// Nivel 3//

M6CMPR1 = v_a_ref_mod_s1; //Triggers IGBT S1 fase a
M6CMPR2 = v_a_ref_mod_s2; //Triggers IGBT S2 fase a

M7CMPR1 = v_b_ref_mod_s1; //Triggers IGBT S1 fase b
M7CMPR2 = v_b_ref_mod_s2; //Triggers IGBT S2 fase b

M8CMPR1 = v_c_ref_mod_s1; //v_c_ref_mod_s1; //Triggers IGBT S1 fase c
M8CMPR2 = v_c_ref_mod_s2; //v_c_ref_mod_s2; //Triggers IGBT S2 fase c

// Caso Falla

ACE_INT_disableDspGlobalInt();
// #undef Desf_A3
// #define Desf_A3 500;
#undef Desf_B3
#define Desf_B3 0
#undef Desf_C3
#define Desf_C3 0
ACE_INT_enableDspGlobalInt();

if (index > 575){
    M6CMPR1 = v_a_ref_mod_s1; //Triggers IGBT S1 y S'1 fase A
    M6CMPR2 = v_a_ref_mod_s2; //Triggers IGBT S2 y S'2 fase A

    M7CMPR1 = v_b_ref_mod_s1; //Triggers IGBT S1 fase b
    M7CMPR2 = v_b_ref_mod_s2; //Triggers IGBT S2 fase b

    M8CMPR1 = v_c_ref_mod_s1; //v_c_ref_mod_s1; //Triggers IGBT S1 fase c
    M8CMPR2 = v_c_ref_mod_s2; //v_c_ref_mod_s2; //Triggers IGBT S2 fase c

}

// Caso Compensacion

if (index > 875){

    ACE_INT_disableDspGlobalInt();
// #undef Desf_A3
// #define Desf_A3 500;
#undef Desf_B3
#define Desf_B3 0
#undef Desf_C3
#define Desf_C3 166
    ACE_INT_enableDspGlobalInt();

```

```

M6CMPR1 = (int)v_a_ref_mod_s1; //Triggers IGBT S1 y S'1 fase A
M6CMPR2 = (int)v_a_ref_mod_s2; //Triggers IGBT S2 y S'2 fase A

M7CMPR1 = v_b_ref_mod_s1; //Triggers IGBT S1 fase b
M7CMPR2 = v_b_ref_mod_s2; //Triggers IGBT S2 fase b

M8CMPR1 = v_c_ref_mod_s1; //v_c_ref_mod_s1; //Triggers IGBT S1 fase c
M8CMPR2 = v_c_ref_mod_s2; //v_c_ref_mod_s2; //Triggers IGBT S2 fase c

}

//Nivel 4//

M9CMPR1 = v_a_ref_mod_s1; //Triggers IGBT S1 fase a
M9CMPR2 = v_a_ref_mod_s2; //Triggers IGBT S2 fase a

M10CMPR1 = v_b_ref_mod_s1; //Triggers IGBT S1 fase b
M10CMPR2 = v_b_ref_mod_s2; //Triggers IGBT S2 fase b

M11CMPR1 = v_c_ref_mod_s1; //Triggers IGBT S1 fase c
M11CMPR2 = v_c_ref_mod_s2; //Triggers IGBT S2 fase c


// Caso Falla

if (index > 575){
    M9CMPR1 = v_a_ref_mod_s1; //Triggers IGBT S1 y S'1 fase A
    M9CMPR2 = v_a_ref_mod_s2; //Triggers IGBT S2 y S'2 fase A

    M10CMPR1 = v_b_ref_mod_s1; //Triggers IGBT S1 fase b
    M10CMPR2 = v_b_ref_mod_s2; //Triggers IGBT S2 fase b

    M11CMPR1 = 0*v_c_ref_mod_s1; //Triggers IGBT S1 fase c
    M11CMPR2 = 0*v_c_ref_mod_s2; //Triggers IGBT S2 fase c

}

// Caso Compensacion

if (index > 875){

```

```

        ACE_INT_disableDspGlobalInt();
// #undef Desf_A4
// #define Desf_A4 500;
// #undef Desf_B4
// #define Desf_B4 500;
// #undef Desf_C4
// #define Desf_C4 500;
//      ACE_INT_enableDspGlobalInt();

M9CMPR1 = v_a_ref_mod_s1; //Triggers IGBT S1 y S'1 fase A
M9CMPR2 = v_a_ref_mod_s2; //Triggers IGBT S2 y S'2 fase A

M10CMPR1 = v_b_ref_mod_s1; //Triggers IGBT S1 fase b
M10CMPR2 = v_b_ref_mod_s2; //Triggers IGBT S2 fase b

M11CMPR1 = 0*v_c_ref_mod_s1; //Triggers IGBT S1 fase c
M11CMPR2 = 0*v_c_ref_mod_s2; //Triggers IGBT S2 fase c
}

// Salidas de Variables

va_ref_int_array[index] = (v_a_ref_mod_s1);
vb_ref_int_array[index] = (v_b_ref_mod_s1);
vc_ref_int_array[index] = (v_c_ref_mod_s1);

M12CMPR1 = 0.05*M0_MAX; //Triggers IGBT S1 fase a
if (index > 1){

    M12CMPR1 = 0; //Triggers IGBT S1 fase a

}

if (index >= N1_samples){
    index = 0;
}

}

```

```

/*****

```

B.2. código de archivo PH4 config.c

```

#include <PH4_app.h> /* PWM_app */
#include <PH4_app.h> /* PWM_app */
#include "aceC6748.h" /* System Defines */
#include "gpio.h" /* DSP Peripherals APIs */
#include "divsp.h" /* mathlib */

extern void Init_Platform(void);
extern void Init_Interrupts(void);
extern void Init_Mod(void);
extern void Init_Adc(void);
extern void Init_Iop(void);
extern void Init_DS_LED(void);
extern void InitEncEss(void);

extern void Init_Platform(void)
{
    /*-----*/
    /*      FUNCTIONS THAT ALWAYS MUST BE CALLED TO USE THE BRAIn
    */
    /*-----*/
    ACE_PLL_initObserveClk(2, 2, ACE_PLL_OBS_PLL_OSCIN);
    ACE_PLL_initObserveClk(2, 2, ACE_PLL_OBS_PLL0_SYSCLK1);
    /* PLL configuration*/
    ACE_PLL_initPllOut0To300M(); // Velocidad del reloj del DSP
    ACE_PLL_initObserveClk(2, 2, ACE_PLL_OBS_PLL1_SYSCLK1);
    /* EMIFA configuration */
    ACE_EMIF_init(EMIFA_SOURCE_PLL0SYSCLK3); // Comunicación con el bus de memo
    /*-----*/
    /*      Optional configuration functions depending on application
    */
    /*-----*/

    /* DDR configuration*/
    ACE_DDR2_configDdr2MemoryController();

    //ACE_DSPGPIO_setAsOutputPin(ACE_DSPGPIO_PD4_22);

    /* Dip switch 0 will enable/disable the PD4_22 toggling */
    //ACE_USRIO_setupDs0();
}

```

```

extern void Init_Interrupts(void)
{
    /* Initialize the DSP interrupt controller */
    ACE_INT_initDspIntController();

    /* Setup the synchronic interruption in the DSP.
     * 'DEMO_fpgaSyncInterrupt_isr()' is the registered function */
    ACE_EMIF_initFpgaSyncInterruption(ADC_fpgaSyncInterrupt_isr);
    // Nombre de la función de interrupción externa

    /* Global interruption enable */
    ACE_INT_enableDspGlobalInt();

    /* Configuring the FPGA synchronic interruption.
     * Just triggered by MOD0 interrupt events. */
    INT0ENABLE = INT0_ADC0_MASK; // ACE_EMIF_initFpgaSyncInterruption, Int 0 de

    /* Clear all initial states of FPGA's interruptions. */
    INT0CLRFLG = 0xFFFF;
    INT1CLRFLG = 0xFFFF;
    INT2CLRFLG = 0xFFFF;
}

extern void Init_Mod(void)
{
    /*-----*/
    /* Clock enable divisors. */
    /* */
    CLKSTBDIV0 = 10;
    CLKSTBDIV1 = 10;
    CLKSTBDIV2 = 10;
    CLKSTBDIV3 = 10;

    /*-----*/
    /* CELDA 1 */

    M0CTRL = MOD_SYNC_TO_MASTER | MOD_MODE_UD | MOD_CLKSEL_0;
    M0MAXCNT = M0_MAX;
    M0PWMCTRL = MOD_PWM_EN;
    M0LOAD = 0;

    M1CTRL = MOD_SYNC_TO_MASTER | MOD_MODE_UD | MOD_CLKSEL_0;
    M1MAXCNT = M0_MAX;
    M1PWMCTRL = MOD_PWM_EN;

```

```
M1LOAD    = 0;
```

```
M2CTRL    = MOD_SYNC_TO_MASTER | MOD_MODE_UD | MOD_CLKSEL_0;
```

```
M2MAXCNT  = M0_MAX;
```

```
M2PWMCTRL = MOD_PWM_EN;
```

```
M2LOAD    = 0;
```

```
/*-----*/
```

```
/* Celda 2 */
```

```
//M2CTRL    = MOD_SYNC_TO_MASTER | MOD_INISLO_DN | MOD_CLKSEL_0 | MOD_MODE_UD;
```

```
//M2MAXCNT  = M0_MAX;
```

```
//M2LOAD    = M0_MAX;
```

```
//M2PWMCTRL = MOD_PWM_EN;
```

```
M3CTRL    = MOD_SYNC_TO_MASTER | MOD_MODE_UD | MOD_CLKSEL_0;
```

```
M3MAXCNT  = M0_MAX;
```

```
M3PWMCTRL = MOD_PWM_EN;
```

```
M3LOAD    = Desf_A2;
```

```
M4CTRL    = MOD_SYNC_TO_MASTER | MOD_MODE_UD | MOD_CLKSEL_0;
```

```
M4MAXCNT  = M0_MAX;
```

```
M4PWMCTRL = MOD_PWM_EN;
```

```
M4LOAD    = Desf_B2;
```

```
M5CTRL    = MOD_SYNC_TO_MASTER | MOD_MODE_UD | MOD_CLKSEL_0;
```

```
M5MAXCNT  = M0_MAX;
```

```
M5PWMCTRL = MOD_PWM_EN;
```

```
M5LOAD    = Desf_C2;
```

```
/*-----*/
```

```
/* Celda 3 */
```

```
//Relojes aun no definidos
```

```
M6CTRL    = MOD_SYNC_TO_MASTER | MOD_MODE_UD | MOD_CLKSEL_0;
```

```
M6MAXCNT  = M0_MAX;
```

```
M6PWMCTRL = MOD_PWM_EN;
```

```
M6LOAD    = Desf_A3;
```

```
M7CTRL    = MOD_SYNC_TO_MASTER | MOD_MODE_UD | MOD_CLKSEL_0;
```

```

M7MAXCNT  = M0_MAX;
M7PWMCTRL = MOD_PWM_EN;
M7LOAD    = Desf_B3;

M8CTRL    = MOD_SYNC_TO_MASTER | MOD_MODE_UD | MOD_CLKSEL_0;
M8MAXCNT  = M0_MAX;
M8PWMCTRL = MOD_PWM_EN;
M8LOAD    = Desf_C3;

/*-----*/
/* Celda 4 */

// Relojes aun no definidos

M9CTRL    = MOD_SYNC_TO_MASTER | MOD_MODE_UD | MOD_CLKSEL_0;
M9MAXCNT  = M0_MAX;
M9PWMCTRL = MOD_PWM_EN;
M9LOAD    = Desf_A4;

M10CTRL   = MOD_SYNC_TO_MASTER | MOD_MODE_UD | MOD_CLKSEL_0;
M10MAXCNT = M0_MAX;
M10PWMCTRL = MOD_PWM_EN;
M10LOAD   = Desf_B3;

M11CTRL   = MOD_SYNC_TO_MASTER | MOD_MODE_UD | MOD_CLKSEL_0;
M11MAXCNT = M0_MAX;
M11PWMCTRL = MOD_PWM_EN;
M11LOAD   = Desf_C3;

M12CTRL   = MOD_SYNC_TO_MASTER | MOD_MODE_UD | MOD_CLKSEL_0;
M12MAXCNT = M0_MAX;
M12PWMCTRL = MOD_PWM_EN;
M12LOAD   = 0;

M13CTRL   = MOD_SYNC_TO_MASTER | MOD_MODE_UD | MOD_CLKSEL_0;
M13MAXCNT = M0_MAX;
M13PWMCTRL = MOD_PWM_EN;
M13LOAD   = 0;

M14CTRL   = MOD_SYNC_TO_MASTER | MOD_MODE_UD | MOD_CLKSEL_0;
M14MAXCNT = M0_MAX;
M14PWMCTRL = MOD_PWM_EN;
M14LOAD   = 0;
/*-----*/

```

```
}
```

```

/*****
extern void Init_Adc(void)
{
    /* */

    /*-----*/
    /* ADC0: Synchronic start of conversion by M0 events. Sequential conversion
       * of its two multiplexed channels 1 and 2, Interruption Enable */
    ADC0CTRL = ADC_ST_M1MIN | ADC_SEQCNV | ADC_EOCINT_EN;

    /* ADC1: Synchronic start of conversion by M0 events. Sequential conversion
       * of its two multiplexed channels 1 and 2 */
    ADC1CTRL = ADC_ST_M1MIN | ADC_ST_M1MAX | ADC_SEQCNV | ADC_EOCINT_EN;
}

/*****
extern void Init_Iop(void)
{
    /* All IO Port are configured as inputs, but bit 4 that is an output. */
    IOP0DIR = 0x0010;
    /* Only the IOP0_00 is enabled to cause an event on the group IOP0L */
    /* Sólo IOP0_00 está habilitado para provocar un evento en el grupo IOP0L */
    IOP0EEN = 0x0001;

    /* Detection of rising edge at all Inputs in case of interruption events */
    IOP0EVT = 0xFFFF;

    /* Initial value on the output buffer */
    IOP0OUT = 0xAAAA;

    /* Other IOP are not used: left as input and with events disabled */
    IOP1DIR = 0x0000;
    IOP2DIR = 0x0000;
    IOP3DIR = 0x0000;
    IOP4DIR = 0x0000;
    IOP5DIR = 0x0000;
    IOP6DIR = 0x0000;
    IOP7DIR = 0x0000;
    IOP8DIR = 0x0000;

    IOP1EEN = 0x0000;
    IOP2EEN = 0x0000;
    IOP3EEN = 0x0000;
    IOP4EEN = 0x0000;
    IOP5EEN = 0x0000;

```

```

IOP6EEN = 0x0000;
IOP7EEN = 0x0000;
IOP8EEN = 0x0000;

/*-----*/
/* MANDATORY CONFIGURATION OF FPGA PORTS PF1, PF2 AND PF3 PIN FUNCTIONS. */
/*-----*/
/* PF1 pin function selection: all in FNC1 */
ACE_PINMUX_ESS_writeRegister(ACE_PINMUX_ESS_REG_00, 0x5555);
ACE_PINMUX_ESS_writeRegister(ACE_PINMUX_ESS_REG_01, 0x5555);
ACE_PINMUX_ESS_writeRegister(ACE_PINMUX_ESS_REG_02, 0x5555);
ACE_PINMUX_ESS_writeRegister(ACE_PINMUX_ESS_REG_03, 0x5555);
ACE_PINMUX_ESS_writeRegister(ACE_PINMUX_ESS_REG_04, 0x5555);

/* PF2 pin function selection: all in FNC0 */
ACE_PINMUX_ESS_writeRegister(ACE_PINMUX_ESS_REG_05, 0x0000);
ACE_PINMUX_ESS_writeRegister(ACE_PINMUX_ESS_REG_06, 0x0000);
ACE_PINMUX_ESS_writeRegister(ACE_PINMUX_ESS_REG_07, 0x0000);
ACE_PINMUX_ESS_writeRegister(ACE_PINMUX_ESS_REG_08, 0x0000);
ACE_PINMUX_ESS_writeRegister(ACE_PINMUX_ESS_REG_09, 0x0000);

/* PF3 pin function selection: all in FNC1 */
ACE_PINMUX_ESS_writeRegister(ACE_PINMUX_ESS_REG_10, 0x5555);
ACE_PINMUX_ESS_writeRegister(ACE_PINMUX_ESS_REG_11, 0x5555);
ACE_PINMUX_ESS_writeRegister(ACE_PINMUX_ESS_REG_12, 0x5555);
ACE_PINMUX_ESS_writeRegister(ACE_PINMUX_ESS_REG_13, 0x5555);
ACE_PINMUX_ESS_writeRegister(ACE_PINMUX_ESS_REG_14, 0x5555);

/* Exception of PF1 as PWM: pins 1, 5 and 8 are IOP used for IOP Demo */
/*
ACE_PINMUX_ESS_configPin(ACE_PINMUX_ESS_PF1, ACE_PINMUX_ESS_PIN_01,
                        ACE_PINMUX_ESS_FCN0);
ACE_PINMUX_ESS_configPin(ACE_PINMUX_ESS_PF1, ACE_PINMUX_ESS_PIN_05,
                        ACE_PINMUX_ESS_FCN0);
ACE_PINMUX_ESS_configPin(ACE_PINMUX_ESS_PF1, ACE_PINMUX_ESS_PIN_08,
                        ACE_PINMUX_ESS_FCN0);
*/
}

extern void Init_DS_LED(void)
{
    /* User Dip Switch 0 of DSP is enabled */
    ACE_USRIO_setupDs0();
    ACE_USRIO_setupDs1();
    ACE_USRIO_setupDs2();
    ACE_USRIO_setupDs3();

    ACE_USRIO_setupLd0();

```

```

    ACE_USRIO_setupLd1();
    ACE_USRIO_setupLd2();
    ACE_USRIO_setupLd3();
}

extern void InitEncEss(void)
{
    /* ENC0 ESS is used to obtain the user knob signal and cause parameters
    * variations in this demo.
    * ENC0 ESS is configured to have a synchronized read to the Minimum
    * Count event of the MOD0 ESS timer */
    ACE_ENC_ESS_configureDecoder(ACE_ENC_ESS_ENC0,
//definido en ace_ess_enc.h
                                //Mide solo en la cuenta mínima del MOD0 y no u
                                ACE_ENC_ESS_SYNC_READ_CMAX_CMIN,
//definido en ace_ess_enc.h ACE_ENC_ESS_SYNC_READ_CMAX_CMIN ACE_ENC_ESS_SYNC_READ
                                ACE_ENC_ESS_SYNC_READ_TO_MOD0,
//definido en ace_ess_enc.h
                                ACE_ENC_ESS_INDEX_SIGNAL_NO_EFFECT);
//definido en ace_ess_enc.h ACE_ENC_ESS_INDEX_SIGNAL_NO_EFFECT ACE_ENC_ESS_INDE

    /* ENC1 ESS is used as motor axis measurement */

    /*ACE_ENC_ESS_configureDecoder(ACE_ENC_ESS_ENC0,
//definido en ace_ess_enc.h
                                ACE_ENC_ESS_SYNC_READ_CMIN_ONLY,
//definido en ace_ess_enc.h
                                ACE_ENC_ESS_SYNC_READ_TO_MOD0,
//definido en ace_ess_enc.h
                                ACE_ENC_ESS_INDEX_SIGNAL_RESETS_COUNT);
//definido en ace_ess_enc.h
    */

    ACE_ENC_ESS_configureRadiansConversion(ACE_ENC_ESS_ENC0,
                                           ENC_PPR, //definido en foc_i
                                           POLEPAIRS); //definido en foc_i

}

```

B.3. código de archivo PH4 app.c

```

#include "stdint.h"

/*****
//Nombre de la función de la interrupción relacionada con Timers y/o ADCs

```

```

extern void ADC_fpgaSyncInterrupt_isr(void);

/*****
 *
 * Definición constantes
 *
 */

#define M0_MAX 1000 //Cuenta máxima moduladores

#define Desf_A2 250
#define Desf_B2 0
#define Desf_C2 0

#define Desf_A3 500
#define Desf_B3 0
#define Desf_C3 0

#define Desf_A4 750
#define Desf_B4 0
#define Desf_C4 0

#define PI 3.1415926535897932384626433
#define sqrt_2 1.41421356237

#define pi 3.1415926535897932384626433

//#define i_max 6.0000000000
//#define VDC 100.0000000000
//#define VDC_2 280.0000000000

//Valores encoder
#define ENC_PPR (4*8192u) // 4*PPR en realidad va aquí

/*
 * Induction machine number of pole pairs.
 */
#define POLEPAIRS (2)

/*
 * Coeficientes controladores
 *
 */

```

```

//Valores controlador de corriente
//#define C1dq      0.866
//#define C2dq      0.0324
//#define kpdq      8

#define C1dq      0.855
#define C2dq      -0.0095
#define kpdq      15

//#define C1dq      0.9385//0.95//0.8607
//#define C2dq      0.0122//0.0072//0.01//0.0199
//#define kpdq      5//5//7

//#define C1dq      0.8497
//#define C2dq      -0.0077
//#define kpdq      19.5

/*-----*
 *                      Constantes control
 *
 *-----*/

//revisar de que frecuencia se refiere
#define Ts      0.0002

#define id_max  5.4           //Peak nominal current
#define iq_max  0             //Nominal torque

#define h      1.0000000000000000e-004
#define x2_3    6.666666666666667e-001

#define Lf      0.0200
#define fg      50

```

Bibliografía

- [1] R. Babaloo et al. «A new fault tolerant method for cascaded H-bridge inverters based on peak reduction post-fault control method». En: *2019 10th International Power Electronics, Drive Systems and Technologies Conference (PEDSTC)*. 2019, págs. 671-676.
- [2] S. Ouni et al. «A decision algorithm to select a proper control method for a cascaded multilevel inverter under faulty condition». En: *IECON 2015 - 41st Annual Conference of the IEEE Industrial Electronics Society*. 2015, págs. 004830-004835.
- [3] S. Ouni et al. «Improvement of post-fault performance of a cascaded H-bridge multilevel inverter». En: *IEEE Transactions on Industrial Electronics* 64.4 (2017), págs. 2779-2788.
- [4] K. Thantirige et al. «Fault-tolerant cascaded multi-level inverter with improved output quality». En: *2016 IEEE International Conference on Sustainable Energy Technologies (ICSET)*. 2016, págs. 332-337.
- [5] L. Sun et al. «Suppression of real power back flow of non-regenerative cascaded h-bridge inverters operating under faulty conditions». En: *2014 IEEE Energy Conversion Congress and Exposition (ECCE)*. Sep. de 2014, págs. 3075-3082.
- [6] A. Caballero. «Una estrategia de control óptimo para la operación eficiente de convertidores multinivel en cascada en condiciones degradadas». Memoria de Titulación para optar al título de Ingeniero Civil Electricista. Valparaíso, Chile: Universidad Técnica Federico Santa María, 2023.
- [7] F. Carnielutti, H. Pinheiro y C. Rech. «Generalized carrier-based modulation strategy for cascaded multilevel converters operating under fault conditions». En: *IEEE Transactions on Industrial Electronics* 59.2 (feb. de 2012), págs. 679-689.
- [8] F. Calderon y A. Angulo. *Estrategia de sobremodulación en convertidores fuente de tensión basada en técnicas de control óptimo*. Propuesta de proyecto PIIC 2020. 2020.
- [9] B. W. S. Du, A. Dekka y N. Zargari. *Modular Multilevel Converters: Analysis, Control and Applications*. IEEE Press, John Wiley y Sons, Inc., 2018.
- [10] F. L. Lewis y V. L. Syrmos. «Optimal control». En: *Wiley-Interscience*. Second. 1995, págs. 129-214.
- [11] J. P. Hespanha. *LQG/LQR Control Design*. Disponible en línea. 2014.
- [12] M. Norambuena. «Control dual aplicado a un convertidor multinivel flying capacitor». Tesis de Magíster en Ciencias de la Ingeniería Eléctrica. Valparaíso, Chile: Universidad Técnica Federico Santa María, 2013.

-
- [13] D. Barrios. *Control digital de velocidad para un banco de pruebas*. Trabajo técnico no publicado. 2007.
 - [14] R. H. Cuzmar, J. Pereda y R. P. Aguilera. «Phase-shifted model predictive control to achieve power balance of CHB converters for large-scale photovoltaic integration». En: *IEEE Transactions on Industrial Electronics* 68.10 (2021), págs. 9619-9629.
 - [15] B. Wu y M. Narimani. *High-Power Converters and AC Drives*. IEEE Press, John Wiley y Sons, Inc., 2017.
 - [16] A. Mora. «Control de un Motor de Inducción Alimentado por un Convertidor Multicelda en Condiciones de Falla». Tesis de Magíster en Ciencias de la Ingeniería Eléctrica. Valparaíso, Chile: Universidad Técnica Federico Santa María, 2010.
 - [17] J. Holtz. *Pulsewidth Modulation for Electronic Power Conversion*. Electrical Machines y Drives Conference (EMD), 1994.
 - [18] A. Mora, P. Lezana y J. Juliet. «Control scheme for an induction motor fed by a cascade multicell converter under internal fault». En: *IEEE Transactions on Industrial Electronics* 61.11 (2014), págs. 5948-5955.
 - [19] T. Geyer. *Model Predictive Control of High Power Converters and Industrial Drives*. Wiley, 2017.