



UNIVERSIDAD TECNICA FEDERICO SANTA MARIA

Tesis de Magíster

Automatización del diseño de reguladores de bajo drop-out en sistemas DC-DC integrados: una metodología estructurada y sistemática independiente de la tecnología de fabricación

Tesis para optar al grado/título de
Magister en Ciencias de la Ingeniería Electrónica/Ingeniero Civil
Electrónico

Alumno

Daniel Benjamín Arévalos Ortiz

Guía de Tesis/Profesor Supervisor

Dr. Christian Rojas

Revisores/Comisión Co-Referente

Dr. Jorge Marín

Dr. Gonzalo Carvajal

Dr. Jorge Gómez

5 de mayo, 2025, Valparaíso, Chile

*No necesitas ser un experto para ser un gran artista.—
-Rui Torres, Aplica para todo.*

*Dedicado a mis padres Manuel y Alejandra, a mi hermana Mical y mi
pareja Belén. Por todo lo que han hecho por mi.*

AGRADECIMIENTOS

QUISIERA expresar mi más grande gratitud a todos quienes estuvieron conmigo en este camino. Es imposible nombrar a cada uno de los que, durante estos años, han sido parte de mi vida. Sin embargo, a cada uno de ellos les doy las gracias por inspirarme y ayudarme a cumplir mis objetivos.

Quiero agradecer a mi familia, padres y hermana, quienes nunca han dudado de mí. Todo lo que he logrado ha sido gracias a ustedes: a mi padre, por ser mi inspiración para nunca rendirme; a mi madre, por siempre recordarme que soy una persona amada y afortunada; y a mi hermana, por acompañarme en aventuras que me llenaron de experiencias y que no podría haber hecho sin ella. También quiero agradecer a quien considero familia, mi pareja Belén, por acompañarme en los momentos más difíciles de esta etapa, por trasnochar conmigo, por siempre levantarme el ánimo y por ser mi amuleto (cuando ella está cerca, todo me funciona).

Me gustaría hacer una mención especial a Julio y Cristian, quienes durante estos 8 años de carrera siempre han estado para mí, aconsejándome y ayudándome cuando lo necesitaba. Los admiro, y parte importante de mis logros comenzaron con un empujoncito de parte de ustedes. No puedo dejar fuera a Joaquín, Yangzi y Andrés, amigos que hicieron este camino más fácil.

Y quiero agradecer no sólo a mis profesores guías Jorge Marín y Christian Rojas, quienes siempre confiaron en mí y contaron conmigo para los nuevos desafíos que se planteaban, sino también a todo el grupo de estudiantes y tesisistas que tuvimos la valentía de trabajar por la microelectrónica en Chile.

Finalmente, me gustaría agradecer a la Agencia Nacional de Investigación y Desarrollo (ANID/Fondecyt Regular bajo el proyecto 1240537, AC3E bajo el proyecto ANID/AFB240002 y Fondecyt de Iniciación 11240947 - Robust and Area-Efficient Time-Based Sensor Interface Integrated Circuits for Harsh-Environment Applications”) por el financiamiento aportado a esta investigación mediante sus proyectos, y a la Universidad Técnica Federico Santa María como institución, por facilitar la infraestructura y permitir mi formación académica para lograr desarrollar esta investigación.

RESUMEN

EN la presente tesis se plantea una metodología innovadora para la exploración del espacio de diseño y la automatización del dimensionamiento (ancho y largo) de cada uno de los transistores presentes en los reguladores lineales de bajo voltaje de caída (low dropout, LDOs). El objetivo principal es desarrollar un método estructurado y sistemático que simplifique el complejo desafío del diseño, no sólo de LDOs en particular, sino también de circuitos analógicos integrados en general. Esto se logra mediante la división del circuito en módulos más simples utilizando modelos circuitales aproximados que representan de buena forma el comportamiento del sistema bajo análisis, cuyas especificaciones son derivadas de requerimientos a nivel circuito.

El enfoque propuesto permite no sólo reducir la complejidad de los circuitos, sino también establecer las bases de un método que permitiría realizar exploraciones de diseño con distintas formas de implementación de los bloques básicos debido a su naturaleza modular.

Esta tesis busca contribuir al campo de diseño de microelectrónica analógica, proporcionando un marco de trabajo que facilite la automatización y optimización del diseño de LDOs.

Palabras Claves

LUTs, MNA, Automatización del dimensionamiento, Diseño estructurado, Diseño sistemático, LDO.

ABSTRACT

THIS thesis proposes an innovative methodology for design space exploration and the automation of transistor sizing (width and length) in low dropout linear voltage regulators (LDOs). The main objective is to develop a structured and systematic method that simplifies the complex challenge of analog design, not only for LDOs specifically, but also for analog integrated circuits in general. This is achieved by dividing the circuit into simpler modules using approximate circuit models that accurately represent the behavior of the system under analysis, whose specifications are derived from circuit-level requirements.

The proposed approach not only reduces the complexity of circuits but also lays the foundation for a method that enables design exploration using different implementations of basic building blocks due to its modular nature.

This thesis aims to contribute to the field of analog microelectronic design by providing a framework that facilitates the automation and optimization of LDO design.

Keywords

LUTs, MNA, Transistor sizing automation, Structured design, Systematic design, LDO.

ÍNDICE

AGRADECIMIENTOS	I
RESUMEN	II
ABSTRACT	III
ÍNDICE DE FIGURAS	VIII
ÍNDICE DE TABLAS	XI
ABREVIACIONES	XII
1. INTRODUCCIÓN	1
1.1. Desafíos y Avances en el Diseño de Circuitos Integrados Análogos	1
1.1.1. Enfoques Modernos para la Automatización del Diseño Análogo	2
1.2. Reguladores de Bajo Dropout (LDOs): características, requisitos técnicos y avances en automatización	4
1.2.1. Requisitos técnicos clave para el diseño de LDOs	5
1.2.2. Avances en la automatización del dimensionamiento del LDO	6
1.3. Impacto de Herramientas y PDKs Open Source en el Diseño de ICs	7
1.4. Hipótesis	8
1.5. Objetivo General, Específicos, Alcances y Limitaciones	8
1.5.1. Objetivo general	8
1.5.2. Objetivos específicos	8
1.5.3. Alcances y limitaciones	9
1.6. Resumen de Capítulos	10
2. DISEÑO ESTRUCTURADO DE CIRCUITOS INTEGRADOS ANÁLOGOS	11
2.1. Principios del Diseño Estructurado	12

IV

2.2.	Librería de estructuras básicas	13
2.3.	Modularización de circuitos	14
2.4.	Derivación de especificaciones	16
2.5.	Características de las primitivas	17
2.5.1.	Estructuras de transconductancia	18
2.5.1.1.	Configuración de Fuente común	18
2.5.1.2.	Configuración de cascode	19
2.5.1.3.	Par diferencial simple	21
2.5.1.4.	Par diferencial cascode	22
2.5.2.	Estructuras de carga	22
2.5.2.1.	Espejo de corriente simple	23
2.5.2.2.	Espejo de corriente cascode	23
2.5.3.	Estructuras de polarización	24
2.5.3.1.	Polarización de voltaje	24
2.5.3.2.	Polarización de corriente	25
2.6.	Ejemplo de Aplicación: Amplificador Operacional de Dos Etapas	26
2.7.	Resumen del Capitulo	28
3.	DISEÑO SISTEMÁTICO DE CIRCUITOS INTEGRADOS ANÁLOGOS	29
3.1.	Principios del diseño sistemático	31
3.2.	Técnica de eficiencia de transconductancia g_m/I_D	33
3.3.	Generación de tablas de búsqueda	36
3.4.	Ejemplo de Funcionamiento del Diseño Sistemático	37
3.5.	Resumen del Capitulo	42
4.	METODOLOGÍA DE AUTOMATIZACIÓN DEL DIMENSIONAMIENTO PROPUESTA	43
4.1.	Etapas 1: Pre-exploración	44
4.1.1.	Modularización	45
4.1.2.	Definición de Tesbenches	46
4.1.3.	Generación de tablas de búsqueda	49
4.2.	Etapas 2: Exploración global	50
4.2.1.	Generación del espacio de diseño de primitivas	52
4.2.2.	Optimización	54
4.3.	Etapas 3: Exploración local	55
4.3.1.	Análisis simbólico	57
4.3.1.1.	Análisis Nodal Modificado	57
4.3.1.2.	Cálculo de soluciones	58

4.4. Resumen del Capitulo	58
5. APLICACIÓN DE LA METODOLOGÍA PROPUESTA AL REGULADOR LDO	60
5.1. Funcionamiento y especificaciones del regulador LDO	61
5.1.1. Estabilidad del LDO	63
5.1.2. Análisis de especificaciones	64
5.2. Objetivos de diseño	65
5.3. Etapa 1: Pre-exploración	69
5.3.1. Descomposición del LDO	69
5.3.2. Definición de testbenches	70
5.3.3. Generación de LUTs	72
5.4. Etapa 2 y 3: Exploración global y local	73
5.4.1. Transición 1	73
5.4.2. Transición 2	75
5.4.3. Transición 3	76
5.4.4. Transición 4	76
5.4.5. Transición 5	77
5.4.6. Transición 6	77
5.4.7. Transición 7	78
5.5. Evaluación de topologías alternativas en distintas tecnologías	81
5.6. Recopilación y conclusiones de implementación	82
5.7. Resumen del Capitulo	85
6. CONCLUSIONES	86
6.1. Resumen y conclusiones	86
6.2. Trabajo futuro	87
A. PUBLICACIONES GENERADAS	88
B. ARCHIVOS DE IMPLEMENTACIÓN	90
B.1. Pre-exploración	90
B.2. Etapa 2 y 3: Exploración global y local	90
B.3. Extras	91
C. TABLAS DE GRADOS DE LIBERTAD	93
D. ANÁLISIS NODAL MODIFICADO	96
D.1. Análisis Nodal (NA)	96
D.2. Analisis nodal modificado (MNA)	96

Índice de figuras

1.1. Bloques típicos de un SoC. Bloques digitales en azul. Bloques análogos en rojo. Bloques de señal mixta en verde.	2
1.2. Topología básica del LDO.	4
1.3. Herramientas de diseño de circuitos integrados de código abierto.	7
2.1. Tabla de primitivas.	13
2.2. Modularización del amplificador operacional de dos etapas.	15
2.3. Macromodelo del amplificador	16
2.4. Modelo simplificado de pequeña señal del transistor.	18
2.5. Modelos fuente común	19
(a). Modelo pequeña señal de fuente común	19
(b). Modelo simplificado de fuente común	19
2.6. Modelos configuración cascode	20
(a). Modelo pequeña señal configuración cascode	20
(b). Modelo simplificado configuración cascode	20
2.7. Modelo simplificado par diferencial.	21
2.8. Modelos espejos de corriente	23
(a). Modelo pequeña señal espejo de corriente	23
(b). Modelo simplificado espejo de corriente	23
2.9. Modelo simplificado espejo de corriente como fuente.	25
2.10. Amplificador de dos etapas modularizado	26
2.11. Amplificador de dos etapas modularizado con primitivas simplificadas.	27
3.1. Regiones de operación de inversión del transistor [66].	31
3.2. Curvas tecnología SKY130.	34
3.3. Curvas tecnología GF180.	35
3.4. Curvas tecnología IHP-SG13G2.	35
3.5. Curvas de ganancia para cada tecnología.	36

3.6.	Curvas de frecuencia de tránsito para cada tecnología.	36
3.7.	Proceso de generación de LUTs [38].	37
3.8.	Circuito del ejemplo de funcionamiento del diseño sistemático.	38
3.9.	Resultados de exploración del ejemplo de funcionamiento del diseño sistemático	39
(a).	Espacio de diseño de ganancia	39
(b).	Espacio de diseño de la ganancia-ancho de banda	39
3.10.	Simulaciones SPICE de los 4 puntos de optimización.	41
4.1.	Diagrama de las etapas de la metodología propuesta.	44
4.2.	Diagrama etapa 1.	45
4.3.	Árbol jerárquico del amplificador operacional de dos etapas.	46
4.4.	Testbenches de ganancia de amplificación	47
(a).	Testbench de ganancia de amplificación macromodelo amplificador de 2 etapas	47
(b).	Testbench de ganancia de amplificación macromodelo OTA de una etapa	47
(c).	Testbench de ganancia de amplificación macromodelo amplificador simple	47
4.5.	Testbench de resistencia de salida para el amplificador simple.	47
4.6.	Diagrama etapa 2.	50
4.7.	Espacio de diseño primitiva PMOS fuente común.	53
4.8.	Topología básica de LDO con OTA de Miller de una etapa.	54
4.9.	Diagrama etapa 3.	56
4.10.	Modelo de pequeña señal del ejemplo de la Sección 3.4.	57
5.1.	Casos de operación del LDO	62
(a).	Caso 1. Bajo carga nominal	62
(b).	Caso 2. Sin carga	62
5.2.	Diagramas de bode. w_{pd} : polo dominante, w'_{pd} : polo dominante compensado, w_{nd} : polo no dominante, w'_{nd} : polo no dominante compensado, w_u : frecuencia de ganancia unitaria	63
(a).	Bode caso 1.	63
(b).	Bode caso 2 sin compensación	63
(c).	Bode caso 2 con compensación	63
5.3.	LDO en sistemas DC-DC [54]	65
5.4.	Topologías a explorar	68
(a).	LDO con OTA de Miller de dos etapas.	68
(b).	LDO con OTA de una etapa y par diferencial cascode.	68
(c).	LDO con OTA telescópica	68

5.5. Árbol de jerarquía LDO.	69
5.6. Testbenches LDO	70
(a). Testbench PSRR	70
(b). Testbench margen de fase y ganancia de lazo abierto	70
5.7. Testbenches OTA	71
(a). Testbench ganancia	71
(b). Testbench resistencia de salida	71
5.8. Flujo de transiciones definido por la exploración global.	73
5.9. Espacio de diseño exploración local de la transición 1.	74
5.10. Espacio de diseño exploración local de la transición 2.	75
5.11. Espacio de diseño de exploración local de la transición 3.	76
5.12. Espacio de diseño de exploración local de la transición 4.	77
5.13. Espacio de diseño de exploración local de la transición 5.	78
5.14. Espacio de diseño de exploración local de la transición 6.	78
5.15. Espacio de diseño de exploración local de la transición Final.	79
5.16. Comparaciones de simulación con resultados de exploración para el LDO con OTA de 2 etapas y tecnología IHP-SG13G2	80
5.17. Resultados exploración OTA de una etapa con par diferencial cascode y OTA telescópica en la tecnología IHP-SG13G2	81
(a). Espacio de diseño ganancia LDO con OTA de una etapa y par diferencial cascode	81
(b). Espacio de diseño ganancia LDO con OTA telescópica	81
5.18. Puntos de la frontera de Pareto resultantes de la exploración de las 3 topologías en las 3 tecnologías.	83
5.19. Tiempos de ejecución de la metodología según número de puntos evaluados	84

Índice de tablas

3.1. Especificaciones del circuito del ejemplo de funcionamiento del diseño sistemático.	38
3.2. Puntos de optimización del circuito explorado	40
3.3. Errores entre resultados de exploración y simulación SPICE de los 4 puntos de optimización.	41
4.1. Ejemplo de elementos adicionales de los testbenches	48
5.1. Objetivos de diseño del LDO	67
5.2. Barrido de parámetros generación de LUTs	72
5.3. Especificaciones derivadas de la primera transición	74
5.4. Especificaciones derivadas de segunda transición.	76
5.5. Especificaciones derivadas de la cuarta transición.	77
5.6. Dimensiones diseño final	80
5.7. Tabla de errores entre exploración y simulación para las tres tecnologías. .	82
5.8. Comparación del diseño final con el estado del arte	84
C.1. Grados de libertad Transición 1	93
C.2. Grados de libertad Transición 2	94
C.3. Grados de libertad Transición 3	94
C.4. Grados de libertad Transición 4.	95
C.5. Grados de libertad Transición 6	95

ABREVIACIONES

Mayúsculas

IC	: Integrated Circuit
SoC	: System-on-Chip
RF	: Radio Frequency
ADC	: Analog-to-Digital Converter
DAC	: Digital-to-Analog Converter
AI	: Artificial Intelligence
DIBL	: Drain-Induced Barrier Lowering
LDO	: Low Dropout Regulator
MNA	: Modified Nodal Analysis
LUT	: Look-Up Table
EDA	: Electronic Design Automation
OTA	: Operational Transconductance Amplifier
PSRR	: Power Supply Rejection Ratio
PM	: Phase Margin
PDK	: Process Design Kit
SPICE	: Simulation Program with Integrated Circuit Emphasis
CAD	: Computer-Aided Design
GDS	: Graphic Data System
DSP	: Digital Signal Processor

Minúsculas

dc	: direct current
ac	: alternating current

INTRODUCCIÓN

EL contexto que motiva el trabajo de la presente tesis y el estado del arte se discuten al inicio del capítulo, seguido de la formulación de la hipótesis. Luego, se definen el objetivo general y los objetivos específicos que guían la construcción del documento final. Finalmente, se describen los alcances y limitaciones del trabajo.

1.1. Desafíos y Avances en el Diseño de Circuitos Integrados Análogos

El diseño de circuitos integrados (integrated circuits, ICs) análogos enfrenta numerosos desafíos en el contexto tecnológico actual que exige soluciones cada vez más eficientes y robustas, especialmente en términos de consumo de energía, uso de área y tolerancia a variaciones [1]. Estos circuitos son fundamentales para conectar los sistemas electrónicos con el mundo físico, ya que permiten acondicionar señales y convertir datos, posibilitando la interacción entre sensores, actuadores, antenas y bloques digitales [2]. A pesar de esta importancia, el diseño análogo al día de hoy aún está limitado por la falta de abstracción y herramientas que permitan la simplificación del proceso de diseño y que promuevan un flujo estándar de diseño [3, 4].

Un claro ejemplo de estos circuitos son los ICs modernos presentes en los sistemas en chip (system-on-chip, SoC), que integran módulos de gran complejidad como digitales/memoria, periféricos, radiofrecuencia (RF) y gestión de energía, diseñados para funcionalidades avanzadas [5–7]. El objetivo principal de este tipo de sistemas no es sólo la eficiencia en todas sus aristas, sino también diseñar de forma modular promoviendo la reutilización, portabilidad entre nodos tecnológicos y la simplificación de sistemas complejos actuales. Por ello, gran parte de estas funcionalidades se implementan con electrónica digital, ya que esta permite procesar y almacenar información de forma eficiente, integrar herramientas de

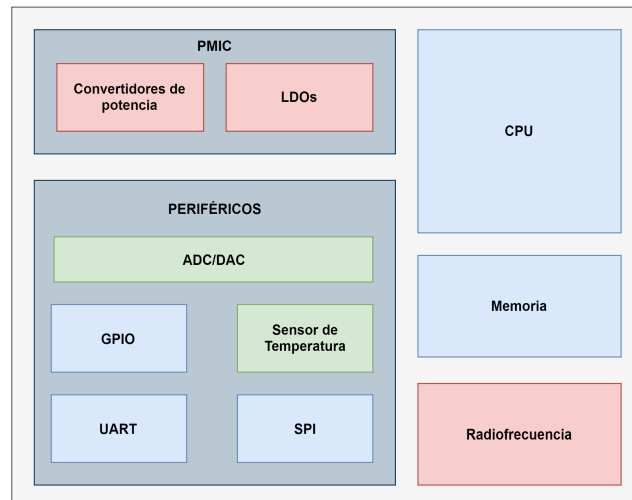


Figura 1.1: Bloques típicos de un SoC. Bloques digitales en azul. Bloques analógicos en rojo. Bloques de señal mixta en verde.

automatización avanzadas y lograr una mayor escalabilidad en sistemas complejos [8,9]. Sin embargo, existen factores que restringen esta tendencia: los atributos analógicos intrínsecos de la realidad física requieren del acondicionamiento de señales analógicas y de la conversión de datos, haciendo que los sistemas analógicos y de señal mixta sean inevitables [10]. De esta forma, aplicaciones comunes como los convertidores analógico-digiales (analog-to-digital converter, ADC) y digital-analógicos (digital-to-analog converter, DAC), sistemas de comunicación inalámbrica y sensores inteligentes dependen críticamente de estos sistemas. Por otro lado, la búsqueda de funcionalidades analógicas eficientes en términos de energía son fundamentales para los aceleradores de inteligencia artificial (artificial intelligence, AI), que se han convertido en un componente esencial en aplicaciones modernas [11,12]. La Figura 1.1 presenta los distintos bloques digitales, analógicos, y de señal mixta en un SoC típico agrupados por los colores azul, rojo y verde respectivamente [13,14].

A pesar de la clara relevancia de los circuitos integrados analógicos, su flujo de diseño aún está muy por detrás de la automatización y sistematización del flujo digital, convirtiéndose en el cuello de botella para la productividad de los equipos de diseño [15]. En consecuencia, optimizar la productividad y estandarizar el diseño de ICs analógicos es un desafío clave para la industria de semiconductores actual [16].

1.1.1. Enfoques Modernos para la Automatización del Diseño Analógico

El proceso de automatización de circuitos analógicos se compone de tres etapas fundamentales. La primera es la automatización de la generación de topologías de circuitos

análogos, en esta se busca generar topologías (a partir de bloques análogos básicos) customizadas para cumplir con los distintos requerimientos de diseño de un mismo bloque funcional [17, 18]. La segunda corresponde a la automatización del dimensionamiento, que consiste en determinar el ancho (W) y largo (L) de los transistores, resistencias y capacitancias de un circuito determinado en función de las especificaciones del sistema [19]. Finalmente, la tercera y última etapa corresponde a la automatización del layout, donde se busca generar distribuciones físicas eficientes, minimizando el impacto de efectos parásitos eléctricos y errores de fabricación, además de optimizar el área y el rendimiento del diseño [20].

La automatización del dimensionamiento puede abordarse desde dos enfoques principales: el basado en el conocimiento y el basado en la optimización. El primero, considerado el más antiguo, sistematiza el diseño mediante planes desarrollados a partir de la experiencia de diseñadores expertos, integrando ecuaciones de diseño y metodologías para determinar dimensiones que cumplan con los requisitos de funcionalidad y rendimiento [21, 22]. Por otro lado, se encuentran los métodos basados en optimización, los cuales se dividen en dos categorías: aquellos basados en ecuaciones y aquellos basados en simulación. Los primeros emplean ecuaciones analíticas que permiten tiempos de ejecución rápidos, aunque su desarrollo y mantenimiento puede ser costoso y su precisión limitada [23, 24]. En cambio, los métodos basados en simulación, como el uso de herramientas como SPICE, ofrecen evaluaciones más precisas del rendimiento del circuito, aunque con mayores tiempos de ejecución [25, 26]. Actualmente, este último es el más utilizado debido al gran aumento en el número de soluciones que utilizan inteligencia artificial, cuyas redes son entrenadas con el método basado en simulaciones [27–29].

Una vez definido el dimensionamiento, el siguiente paso es la automatización del layout, donde el diseño físico se optimiza para la manufactura y el rendimiento del circuito. Este proceso enfrenta desafíos adicionales, como la reducción de efectos parásitos y la optimización del área, garantizando a su vez la reproducibilidad en la fabricación [30–33]. Por ejemplo, herramientas como OpenFASOC [34], que genera layouts a partir de especificaciones de alto nivel, han sido utilizadas para automatizar circuitos como DLDOs (Digital Low Dropout Regulators) y sensores de temperatura, mientras que ALIGN [35], basado en reglas estructuradas y reconocimiento jerárquico, ha demostrado su capacidad para generar layouts de amplificadores operacionales, referencias de voltaje y otros bloques analógicos fundamentales de manera precisa y eficiente. Por otro lado, innovaciones como interfaces basadas en lenguaje natural también han simplificado significativamente este proceso, haciéndolo más accesible y adaptativo [36].

A pesar de estos avances, sigue existiendo una brecha significativa en la automatización del dimensionamiento, ya que aún no se ha desarrollado una metodología que pueda escalar de manera efectiva con la creciente complejidad de los circuitos analógicos modernos.

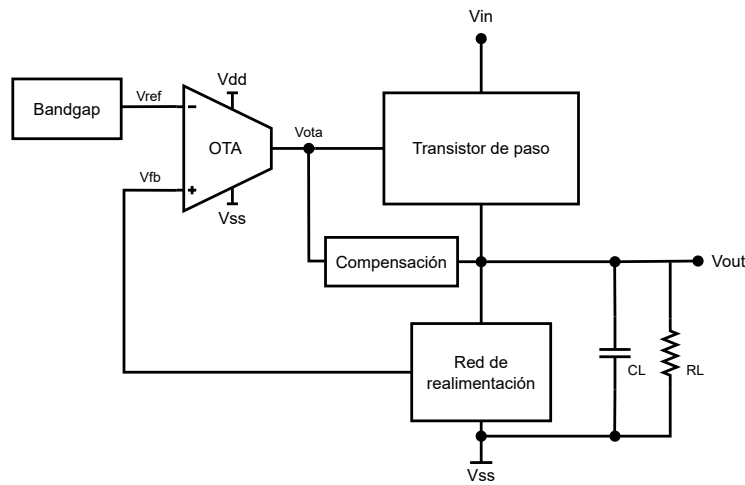


Figura 1.2: Topología básica del LDO.

Además, la automatización del dimensionamiento resulta particularmente crítica, ya que define las propiedades eléctricas fundamentales del circuito, impactando directamente su desempeño final. En contraste, la automatización del layout, si bien presenta desafíos relevantes en términos de manufactura, depende en gran medida de un dimensionamiento preciso para generar distribuciones físicas eficientes. Esto hace que la optimización del dimensionamiento sea un paso clave antes de cualquier automatización del layout, justificando así el enfoque de esta tesis en mejorar esta etapa del proceso de diseño.

En este contexto, la presente tesis propone una metodología enfocada en la automatización del dimensionamiento, abordando esta limitación mediante la integración de dos conceptos fundamentales que, si bien han sido ampliamente utilizados en la literatura, no han sido combinados en una misma metodología: el diseño estructurado [37] y el diseño sistemático [38]. Dada su importancia central en el enfoque propuesto, estos conceptos serán abordados en detalle en los capítulos 2 y 3, donde se explicará su rol en la metodología y su aplicación dentro del proceso de automatización.

1.2. Reguladores de Bajo Dropout (LDOs): características, requisitos técnicos y avances en automatización

Los reguladores de bajo dropout (LDOs) son bloques fundamentales en los circuitos integrados modernos, especialmente en sistemas con restricciones energéticas como dispositivos IoT, wearables y aplicaciones móviles. Su principal función es proporcionar un voltaje de salida estable y regulado, a partir de una fuente de alimentación variable,

asegurando un funcionamiento eficiente de los módulos conectados. Además, los LDOs desempeñan un rol clave en el desacople del canal de potencia, minimizando la interferencia entre módulos digitales, analógicos y RF [39, 40]. Entre las implementaciones de LDO, existen los LDO digitales [41] y los LDO analógicos [42], dependiendo de los objetivos y las restricciones. Este trabajo se desarrollará sobre un LDO análogo, por lo tanto, cada vez que se hable del regulador, se está haciendo referencia a este último.

La Figura 1.2 muestra la topología básica del LDO, la cual está compuesta de 5 bloques principales: el amplificador de error, el transistor de paso, la red de alimentación, la referencia de voltaje (Bandgap) y el bloque de compensación. El amplificador de error compara el voltaje de realimentación con una de referencia establecida por el bandgap y genera una señal de control que ajusta el voltaje de compuerta del transistor de paso, permitiendo así regular el voltaje de salida, mientras que la compensación mejora la estabilidad del circuito. Estos bloques le permiten actuar como un regulador de corriente, permitiendo el flujo necesario para mantener un voltaje de salida constante a pesar de variaciones de carga o de alimentación. Cabe destacar que, de los cinco bloques que componen el LDO, en este trabajo solo se consideran cuatro, excluyendo el generador de referencia (bandgap). En su lugar, se asume un voltaje de referencia ideal.

El diseño de LDOs presenta desafíos únicos, ya que debe equilibrar requisitos de alta eficiencia, bajo rizado, estabilidad y un área mínima en chip. Estas demandas se intensifican en aplicaciones de alta integración, donde los LDOs deben adaptarse a espacios limitados mientras cumplen con estrictas especificaciones de rendimiento [43]. Como resultado, los LDOs representan un caso de estudio apropiado para explorar metodologías avanzadas de diseño estructurado y sistemático.

1.2.1. Requisitos técnicos clave para el diseño de LDOs

El diseño de los reguladores de bajo dropout requiere cumplir con especificaciones técnicas estrictas que garanticen su desempeño en aplicaciones críticas. A continuación se presentan, de forma breve, las principales figuras de mérito del diseño, llamados parámetros de diseño de aquí en adelante. En el capítulo 5 se analiza en detalle el estado del arte y las definiciones formales de cada una.

- **Eficiencia de potencia:** Relación entre la potencia entregada a la carga y la consumida desde la fuente. Es clave en aplicaciones con restricción energética.
- **Eficiencia de corriente:** Relación entre la corriente de salida útil y la corriente total consumida por el regulador. Importante en cargas de bajo consumo.
- **PSRR (Power Supply Rejection Ratio):** Capacidad del regulador para rechazar variaciones provenientes de la fuente de alimentación.

- **Regulación de carga:** Estabilidad del voltaje de salida ante cambios en la corriente de carga.
- **Regulación de línea:** Estabilidad del voltaje de salida ante variaciones en el voltaje de entrada.
- **Ruido de salida:** Nivel de ruido presente en la salida, relevante en aplicaciones sensibles a señales pequeñas.
- **Respuesta transitoria:** Tiempo de reacción del regulador frente a perturbaciones rápidas en la carga o la entrada.
- **Estabilidad:** Garantiza que el sistema no presente oscilaciones bajo condiciones de operación y carga variables.
- **Área:** Espacio ocupado por el regulador dentro del circuito integrado. Importante en diseños de alta densidad.

Estos parámetros hacen que el LDO sea un bloque funcional ideal para probar metodologías avanzadas de diseño, combinando optimización y flexibilidad en el desarrollo de circuitos integrados.

1.2.2. Avances en la automatización del dimensionamiento del LDO

La automatización del dimensionamiento de LDOs ha avanzado significativamente, integrando diversos enfoques para optimizar su rendimiento y eficiencia. Los métodos basados en simulaciones, como los realizados con SPICE, permiten evaluar el desempeño del circuito de manera precisa, aunque con un alto costo computacional [44]. Por otro lado, los enfoques sistemáticos que utilizan tablas de búsqueda precomputadas (Look up Tables, LUTs) han demostrado ser eficaces para capturar tanto el comportamiento de señales pequeñas como grandes, reduciendo las iteraciones necesarias en el diseño [45,46].

Además, herramientas modernas basadas en inteligencia artificial, como las redes neuronales y el aprendizaje por refuerzo, han permitido optimizar múltiples parámetros de diseño simultáneamente, como el PSRR, la regulación de carga y el consumo de potencia. Estas técnicas no sólo aceleran el proceso de diseño, sino que también facilitan la transferencia de conocimientos entre diferentes topologías y nodos tecnológicos [47,48].

Los estudios recientes sobre la automatización del dimensionamiento de LDOs han basado sus metodologías en una topología específica, lo que dificulta la aplicación de sus métodos a otras configuraciones sin un esfuerzo significativo, un tiempo considerable y un conocimiento previo detallado. Estas limitaciones convierten al LDO en un caso de estudio adecuado para la metodología propuesta, permitiendo evaluar su capacidad para explorar y optimizar diferentes escenarios de diseño. Además, aunque en esta tesis no se

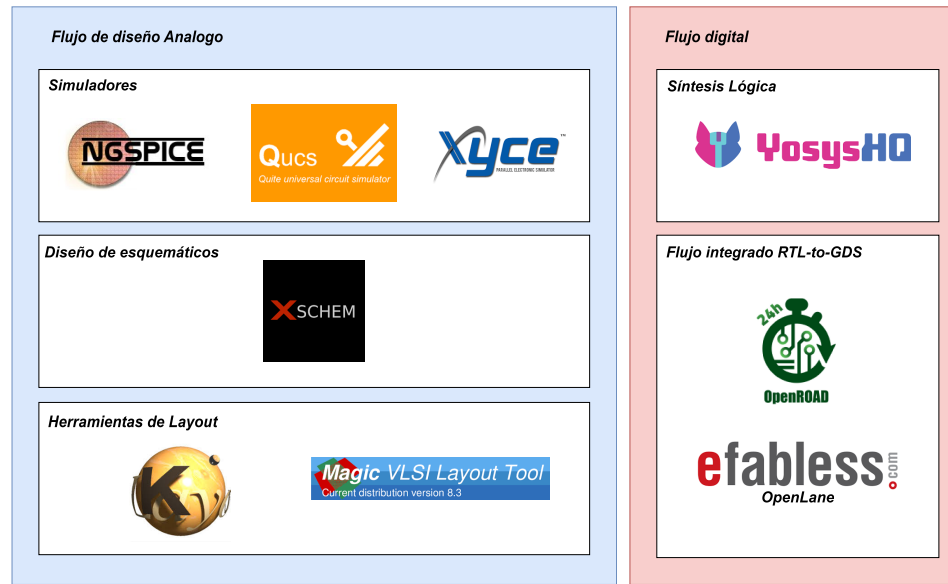


Figura 1.3: Herramientas de diseño de circuitos integrados de código abierto.

realiza una validación explícita, se proyecta que este enfoque podría extenderse a otros circuitos análogos, como amplificadores multietapa, referencias de voltaje tipo bandgap, comparadores, buffers de salida y celdas OTA.

1.3. Impacto de Herramientas y PDKs Open Source en el Diseño de ICs

El ecosistema de herramientas y recursos de código abierto ha transformado el diseño de circuitos integrados, democratizando el acceso a metodologías y tecnologías que antes estaban limitadas por su alto costo y exclusividad de acceso. Herramientas como las que muestra la Figura 1.3, junto con los kits de diseño de proceso (Process Design Kits, PDKs) abiertos como Sky130 [49], GF180 [50] e IHP-SG13G2 [51], han reducido significativamente la barrera de entrada para empresas emergentes, la academia y la investigación, facilitando la formación de nuevos profesionales en el campo de la microelectrónica y beneficiando a la industria en su conjunto [52].

La disponibilidad de herramientas de código abierto no sólo ha reducido los costos asociados con el diseño de circuitos integrados, sino que también ha fomentado la replicabilidad y el desarrollo progresivo de proyectos. En el ámbito educativo, estas herramientas han sido clave para capacitar a estudiantes y profesionales, proporcionando entornos de diseño accesibles y flexibles que pueden ser utilizados sin restricciones de licencias costosas [53]. Además, los PDKs abiertos han permitido que instituciones académicas y

centros de investigación se enfoquen en diseños fabricables, cerrando la brecha entre el aprendizaje teórico y la experiencia práctica en el diseño y fabricación de circuitos [54, 55].

Dado el impacto significativo que ha tenido el ecosistema de herramientas y PDKs de código abierto en la accesibilidad y evolución del diseño de circuitos integrados, resulta evidente la importancia de contribuir a este avance. La posibilidad de desarrollar metodologías que se integren con estas plataformas representa un desafío clave para seguir impulsando la innovación en el diseño de circuitos análogos.

En este contexto, esta tesis asume el desafío de implementar y validar su propuesta dentro de este entorno abierto, aprovechando las capacidades que ofrecen las herramientas y PDKs disponibles para fomentar la automatización y accesibilidad en el diseño microelectrónico.

1.4. Hipótesis

La hipótesis de esta tesis plantea que es posible desarrollar un método novedoso de automatización del dimensionamiento de los transistores del LDO, combinando el diseño estructurado y sistemático, de manera independiente de la tecnología de fabricación. Además, se plantea que este método permite realizar una exploración eficiente del espacio de diseño a partir de modelos jerárquicos y parametrizados. Finalmente, se considera que dicho enfoque puede ser implementado y validado utilizando herramientas y tecnologías de código abierto.

1.5. Objetivo General, Específicos, Alcances y Limitaciones

1.5.1. Objetivo general

Se plantea como objetivo general:

- Desarrollar, implementar y validar un nuevo método de automatización de diseño de circuitos integrados analógicos aplicado a la exploración del diseño de LDOs.

1.5.2. Objetivos específicos

Los objetivos específicos incluyen:

1. Estudiar los avances en la automatización del diseño de microelectrónica análoga y LDOs en particular.
2. Contextualizar el diseño estructurado de circuitos integrados analógicos y sus principios fundamentales.
3. Analizar el diseño sistemático mediante metodologías como G_m/I_D y tablas de búsqueda (LUTs).

4. Desarrollar una metodología combinando el diseño estructurado y sistemático para circuitos integrados analógicos.
5. Utilizar el LDO para validar la metodología desarrollada mediante pruebas detalladas y comparaciones con resultados de referencia.
6. Redactar un artículo para conferencia y/o revista IEEE afín a la microelectrónica.

1.5.3. Alcances y limitaciones

Dentro de los alcances y limitaciones de esta tesis se incluyen los siguientes puntos, los cuales definen claramente las fronteras de investigación y desarrollo del trabajo propuesto:

- El método propuesto se enfoca exclusivamente en el dimensionamiento de los transistores, sin abordar la automatización del layout, ni la generación automática de topologías. Sin embargo, establece una metodología estructurada que facilita una futura integración con herramientas automatizadas para la generación de layout.
- Se utilizarán tres tecnologías open-source: IHP-SG13G2, Sky130A y GF180mcuD. Esto con el objetivo de validar la independencia tecnológica del método propuesto.
- Se explorarán tres configuraciones específicas para el diseño del LDO:
 - Transistor de paso PMOS con amplificador OTA de dos etapas.
 - Transistor de paso PMOS con amplificador OTA de una etapa y espejo de corriente en configuración cascode.
 - Transistor de paso PMOS con amplificador OTA de una etapa con par diferencial cascode y espejo de corriente en configuración cascode.
- En el estudio del LDO no se incluirá el bloque de referencia de voltaje (Bandgap). De esta forma, se asumirá una referencia ideal.
- Los bloques de compensación, tanto del amplificador operacional como del LDO completo, serán considerados únicamente en la etapa de implementación de la metodología.
- La generación del espacio de diseño será automatizada (mediante el uso de LUTs) pero limitada a un conjunto específico de parámetros del LDO (eficiencia de corriente, PSRR, regulación de carga, área y estabilidad), excluyendo parámetros avanzados como ruido de salida, flicker y efectos relacionados.
- Los modelos de los circuitos y testbenches definidos en esta metodología operan bajo el modelo de pequeña señal, por lo que las evaluaciones realizadas corresponden

exclusivamente a análisis AC en régimen estacionario. No se contempla el análisis transitorio ni el comportamiento en el dominio del tiempo.

- La validación se limitará exclusivamente a resultados obtenidos mediante simulaciones SPICE utilizando herramientas open-source (como NGspice), excluyendo completamente la fabricación física del circuito (tapeout).
- El método propuesto tiene potencial para generar bases de datos de espacios de diseño que podrían posteriormente utilizarse en técnicas avanzadas de optimización, incluyendo inteligencia artificial, aunque esto no será directamente abordado en esta tesis.

1.6. Resumen de Capítulos

Este documento está estructurado en 6 capítulos, cada uno abordando un aspecto fundamental del trabajo realizado.

- **Capítulo 1. Introducción:** Presenta el contexto de la investigación, la motivación detrás de la automatización del dimensionamiento de LDOs y la hipótesis de este trabajo. Además, expone los alcances y limitaciones del estudio.
- **Capítulo 2. Diseño Estructurado:** Se introduce el concepto de diseño estructurado y su aplicación en la síntesis de circuitos analógicos. Se detallan sus ventajas y cómo permite organizar el diseño en una jerarquía modular que facilita la exploración de diseño.
- **Capítulo 3. Diseño Sistemático:** Se describe el diseño sistemático como una metodología basada en ecuaciones y modelos de circuito, permitiendo una optimización eficiente del dimensionamiento de transistores.
- **Capítulo 4. Metodología Propuesta:** Se presenta la metodología desarrollada en este trabajo, detallando su estructura y la integración de las estrategias de diseño estructurado y sistemático.
- **Capítulo 5. Resultados y Validación:** Se muestran los resultados obtenidos al aplicar la metodología al diseño de un LDO utilizando herramientas y PDKs de código abierto, evaluando su desempeño en términos de tiempo de ejecución, número de puntos evaluados en la exploración del espacio de diseño y la comparación con métodos tradicionales.
- **Capítulo 6. Conclusiones y Trabajo Futuro:** Se resumen las principales contribuciones de este trabajo, las limitaciones encontradas y se proponen futuras líneas de investigación para mejorar la automatización del dimensionamiento de circuitos analógicos.

DISEÑO ESTRUCTURADO DE CIRCUITOS INTEGRADOS ANÁLOGOS

LUEGO de haber introducido los desafíos y enfoques actuales en el diseño análogo, este capítulo establece las bases conceptuales del diseño estructurado, un enfoque clave para manejar la creciente complejidad de los circuitos. Aunque se abordarán algunos aspectos metodológicos, el propósito principal es presentar los principios fundamentales que guían este enfoque antes de introducir la metodología propuesta en capítulos posteriores.

Como se mencionó previamente, el diseño análogo tradicional ha dependido de simulaciones iterativas y de la experiencia del diseñador. Sin embargo, con el escalamiento de las tecnologías CMOS, que introduce efectos del transistor que complejizan su operación y moldeamiento, y el aumento en las exigencias de diseño, este enfoque se ha vuelto cada vez más ineficiente. Para enfrentar estos desafíos, la modularidad y la jerarquía han surgido como principios clave en el diseño de circuitos integrados análogos, facilitando una mejor organización y optimización del proceso de diseño [56,57].

El diseño estructurado facilita la descomposición de problemas complejos en subbloques bien definidos, organizados de manera jerárquica para reflejar las interacciones entre subsistemas. Este enfoque no sólo mejora la comprensión del circuito y la gestión de especificaciones, sino que también permite un proceso de diseño más eficiente en términos de esfuerzo al abordar cada nivel de manera organizada. Además, la reutilización de estructuras previamente diseñadas reduce el tiempo de desarrollo y facilita la adaptación del diseño a

diferentes tecnologías de fabricación.

Mientras que en el diseño digital la automatización ha avanzado significativamente, en el diseño análogo aún se depende en gran medida de la intervención manual [58]. Como se discutió anteriormente, esta falta de automatización hace que el proceso de diseño sea menos eficiente. Un enfoque estructurado permite mitigar esta limitación al proporcionar reglas y metodologías claras para la traducción de especificaciones desde el nivel del sistema hasta el nivel de transistores, garantizando coherencia en cada etapa del proceso.

Este capítulo comienza con los principios básicos del diseño estructurado, seguido de la presentación de la librería de estructuras, fundamental para la organización y reutilización de bloques de diseño. Luego, se aborda la modularización de los circuitos y la derivación de especificaciones. Para conectar ambos procesos, se introduce una sección donde se detallan las características eléctricas y los parámetros de las primitivas, estableciendo así la relación entre la descomposición jerárquica y la asignación de especificaciones. El marco teórico de este enfoque se basa en el libro *Structured Analog CMOS Design* de Danica Stefanovic y Maher Kayal [37], donde se presentan metodologías para estructurar el diseño análogo de manera organizada.

2.1. Principios del Diseño Estructurado

Este enfoque de diseño se basa en una serie de principios que permiten abordar el desarrollo de circuitos análogos de manera eficiente y organizada.

1. **Jerarquía:** El diseño se organiza en múltiples niveles, desde el sistema, que define los requisitos funcionales y operativos generales, hasta el nivel de transistores. Cada nivel tiene sus propias especificaciones y funciones asignadas, las cuales se propagan hacia los niveles inferiores para garantizar coherencia en el diseño.
2. **Modularidad:** Los circuitos se dividen en bloques funcionales independientes. Estos bloques no sólo simplifican el proceso de diseño, sino que también facilitan la reutilización de componentes en diferentes sistemas.
3. **Derivación de especificaciones:** A partir de los requisitos del sistema, se establecen especificaciones concretas para cada bloque funcional. Este proceso asegura que cada nivel del diseño cumpla con los objetivos globales, manteniendo coherencia y continuidad en la implementación.
4. **Librería de estructuras básicas:** Se emplean librerías predefinidas de estructuras básicas, lo que reduce significativamente los tiempos de desarrollo y asegura resultados consistentes.

Estos principios constituyen la base del diseño estructurado y permiten abordar de manera organizada los desafíos del diseño análogo moderno. Además de simplificar la

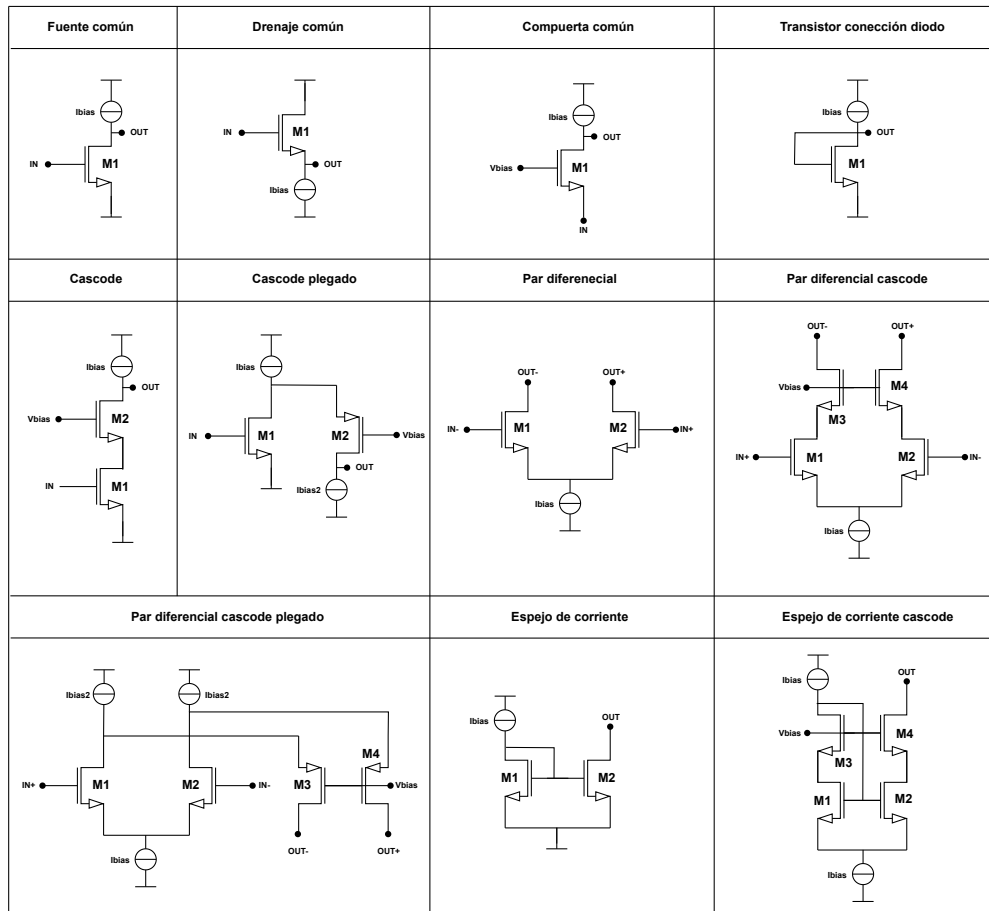


Figura 2.1: Tabla de primitivas.

complejidad del circuito, proporcionan una metodología clara para la integración de distintas etapas del diseño, asegurando coherencia en el flujo de trabajo y facilitando la colaboración entre diseñadores.

2.2. Librería de estructuras básicas

Un elemento fundamental del diseño estructurado es la utilización de primitivas, que corresponden a estructuras análogas básicas. Estas forman los bloques funcionales esenciales del diseño análogo y, al combinarse, permiten construir circuitos más complejos.

Una primitiva es una estructura compuesta por uno o varios transistores conectados de manera específica para realizar conversiones entre voltaje y corriente. Estas estructuras también requieren de una polarización por corriente o voltaje, la cual es proporcionada por

otra primitiva dentro del circuito.

Es importante destacar que una primitiva no es cualquier combinación de transistores. Existe un número finito de estas estructuras, y juntas conforman una biblioteca análoga que puede utilizarse para diseñar una amplia variedad de circuitos análogos [59].

La Figura 2.1 muestra las primitivas más utilizadas en el diseño de circuitos integrados análogos. Entre ellas, se encuentran aquellas que sólo tienen un transistor, como la fuente común, drenaje común, compuerta común y la conexión diodo, así como otras más complejas que incluyen múltiples transistores, como el cascode, cascode plegado, par diferencial simple, par diferencial en cascode, par diferencial en cascode plegado, espejo de corriente simple y espejo de corriente cascode.

Al igual que existe un número finito de primitivas, también hay un conjunto limitado de configuraciones posibles para el diseño individual de los transistores que las componen. Entre estas configuraciones se encuentran las conexiones básicas de las primitivas de un sólo transistor y el caso particular del par diferencial simple. Como resultado, el dimensionamiento de los transistores dentro de estas primitivas representa un caso especial del diseño transistor a transistor, donde cada dispositivo opera en un entorno específico y sólo un conjunto reducido de parámetros de diseño tiene un impacto dominante.

Las primitivas pueden clasificarse en tres categorías: estructuras de transconductancia, de carga y de polarización. Las estructuras de transconductancia convierten voltaje en corriente, mientras que las de carga realizan la conversión inversa, de corriente a voltaje. A su vez, las estructuras de transconductancia requieren una polarización por corriente, mientras que algunas variantes como las configuraciones cascode requieren una polarización por voltaje.

Las primitivas mostradas en la Figura 2.1 se organizan en la siguiente forma:

1. **Estructuras de transconductancia:** fuente común, drenaje común, cascode, par diferencial simple y sus variantes con cascode.
2. **Estructuras de carga:** espejo de corriente simple y espejo de corriente cascode, cuando se usan como carga activa.
3. **Estructuras de polarización:** transistor en conexión diodo, espejo de corriente simple y espejo de corriente cascode, cuando se utilizan como fuentes de corriente.

2.3. Modularización de circuitos

La modularización consiste en dividir el circuito en módulos funcionales de menor complejidad hasta alcanzar las primitivas presentadas en la sección anterior.

Para ilustrar este proceso, se tomará como ejemplo un amplificador operacional de dos etapas, ya que es una estructura ampliamente utilizada en sistemas análogos complejos. En particular, los amplificadores operacionales juegan un papel fundamental en circuitos como los LDO, siendo este último el circuito objetivo de esta tesis.

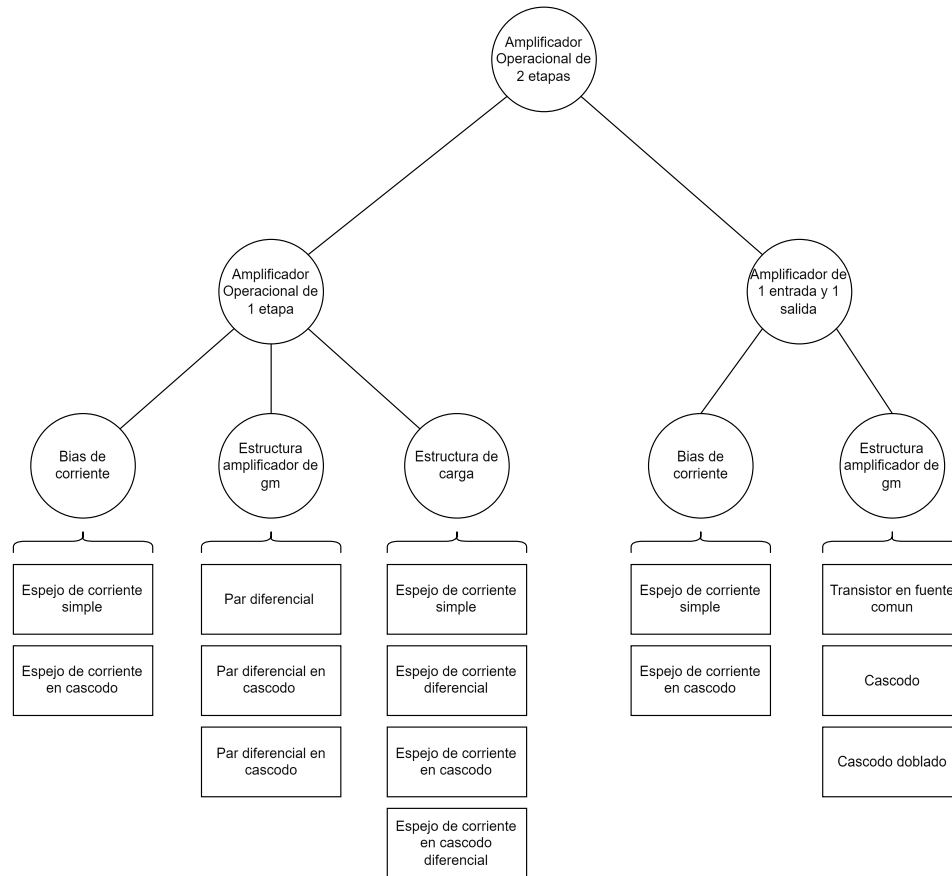


Figura 2.2: Modularización del amplificador operacional de dos etapas.

Los amplificadores operacionales más comunes se dividen en dos categorías: amplificadores operacionales de transconductancia (OTA) y amplificadores operacionales convencionales (OpAmp). La principal diferencia entre ellos es el tipo de salida: los OTA generan una salida de corriente, mientras que los OpAmp entregan una salida de voltaje. Por otro lado, estas pueden ser de una o más etapas. La Figura 2.2 muestra la modularización de un OpAmp de dos etapas. La primera etapa es una OTA simple, mientras que la segunda corresponde a un amplificador con una entrada y una salida. Por efectos de simplicidad no se agrega el bloque de compensación característico de estos amplificadores de más de una etapa.

La OTA de una etapa está compuesta por:

- Una estructura diferencial de transconductancia.
- Una estructura de carga.

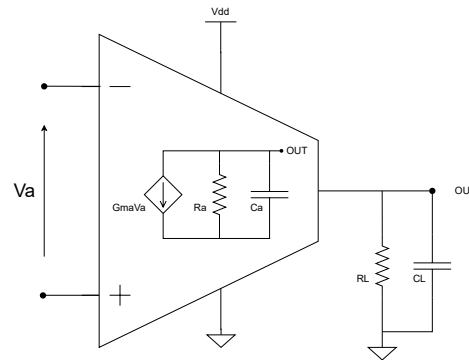


Figura 2.3: Macromodelo del amplificador

- Una estructura de polarización de corriente necesaria para su funcionamiento.

Por otro lado, el amplificador simple consta de:

- Una estructura de transconductancia.
- Su correspondiente circuito de polarización.

Como se detalló en la sección anterior, cada una de estas estructuras se basa en primitivas específicas. Además, cada bloque del circuito que no sea una primitiva puede representarse mediante un modelo funcional que, de aquí en adelante, se denominará macromodelo. Estos modelos permiten abstraer el comportamiento de estructuras más complejas en términos de sus características eléctricas principales. Por ejemplo, los amplificadores pueden modelarse como una estructura de transconductancia equivalente a una fuente de corriente controlada por voltaje, con una resistencia en paralelo y una capacitancia de salida (ver Figura 2.3). Este tipo de modelado es particularmente útil en circuitos de varias etapas, como el LDO, donde se requiere evaluar el comportamiento global del sistema sin necesidad de analizar cada transistor individualmente.

2.4. Derivación de especificaciones

Como se ha visto hasta ahora, el circuito análogo se descompone en macromodelos, que a su vez pueden subdividirse en otros macromodelos o en estructuras de transconductancia, carga o polarización (primitivas). Sin embargo, este proceso no termina ahí. La derivación de especificaciones se lleva a cabo para cada bloque, partiendo de los requisitos definidos para el circuito principal. El diseño estructurado tradicional propone seleccionar la estrategia de diseño más adecuada para cada transistor en función de las especificaciones asignadas a las estructuras analógicas básicas. Para ello, emplea la metodología basada en el nivel de

inversión [60], donde cada transistor es dimensionado según su región de operación para cumplir con los requisitos definidos.

En muchos casos, las especificaciones de diseño pueden ser difíciles de cumplir debido a restricciones en las variables de los transistores. Cuando la optimización a nivel de transistor no proporciona una solución viable, el diseño estructurado adopta un enfoque diferente. En lugar de modificar los tamaños de los transistores de manera aislada, se ajustan las especificaciones en los niveles superiores del diseño, estableciendo un equilibrio entre las restricciones del sistema y las características de cada estructura analógica básica.

Aunque esta tesis toma como referencia los principios fundamentales del diseño estructurado, se propone un enfoque alternativo para la derivación de especificaciones. En lugar de depender exclusivamente de reglas y ecuaciones predefinidas, se plantea una metodología basada en la exploración mediante macromodelos, introducidos en la etapa de modularización de circuitos. En este contexto, se mantiene el principio fundamental de priorizar el análisis a nivel de estructura en lugar de enfocarse directamente en la solución a nivel de transistor.

Esta sección tiene un carácter introductorio y no busca detallar el proceso completo de derivación de especificaciones. La metodología específica para definir y propagar especificaciones a lo largo del diseño se desarrollará en el capítulo 4, el cual está dedicado a la metodología propuesta.

2.5. Características de las primitivas

El libro de referencia [37] describe en detalle el procedimiento para obtener las ecuaciones de especificaciones y parámetros de diseño de todas las primitivas de la librería de estructuras análogas. Sin embargo, por simplicidad, en esta sección se presentan únicamente los aspectos clave de las primitivas que se utilizarán más adelante.

En el diseño estructurado tradicional, este paso consiste en obtener las ecuaciones que relacionan las especificaciones con los parámetros de diseño (parámetros de pequeña señal) y, a partir de ellas, definir los casos de diseño. Estos casos de diseño permiten determinar los parámetros de los transistores, como el ancho W , el largo L y la corriente de polarización.

En el método propuesto, en lugar de calcular manualmente estas ecuaciones, se utilizan directamente los modelos de pequeña señal para representar el comportamiento de las primitivas. Este enfoque se detallará más adelante. Por ahora, no es necesario profundizar en el uso de estos modelos. Sin embargo, es fundamental definirlos de acuerdo con el comportamiento de cada primitiva. A continuación, se establecen los parámetros de diseño y su modelo correspondiente.

Dado que el método propuesto se basa en modelos de pequeña señal para representar el comportamiento de las primitivas, es necesario definir previamente el modelo simplificado del transistor. A partir de este punto, se asumirá $V_{gs} = 0$, es decir, el sustrato conectado a

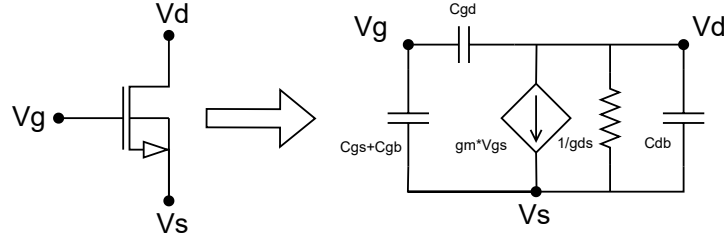


Figura 2.4: Modelo simplificado de pequeña señal del transistor.

la fuente. Bajo esta condición, el modelo simplificado se muestra en la Figura 2.4.

2.5.1. Estructuras de transconductancia

Las estructuras de transconductancia convierten una señal de voltaje en una señal de corriente, una función esencial en circuitos tales como amplificadores, filtros y sistemas de procesamiento de señales. Entre las configuraciones más utilizadas se encuentran la de fuente común, la de fuente común en cascode, el par diferencial simple y el par diferencial en cascode [61]. Estas topologías determinan parámetros clave como la ganancia y la respuesta en frecuencia del circuito. A continuación, se analiza cada una de estas estructuras en detalle, comenzando con la fuente común.

2.5.1.1. Configuración de Fuente común

Esta configuración se emplea en amplificadores de señal, donde permite aumentar la amplitud de la señal de entrada antes de etapas posteriores de procesamiento, siendo común en preamplificadores, buffers de ganancia y bloques de procesamiento análogo.

El principio de funcionamiento se basa en aplicar la señal de entrada a la compuerta del transistor y obtener la salida en el drenador. La transconductancia (g_m) define la relación entre la corriente de salida y el voltaje de entrada, mientras que la conductancia drenador-fuente (g_{ds}) determina la impedancia de salida. Como consecuencia del modo de operación de la fuente común, la señal de salida presenta una inversión de fase de 180° con respecto a la entrada.

Para analizar el comportamiento de la fuente común, se utiliza su modelo de pequeña señal, donde el transistor se representa mediante su transconductancia g_m y su conductancia drenador-fuente g_{ds} . La Figura 2.5a muestra la representación equivalente del circuito, donde la corriente de salida i_d se relaciona con el voltaje de entrada v_{gs} a través de la expresión:

$$i_d = g_m v_{gs} \quad (2.1)$$

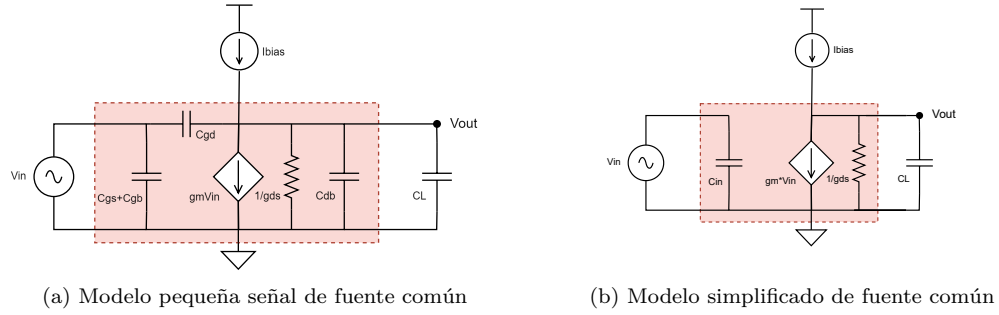


Figura 2.5: Modelos fuente común

Además, la resistencia de salida del transistor se expresa como:

$$r_o = \frac{1}{g_{ds}} \quad (2.2)$$

A partir de este modelo, la ganancia de voltaje del circuito se obtiene como:

$$A_0 = -\frac{g_m}{g_{ds}} \quad (2.3)$$

Finalmente, se define la capacitancia total entre la compuerta y la fuente como:

$$C_{gg} = C_{gs} + C_{gb} \quad (2.4)$$

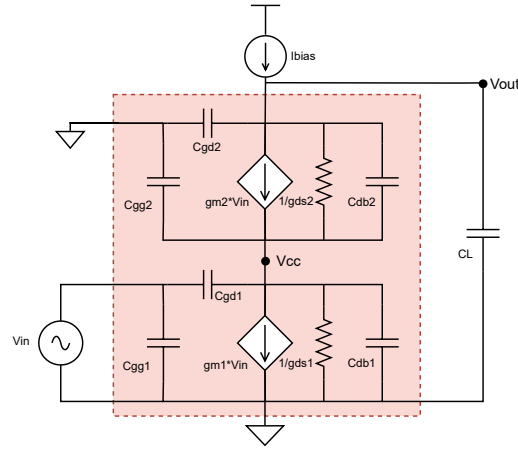
donde C_{gs} y C_{gb} representan las capacitancias compuerta-fuente y compuerta-sustrato, respectivamente, mientras que C_{gd} es la capacitancia compuerta-drenador y A_0 corresponde a la ganancia de voltaje del circuito. Para simplificar el análisis, manteniendo las características de primer orden, se obtiene el modelo simplificado equivalente de la fuente común, mostrado en la Figura 2.5b. En este modelo, el circuito se reduce a sus componentes esenciales: se mantiene la impedancia de salida y la fuente de corriente controlada por voltaje, mientras que la capacitancia de entrada se reduce a:

$$C_{in} = C_{gg} + A_0 \cdot C_{gd} \quad (2.5)$$

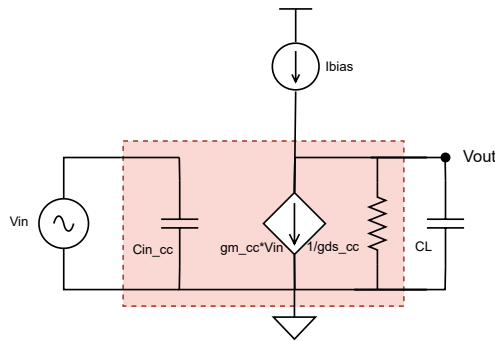
Además, se asume que $C_{db} \ll C_L$, por lo que puede despreciarse.

2.5.1.2. Configuración de cascode

La configuración de fuente común en cascode es una extensión de la fuente común estándar que mejora la impedancia de salida y, por lo tanto, aumenta la ganancia de voltaje. Esta topología se obtiene agregando un segundo transistor en el terminal drenador del



(a) Modelo pequeña señal configuración cascode



(b) Modelo simplificado configuración cascode

Figura 2.6: Modelos configuración cascode

transistor amplificador (e.g. de fuente común), lo que permite reducir la variación de V_{DS} en el transistor de entrada y minimizar el efecto de modulación de canal.

En la Figura 2.6a se muestra el modelo de pequeña señal de la fuente común en cascode. De esta forma, la impedancia equivalente se expresa como:

$$r_o^{cascode} = \frac{1}{g_{ds1} g_{ds2}} g_{m2} \quad (2.6)$$

Además, la ganancia de voltaje del circuito se expresa como:

$$A_0^{cascode} = g_{m1} \cdot r_o^{cascode} \quad (2.7)$$

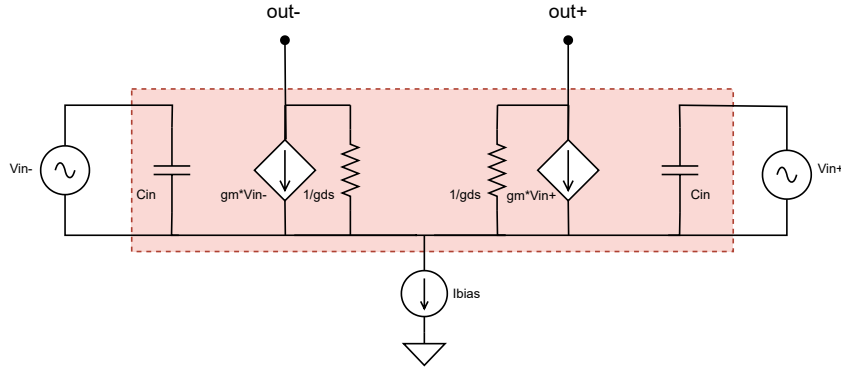


Figura 2.7: Modelo simplificado par diferencial.

Esta ganancia es mayor que en la fuente común convencional debido al incremento en la impedancia de salida.

El modelo simplificado de la fuente común en cascode se muestra en la Figura 2.6b. Esta mantiene la misma estructura que el de la fuente común estándar. Sin embargo, sus parámetros difieren debido a la presencia del segundo transistor en la etapa de drenador, resultando en:

$$g_{m_{cc}} = g_{m1} \quad (2.8)$$

$$r_{o_{cc}} = r_o^{cascode} = \frac{g_{m2}}{g_{ds1} \cdot g_{ds2}} \quad (2.9)$$

$$C_{in_{cc}} = C_{gg1} + A_0^{cascode} \cdot C_{gd1} \quad (2.10)$$

Además, igualmente se asume que $C_{db} \ll C_L$ y por tanto esta se desprecia.

2.5.1.3. Par diferencial simple

El par diferencial simple es una de las estructuras fundamentales en circuitos análogos, ampliamente utilizada en amplificadores operacionales, comparadores y circuitos de retroalimentación. Su principal ventaja es la capacidad de amplificar la diferencia entre dos señales de entrada mientras rechaza señales en modo común, lo que mejora la inmunidad al ruido y permite una mayor estabilidad en aplicaciones de precisión.

En su configuración básica, el par diferencial consta de dos transistores en conexión fuente común con sus fuentes compartidas y una corriente de polarización común. Una señal diferencial aplicada a las compuertas genera una redistribución de la corriente entre los transistores, proporcionando una señal amplificada a nivel de drenador.

Debido a la configuración de esta primitiva, es posible representar directamente su modelo de pequeña señal utilizando dos modelos simplificados de fuente común (ver Figura

2.5b), conectados en su nodo de fuente compartido. De esta forma, se obtiene el modelo simplificado del par diferencial, que muestra la Figura 2.7. Dado que ambos transistores son idénticos, sus parámetros de pequeña señal también lo son, lo que permite expresar sus características de la siguiente forma:

$$g_m = g_{m1} \quad (2.11)$$

$$g_{ds} = g_{ds1} \quad (2.12)$$

$$A_0 = \frac{g_m}{g_{ds}} \quad (2.13)$$

$$C_{in} = C_{gg1} + A_0 \cdot C_{gd1} \quad (2.14)$$

2.5.1.4. Par diferencial cascode

El par diferencial en cascode es una mejora del par diferencial convencional que incrementa la impedancia de salida y mejora la ganancia de voltaje. Esto se logra agregando transistores en configuración cascode en los drenadores del par diferencial, reduciendo el efecto de modulación de canal y estabilizando la corriente en cada rama.

Al igual que en el par diferencial simple, su modelo simplificado puede obtenerse directamente combinando dos modelos simplificados de la fuente común cascode (ver Figura 2.6b). Este modelo mantiene la misma estructura que el de la fuente común cascode, pero aplicado a una configuración diferencial. De esta forma los parámetros del modelo simplificado quedan:

$$g_m = g_{m1} \quad (2.15)$$

$$g_{ds} = \frac{g_{ds1} \cdot g_{ds3}}{g_{m3}} \quad (2.16)$$

$$A_0 = \frac{g_m}{g_{ds}} \quad (2.17)$$

$$C_{in} = C_{gg1} + A_0 \cdot C_{gd1} \quad (2.18)$$

2.5.2. Estructuras de carga

Las estructuras de carga desempeñan un papel fundamental en el diseño de circuitos análogos, ya que influyen directamente en la impedancia de salida y, en consecuencia, en la ganancia de voltaje de los amplificadores. En configuraciones de amplificación, la carga debe proporcionar una impedancia suficientemente alta para maximizar la transferencia de señal sin comprometer el margen dinámico del circuito.

En circuitos integrados, las cargas activas son preferidas sobre las resistencias pasivas, ya que proporcionan una impedancia de salida significativamente mayor sin una penalización excesiva en el margen de voltaje disponible. Dentro de estas estructuras, destacan el espejo

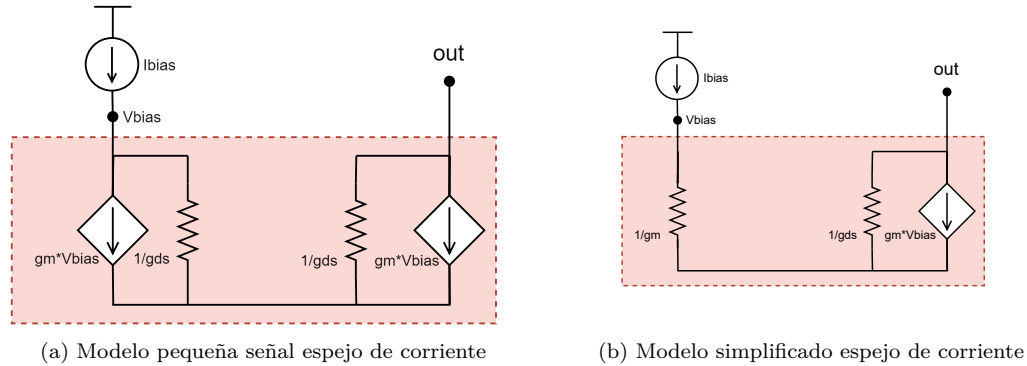


Figura 2.8: Modelos espejos de corriente

de corriente simple y su versión en cascode, ambas ampliamente utilizadas en amplificadores diferenciales y otras topologías de ganancia controlada. A continuación, se analizan estas estructuras en detalle, comenzando con el espejo de corriente simple.

2.5.2.1. Espejo de corriente simple

La función principal de esta configuración es replicar una corriente de referencia en su salida, proporcionando estabilidad sin requerir resistencias externas. Esta primitiva está compuesta por dos transistores idénticos. El primer transistor, configurado en conexión diodo, establece la corriente de referencia, mientras que el segundo transistor la replica en la salida. La Figura 2.8a muestra el modelo de pequeña señal, donde se ha despreciado la capacitancia de entrada debido a que no hay señal dinámica en las compuertas de los transistores. Aún así, el modelo puede simplificarse aún más. En el transistor en conexión diodo, la corriente está controlada por el voltaje presente en sus terminales, lo que hace que su comportamiento sea equivalente a una impedancia de $1/g_m$.

Dado que en esta configuración se cumple la condición $1/g_m \ll 1/g_{ds}$, la impedancia total se aproxima a la de la fuente de corriente controlada por voltaje. La Figura 2.8b muestra el modelo resultante tras esta simplificación.

2.5.2.2. Espejo de corriente cascode

El espejo de corriente en cascode es una mejora del espejo de corriente simple, diseñada para incrementar la impedancia de salida. Esto lo hace ideal para amplificadores diferenciales y circuitos de precisión. La adición de transistores en configuración cascode reduce la variación del voltaje drenador-fuente en los transistores de referencia y salida. Como se explicó anteriormente, esto minimiza el efecto de modulación de canal, lo que incrementa la impedancia de salida y mejora la estabilidad de la corriente replicada.

El modelo simplificado del espejo de corriente en cascode mantiene la misma estructura que el del espejo de corriente simple, pero con una diferencia en los parámetros, dada por:

$$g_m = g_{m1} \quad (2.19)$$

$$g_{ds} = \frac{g_{ds1} \cdot g_{ds3}}{g_{m3}} \quad (2.20)$$

2.5.3. Estructuras de polarización

Las estructuras de polarización son cruciales en el diseño de circuitos análogos, ya que permiten el correcto funcionamiento de otras primitivas al establecer los puntos de operación de los transistores en un circuito integrado. Estas estructuras se dividen en dos categorías principales:

1. Estructuras de polarización de voltaje, donde un transistor se configura para fijar un voltaje necesario para la operación de otras estructuras.
2. Estructuras de polarización de corriente, que establecen corrientes de referencia mediante espejos de corriente.

A continuación, se analizan estas estructuras, comenzando con las estructuras de polarización de voltaje.

2.5.3.1. Polarización de voltaje

Las estructuras de polarización de voltaje generan un voltaje de polarización a partir de transistores en configuración de diodo, asegurando condiciones adecuadas para el funcionamiento de otras estructuras. Estas estructuras se emplean en circuitos de polarización y espejos de corriente para garantizar que los transistores operen en la región de saturación. En su forma más simple, un transistor en configuración de diodo se obtiene conectando su drenador y compuerta, lo que lo fuerza a operar en saturación y establece un voltaje de polarización determinado por su voltaje de umbral más una componente dependiente de la corriente de polarización.

Cuando se requiere un voltaje de polarización mayor sin utilizar resistencias adicionales, se emplea un stack de transistores en diodo, donde dos transistores en esta configuración se conectan en serie. Esta estructura genera un voltaje de polarización aproximadamente igual a la suma de los voltajes de cada transistor, permitiendo obtener un voltaje mayor sin incrementar la corriente de polarización. Como se analizó en el espejo de corriente, un transistor en configuración de diodo equivale a una impedancia de $1/g_m$. De manera análoga, un stack de transistores en diodo puede representarse como dos impedancias en serie.

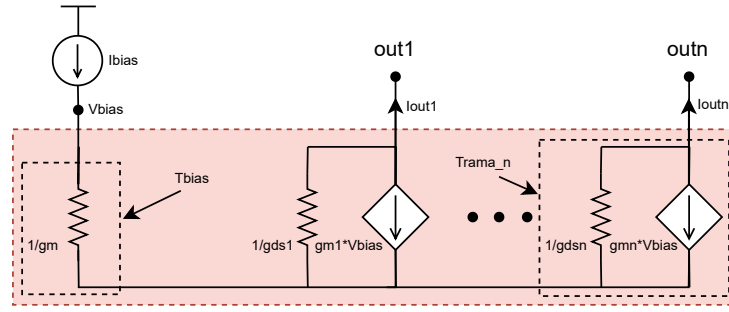


Figura 2.9: Modelo simplificado espejo de corriente como fuente.

2.5.3.2. Polarización de corriente

El espejo de corriente no sólo se emplea como carga activa, sino también como una fuente de corriente de referencia, desempeñando un papel clave en la polarización de circuitos análogos. Su capacidad para replicar corrientes de manera precisa a partir de una corriente de referencia lo convierte en un elemento esencial en el diseño de fuentes de corriente internas de circuitos integrados.

La Figura 2.9 muestra el modelo simplificado del espejo de corriente utilizado como fuente de corriente, donde se observa cómo pueden añadirse múltiples ramas para proporcionar diferentes corrientes de salida según los requerimientos del diseño. En esta configuración, un transistor establece la corriente de referencia (T_{bias}), mientras que uno o más transistores adicionales replican esta corriente con una relación determinada por sus dimensiones geométricas (T_{rama_n}). Este método permite generar múltiples corrientes de polarización dentro del circuito sin necesidad de componentes adicionales como resistencias externas, aunque en ciertas aplicaciones pueden incorporarse para mejorar estabilidad o precisión.

Dado que la corriente de drenador en la región de saturación de un transistor MOS está dada, para condiciones de canal largo, por:

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 \quad (2.21)$$

y considerando que los transistores del espejo de corriente operan bajo la misma condición de voltaje, la relación entre la corriente de referencia y la corriente replicada se expresa como:

$$I_{outn} = I_{bias} \cdot \frac{(W/L)T_{rama_n}}{(W/L)T_{bias}} \quad (2.22)$$

Esta ecuación muestra que la corriente replicada puede ajustarse variando la relación de dimensiones geométricas de los transistores, lo que permite generar múltiples valores de corriente dentro del mismo circuito sin necesidad de modificar la topología.

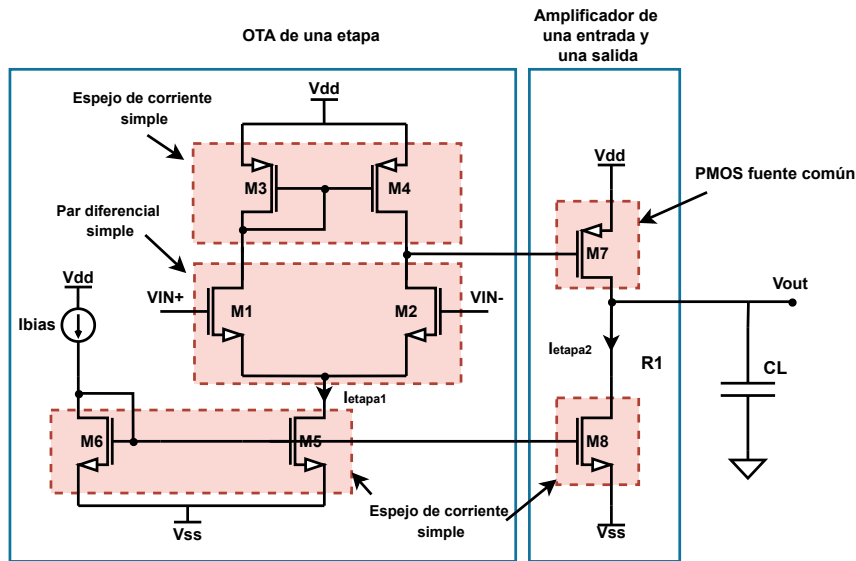


Figura 2.10: Amplificador de dos etapas modularizado

2.6. Ejemplo de Aplicación: Amplificador Operacional de Dos Etapas

Hasta este punto, el amplificador operacional de dos etapas ha sido utilizado para ilustrar el proceso de modularización, descomponiéndolo en bloques funcionales y asociando cada uno con sus primitivas correspondientes. En esta sección, se completará su análisis integrando los modelos de pequeña señal y estableciendo la relación entre las especificaciones del amplificador y los parámetros clave de cada primitiva.

El diseño del amplificador operacional de dos etapas debe cumplir con un conjunto de especificaciones que determinan su desempeño. Algunos parámetros clave incluyen la ganancia de voltaje A_0 , la frecuencia de ganancia unitaria f_u , el consumo total de corriente I_{total} y el margen de fase PM. A partir de estas especificaciones, es posible derivar los requerimientos para cada bloque funcional. La Figura 2.10 muestra el amplificador operacional de dos etapas con la selección mínima de primitivas necesarias. Esta configuración se obtiene volviendo al diagrama de la Figura 2.2 y seleccionando las primitivas más básicas para cada estructura.

- Primera etapa (Amplificador diferencial): Se compone de un espejo de corriente simple como carga, un par diferencial simple como estructura de transconductancia y un espejo de corriente simple como estructura de polarización.
- Segunda etapa (Amplificador de ganancia adicional): Se basa en un transistor PMOS

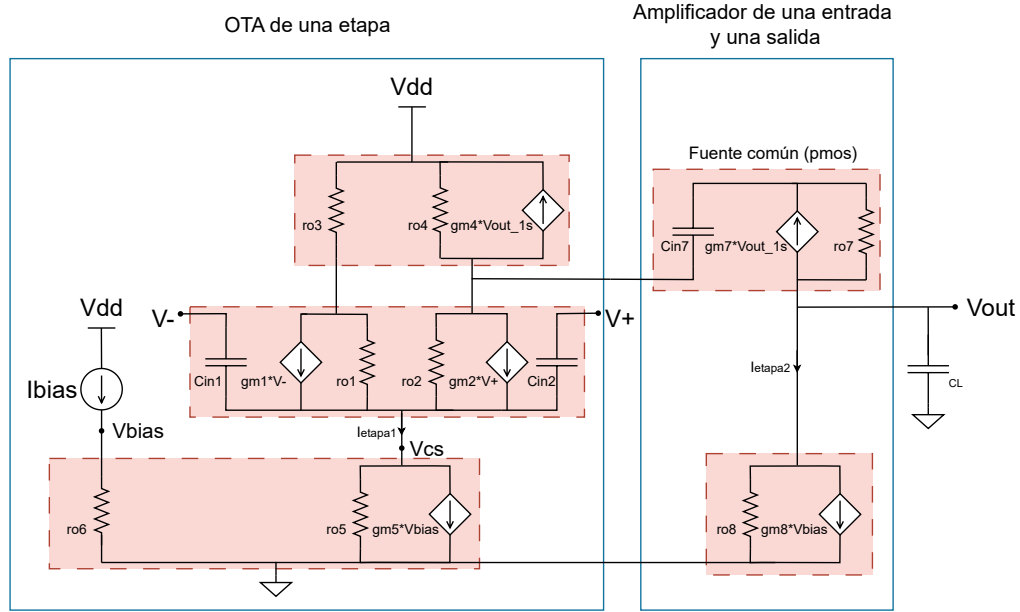


Figura 2.11: Amplificador de dos etapas modularizado con primitivas simplificadas.

en fuente común como estructura de transconductancia y un espejo de corriente simple como estructura de polarización.

Reemplazando cada primitiva por su modelo simplificado, se obtiene la Figura 2.11. Al realizar un análisis avanzado se obtiene la ecuación de la amplificación total del circuito:

$$A_0 = A_{0,1} \cdot A_{0,2} \quad (2.23)$$

donde:

$$A_{0,1} = g_{m1,2} \cdot r_{out1}, \quad r_{out1} = (r_{out1,2} \parallel r_{out3,4}) \quad (2.24)$$

$$A_{0,2} = g_{m7} \cdot r_{out2}, \quad r_{out2} = (r_{out7} \parallel r_{out8}) \quad (2.25)$$

Además, la frecuencia de los polos más relevantes del sistema está dada por:

$$f_{dp} = \frac{1}{2\pi r_{out1} A_{0,2} C_{in7}} \quad (\text{Polo dominante}) \quad (2.26)$$

$$f_{ndp} = \frac{g_{m7}}{2\pi C_L} \quad (\text{Polo no dominante}) \quad (2.27)$$

Finalmente, el consumo de corriente total se expresa como:

$$I_{total} = I_{bias} + I_{etapa1} + I_{etapa2} \quad (2.28)$$

A partir de estas ecuaciones, es posible derivar los requerimientos de diseño para cada primitiva del amplificador. En particular:

- Ganancia total (A_0): Se descompone en la ganancia de cada etapa, la cual depende de la transconductancia y la impedancia de salida de cada bloque amplificador. Esto permite establecer las condiciones mínimas para g_m y r_{out} en cada etapa.
- Frecuencia de ganancia unitaria (f_u) y margen de fase (PM): Los polos f_{dp} y f_{ndp} determinan la estabilidad del circuito y su respuesta en frecuencia. Conociendo sus expresiones, se pueden ajustar los valores de C_L , g_{m7} y r_{out1} para cumplir con los requisitos del diseño.
- Consumo de corriente total (I_{total}): Se obtiene como la suma de las corrientes de cada etapa, lo que permite establecer un límite superior en el dimensionamiento de los transistores para cumplir con restricciones de potencia.

Sin embargo, derivar estas especificaciones manualmente requiere de un análisis detallado y un conocimiento profundo del comportamiento del circuito. Además, la complejidad del proceso crece exponencialmente con el número de etapas y primitivas involucradas.

Debido a esto, la metodología propuesta en esta tesis busca automatizar la derivación de especificaciones, empleando el análisis nodal modificado (MNA) para extraer ecuaciones directamente desde la representación del circuito [62]. Este enfoque permitirá explorar diseños de manera eficiente para asistir al diseñador.

2.7. Resumen del Capítulo

Este capítulo describió los fundamentos del diseño estructurado, presentando una metodología jerárquica basada en primitivas eléctricas reutilizables y modelos simplificados que permiten organizar y analizar circuitos análogos de forma modular. A través del ejemplo del amplificador operacional de dos etapas, se mostró cómo derivar requerimientos internos a partir de especificaciones globales, sentando las bases para una estrategia automatizable.

Sin embargo, como se anticipó en la introducción, el diseño estructurado por sí sólo no resuelve el problema del dimensionamiento. Para ello, es necesario complementarlo con una estrategia sistemática que permita seleccionar tamaños de transistores de forma eficiente y coherente con la tecnología utilizada. El próximo capítulo presenta dicha estrategia a través del método gm/ID y el uso de tablas de búsqueda.

DISEÑO SISTEMÁTICO DE CIRCUITOS INTEGRADOS ANÁLOGOS

EN el capítulo anterior, se estableció la importancia de la derivación de especificaciones a partir de modelos de pequeña señal. Sin embargo, como se mencionó con anterioridad, este proceso no es suficiente para definir completamente un circuito integrado, ya que aún es necesario determinar los tamaños de los transistores W y L de manera óptima (sin la necesidad de múltiples simulaciones). Para abordar este problema, en este capítulo se introduce el diseño sistemático, una metodología que permite extraer estos parámetros de manera eficiente.

Históricamente, el diseño de circuitos integrados análogos ha dependido de modelos simplificados de transistores CMOS, como el modelo cuadrático, también conocido como Shichman–Hodges model [63], debido a su facilidad de uso y valor didáctico. Sin embargo, a medida que las dimensiones de los transistores se han reducido, las limitaciones de estos modelos se han vuelto más evidentes, introduciendo errores significativos en el análisis y diseño [64, 65]. En particular, los modelos tradicionales presentan fallas en las 3 zonas de operación de inversión del transistor. Dichas regiones se muestran en la Figura 3.1.

- **R3. Inversión fuerte** (strong inversion): Ocurre cuando $V_{ov} = V_{gs} - V_{TH}$ es suficientemente grande para que la corriente de drenador esté dominada por el efecto de desplazamiento (drift) en lugar de difusión (diffusion). En esta región, la ecuación

cuadrática

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} V_{ov}^2 \quad (3.1)$$

es una buena aproximación en tecnologías antiguas de canal largo. Sin embargo, en dispositivos de canal corto, la movilidad efectiva se reduce debido a la dispersión con el campo eléctrico, la velocidad de saturación de los portadores y la modulación del canal por el drenador (Drain-Induced Barrier Lowering, DIBL), lo que introduce errores de hasta un 20-60 % en la predicción de la transconductancia g_m cuando se usa dicho modelo cuadrático.

- **R2. Inversión moderada** (moderate inversion): Es la región de transición entre inversión débil y fuerte, generalmente comprendida entre $50mV < V_{ov} < 150mV$, aunque este rango es aproximado y depende de la tecnología. En este régimen, la relación entre corriente y voltaje no es bien descrita ni por la ecuación exponencial de inversión débil ni por la ecuación cuadrática de inversión fuerte, lo que genera inexactitudes en los modelos tradicionales. Este problema se vuelve especialmente crítico en dispositivos de canal corto, donde la región de transición es más abrupta y la corriente es altamente influenciada por efectos de drenador, como la reducción del umbral por DIBL, haciendo que los modelos convencionales no sean confiables.
- **R1. Inversión débil** (weak inversion): Se presenta cuando $V_{ov} < 50mV$ (o $V_{gs} < V_{TH}$), donde la corriente de drenador está dominada por el transporte de carga por difusión y sigue una relación exponencial con el voltaje de compuerta:

$$I_D = I_{D0} e^{\frac{V_{gs} - V_{TH}}{nV_T}} \quad (3.2)$$

donde n es el factor de pendiente subumbral, V_T es el voltaje térmico, y I_{D0} es un prefactor que agrupa constantes tecnológicas y geométricas del transistor, como la relación W/L y parámetros de movilidad. En esta región, el modelo cuadrático asume una corriente nula, y por lo tanto es inválido, y el uso de un modelo basado en la ecuación exponencial es necesario para obtener resultados precisos.

Debido a estas limitaciones, el diseño de circuitos integrados análogos ha evolucionado hacia el uso de modelos más avanzados y detallados, los cuales son demasiado complejos para ser utilizados analíticamente y requieren simulaciones extensivas en SPICE u otras herramientas de automatización de diseño electrónico (Electronic Design Automation tools, EDA). Aunque este enfoque genera soluciones funcionales, dificulta la comprensión de los compromisos de diseño y los límites fundamentales de rendimiento, incrementando la dependencia en la experiencia del diseñador y en un proceso de ajuste iterativo basado en simulaciones en lugar de principios analíticos estructurados [67]. El diseño sistemático surge como una solución a este problema, proporcionando una metodología basada en el

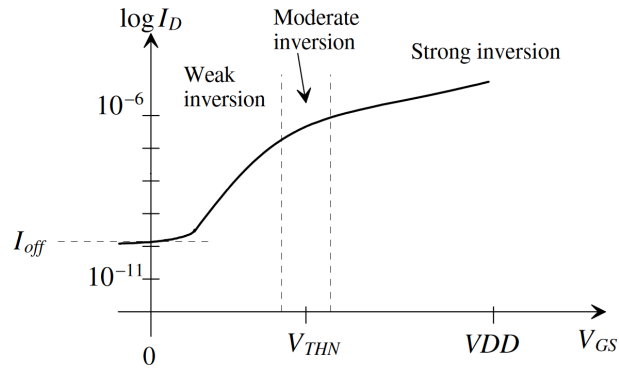


Figura 3.1: Regiones de operación de inversión del transistor [66].

uso de LUTs generadas una sola vez por tecnología a partir de simulaciones previas. Estas permiten obtener parámetros de pequeña señal de forma eficiente y asegurando coherencia con las características del proceso tecnológico.

Dentro del diseño sistemático, el diseñador debe optimizar los siguientes parámetros fundamentales para garantizar el desempeño del circuito:

- Corriente de polarización I_D : Define el consumo de energía y el punto de operación del circuito.
- Ancho del transistor W : Infiuye en la transconductancia y la eficiencia de conversión de corriente a voltaje.
- Largo del canal L : Afecta la resistencia de salida, la ganancia y la respuesta en frecuencia.

En este capítulo, primero se presentan los principios del diseño sistemático, estableciendo las bases conceptuales de este enfoque. Luego, se analiza en profundidad la técnica g_m/I_D , la cual permite caracterizar el desempeño del transistor en función de su eficiencia de transconductancia. Posteriormente, se aborda el uso de tablas de búsqueda, explicando tanto su generación como su aplicación en la selección de parámetros de diseño. Finalmente, se presenta un ejemplo práctico, donde se ilustra la implementación de este método en la exploración y optimización de una primitiva dentro de un circuito real.

3.1. Principios del diseño sistemático

El diseño sistemático de circuitos analógicos permite determinar los tamaños de los transistores W y L de manera eficiente, eliminando la necesidad de ajustes iterativos y optimizando el desempeño del circuito. Este sigue los siguientes pasos:

1. Definición de especificaciones.
 - Se parte de los requerimientos del circuito, como ganancia, ancho de banda y consumo de potencia.
 - Estas especificaciones establecen los parámetros fundamentales que deben alcanzarse en el diseño.
2. Generación de LUTs.
 - En lugar de depender de modelos simplificados, se generan LUTs a partir de simulaciones previas en SPICE u otras herramientas de simulación.
 - Estas tablas contienen datos eléctricos clave, como g_m , g_{ds} , g_m/I_D , capacitancias parasitas entre terminales y corrientes de drenador, asegurando que los valores utilizados sean físicamente viables dentro de la tecnología seleccionada.
3. Selección de parámetros de diseño y cálculo de dimensiones (W y L).
 - Se realiza el flujo genérico de dimensionamiento, el cual se explicará a continuación.
4. Simulación y validación del diseño.
 - Se implementa el circuito con los valores obtenidos y se verifica su desempeño mediante simulaciones de pequeña señal y transitorias.
 - Si los resultados no cumplen con las especificaciones, se ajustan los parámetros dentro del marco estructurado del diseño sin recurrir a iteraciones empíricas. Además, errores considerables en los resultados de este paso podrían indicar también problemas en la extracción de parámetros de los modelos compactos.
5. Optimización y refinamiento.
 - Se exploran ajustes en los parámetros para mejorar eficiencia energética, reducir área y optimizar el desempeño eléctrico del circuito. Esto considerando que los modelos siguen siendo compactos y por lo tanto, siempre introducirán algún grado de error.
 - Se realizan refinamientos para garantizar robustez ante variaciones de proceso, temperatura y voltaje.

El flujo genérico de dimensionamiento de los transistores se compone de los siguientes pasos:

1. Determinación de g_m a partir de las especificaciones del diseño.

- La transconductancia g_m es una métrica clave que define el desempeño del circuito y está directamente relacionada con la ganancia y el ancho de banda.
 - Se determina en función de los requisitos de diseño, como la ganancia de la etapa de amplificación o la frecuencia de operación.
2. Selección de la longitud de canal L .
 - Canal corto: Proporciona alta velocidad y reduce el área ocupada.
 - Canal largo: Mejora la ganancia intrínseca y el emparejamiento de dispositivos, siendo útil en circuitos de precisión.
 3. Elección de la eficiencia de transconductancia g_m/I_D .
 - Valores altos de g_m/I_D : Permiten reducir el consumo de potencia y obtener mayor oscilación de señal (bajo V_{DSat}).
 - Valores bajos de g_m/I_D : Favorecen la alta velocidad y el menor tamaño de los dispositivos.
 4. Cálculo de la corriente de polarización I_D .
 - Se obtiene mediante la relación $I_D = g_m/(g_m/I_D)$, donde g_m/I_D fue definido en el paso anterior.
 5. Determinación del ancho del transistor W .
 - Se calcula a partir de la ecuación $W = I_D/J_D$, donde J_D es la densidad de corriente obtenida de las LUTs.
 - Este paso garantiza que los valores de diseño sean realistas y compatibles con la tecnología utilizada.

3.2. Técnica de eficiencia de transconductancia g_m/I_D

Para optimizar los parámetros de diseño mencionados anteriormente, es necesario encontrar una ecuación que establezca una relación directa entre ellos, reduciendo la cantidad de variables independientes en el proceso de diseño. En este contexto, la transconductancia g_m juega un papel fundamental:

$$g_m = \frac{\partial I_D}{\partial V_{gs}} = \sqrt{2\mu C_{ox} \frac{W}{L} I_D} \quad (3.3)$$

Sin embargo, la ecuación anterior muestra que existe un número infinito de combinaciones de W , L y I_D que pueden llevar a un mismo valor de g_m , lo que hace que la optimización directa sea poco práctica [38]. Bajo este contexto y si se considera la relación entre tamaño

y corriente que evidencia la ecuación, queda en evidencia que no se pueden optimizar ambas variables simultáneamente. Para abordar este problema sistemáticamente, se definen dos figuras de merito que relacionan el objetivo de diseño (g_m) con las variables que queremos minimizar:

1. g_m/I_D : Eficiencia de transconductancia
2. g_m/W : Densidad de transconductancia

Utilizando las ecuaciones de la aproximación cuadrática se pueden escribir estas figuras de merito como:

$$\frac{g_m}{I_D} = \frac{2}{V_{ov}} \quad (3.4)$$

$$\frac{g_m}{W} = \frac{\mu C_{ox}}{L} V_{ov} \quad (3.5)$$

Donde $V_{ov} = V_{gs} - V_{th}$ es el voltaje de sobredisparo del transistor, el cual determina el régimen de operación y controla qué tan eficientemente se aplica corriente I_D o ancho W para generar la transconductancia deseada. Sin embargo, como se mencionó al inicio del capítulo, la aproximación cuadrática no es precisa para tecnologías modernas. Por esta razón, las curvas de estas figuras de mérito deben obtenerse a partir de simulaciones SPICE.

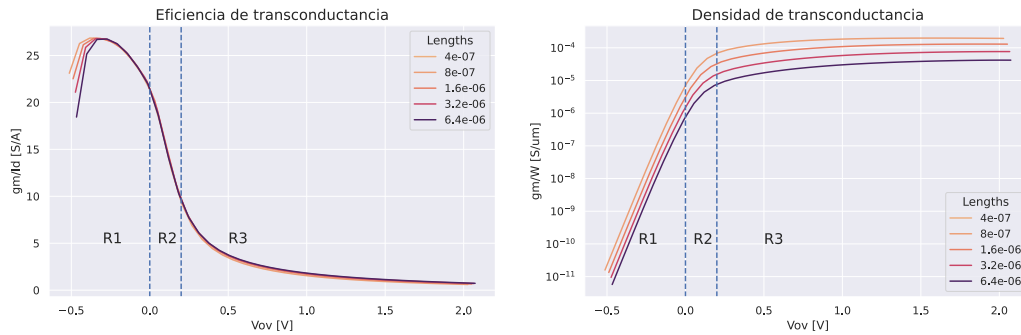


Figura 3.2: Curvas tecnología SKY130.

Las Figuras 3.2, 3.3 y 3.4 presentan la eficiencia de transconductancia g_m/I_D y la densidad de transconductancia g_m/W en función de V_{ov} , obtenidas a partir de simulaciones de los modelos compactos de cada tecnología OpenSource estudiada. Además, los gráficos tienen líneas punteadas que separan las regiones R1, R2 y R3, las cuales corresponden a las divisiones aproximadas de inversión débil, moderada y fuerte respectivamente. Estas curvas permiten identificar lo siguiente:

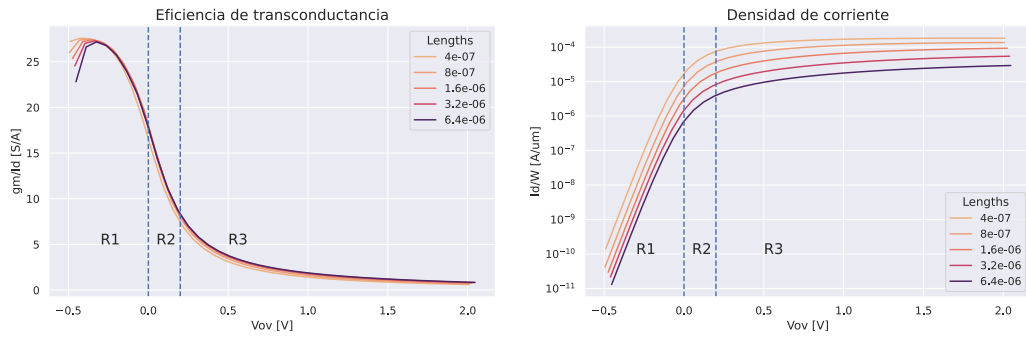


Figura 3.3: Curvas tecnología GF180.

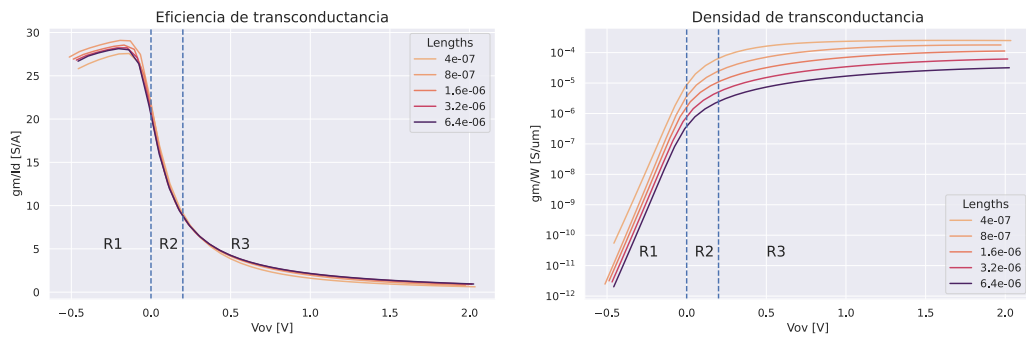


Figura 3.4: Curvas tecnología IHP-SG13G2.

- Se observa que existe una relación inversa entre la eficiencia y la densidad de transconductancia. A medida que la eficiencia g_m/I_D aumenta, la densidad g_m/W disminuye.
- La eficiencia de transconductancia es mayor en la región de inversión débil, mientras que la densidad de transconductancia crece en inversión fuerte, mostrando un compromiso entre ambas figuras de mérito.

Además de estas curvas, otras figuras de mérito relevantes incluyen la ganancia intrínseca y la frecuencia de tránsito, mostradas en las Figuras 3.5 y 3.6.

La Figura 3.5 muestra que la ganancia intrínseca decrece a medida que el transistor entra en inversión fuerte. Esto sugiere que, aunque la inversión fuerte permite un mayor ancho de banda y menor área, sacrifica ganancia, lo cual es una consideración clave en amplificadores de alta ganancia. Por otro lado, la Figura 3.6 indica que la frecuencia de tránsito (f_T) aumenta a medida que el transistor entra en inversión fuerte, lo que implica que un transistor operando en esta región puede alcanzar frecuencias más altas, aunque con

menor eficiencia de transconductancia. Además, se puede concluir que aumentar el largo de canal L del dispositivo incrementa la ganancia pero disminuye la frecuencia de tránsito.

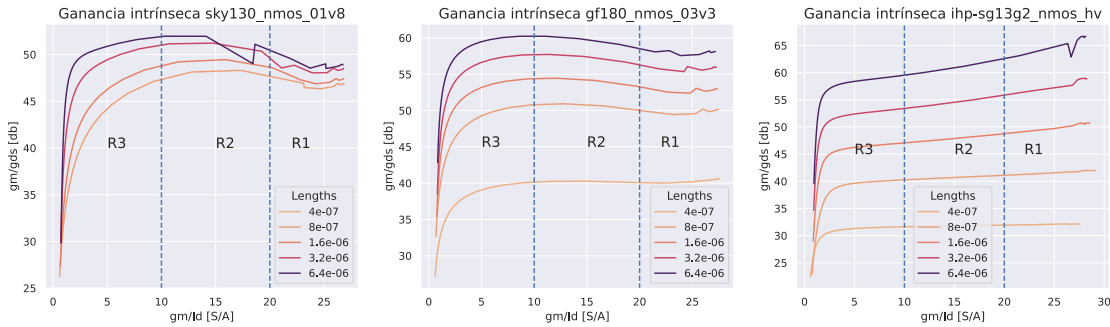


Figura 3.5: Curvas de ganancia para cada tecnología.

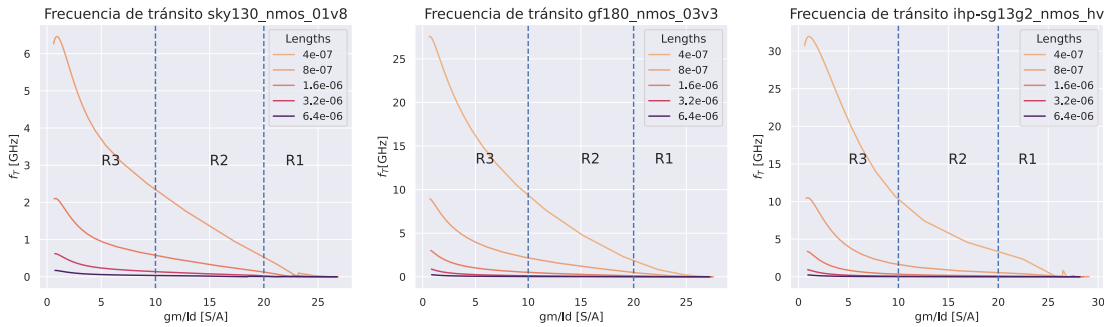


Figura 3.6: Curvas de frecuencia de tránsito para cada tecnología.

Si bien estas curvas proporcionan información valiosa sobre el comportamiento del transistor en distintas regiones de operación, su aplicación práctica requiere un método eficiente para almacenarlas y consultarlas durante el diseño del circuito. Aquí es donde toman relevancia la utilización de las LUTs.

3.3. Generación de tablas de búsqueda

Las tablas de búsqueda (LUTs) son una herramienta fundamental para cuantificar los compromisos entre las diferentes figuras de mérito en el diseño de circuitos integrados analógicos. En particular, permiten acceder a los parámetros clave introducidos en la técnica g_m/I_D , presentada en la sección anterior.

Estas tablas se generan una única vez por tecnología, a partir de simulaciones SPICE, y se almacenan en archivos de datos para su uso posterior en el diseño de circuitos. La Figura 3.7 ilustra el procedimiento general para la obtención de estas LUTs. El proceso comienza

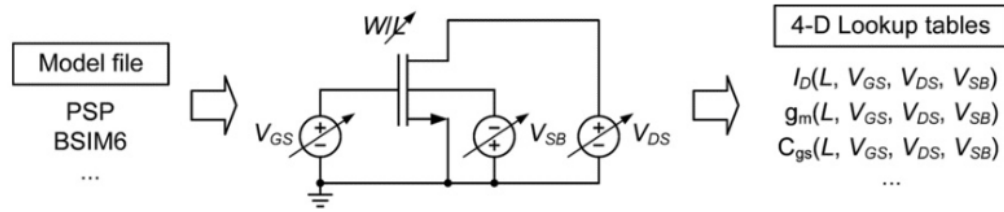


Figura 3.7: Proceso de generación de LUTs [38].

con un modelo de transistor provisto por la fábrica de la tecnología. A partir de este modelo, se realiza un barrido paramétrico en el cual se varían cuatro dimensiones principales:

- Longitud de canal (L).
- Voltaje de compuerta a fuente (V_{gs}).
- Voltaje de drenador a fuente (V_{ds}).
- Voltaje de sustrato a fuente (V_{sb}).

Durante este proceso, el ancho del transistor (W) se mantiene fijo en un valor arbitrario, pero significativo para la tecnología (i.e. ni muy alto ni muy bajo), ya que los parámetros de pequeña señal resultantes escalan linealmente con esta variable. Como resultado, se obtiene una matriz de datos tabulados que almacena los valores de los parámetros de pequeña señal, listos para ser utilizados en el diseño sistemático.

Una vez generadas las LUTs, el siguiente paso es aprender a utilizarlas de manera eficiente. El diseño sistemático plantea eliminar el uso de V_{ov} como variable de diseño, ya que esta proviene del modelo cuadrático, el cual, como se demostró previamente, pierde validez en tecnologías modernas. En su lugar, se emplea g_m/I_D , que, al igual que V_{ov} , actúa como un indicador del nivel de inversión de los dispositivos.

3.4. Ejemplo de Funcionamiento del Diseño Sistemático

Para ilustrar el proceso del diseño sistemático, se presenta un ejemplo práctico consistente en el diseño de una de las primitivas introducidas en el capítulo 2, implementada con los dispositivos de alto voltaje de la tecnología de IHP-SG13G2. El circuito de la Figura 3.8 corresponde a un transistor en configuración fuente común, con $V_{dd} = 3,3[V]$, $V_{out} = 1,2[V]$, $C_L = 1[pF]$ y con las variables de diseño: V_{bias} , I_D , W y L . Además, el circuito debe cumplir con las especificaciones de la Tabla 3.1.

El primer paso del flujo de dimensionamiento consiste en determinar el valor objetivo de transconductancia (g_m), seguido por la selección de la longitud de canal (L) y la eficiencia de transconductancia (g_m/I_D). A partir de ellos, se calculan la corriente de polarización

Tabla 3.1: Especificaciones del circuito del ejemplo de funcionamiento del diseño sistemático.

Especificación	Símbolo	condición
Ganancia	A_0	$> 40dB$
Producto ganancia ancho de banda	GBW	$> 10MHz$
Corriente	I_D	$< 20e - 6$

(I_D) y el ancho del transistor (W). Sin embargo, la elección de g_m/I_D requiere especial cuidado, ya que recae en la experiencia del diseñador. Un valor inadecuado puede resultar en un diseño subóptimo en términos de corriente o área ocupada [68]. Para evitar esto, se realiza un barrido de g_m/I_D (V_{bias} en términos eléctricos) generando el espacio de diseño viable para el circuito. Para iniciar este proceso, primero se deben obtener las ecuaciones que relacionan las especificaciones del circuito con los parámetros de diseño:

$$A_0 = \frac{g_m}{g_{ds}} \quad (3.6)$$

$$BW = \frac{g_{ds}}{2\pi C_L} \rightarrow GBW = A_0 \cdot BW = \frac{g_m}{2\pi C_L} \quad (3.7)$$

Estas ecuaciones muestran que la ganancia de voltaje depende de la relación entre la transconductancia (g_m) y la conductancia de drenador a fuente (g_{ds}), mientras que el producto ganancia-ancho de banda (GBW) se encuentra limitado por la capacitancia de carga (C_L).

Para la exploración se seleccionan 100 valores equidistantes de V_{bias} entre 0,1[V] y 2,6[V], generando un barrido equivalente de g_m/I_D entre 0,5[S/A] y 25,6[S/A]. Además, se seleccionan 30 valores equidistantes de I_D entre 1[μA] y 20[μA], y 5 valores de largos del transistor $L = [0,4; 0,8; 1,6; 3,2; 6,4][\mu m]$. De esta forma se extraen 15000 puntos viables de la LUT.

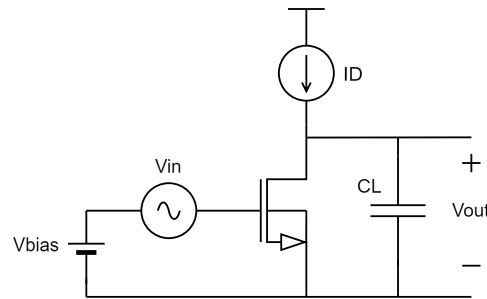
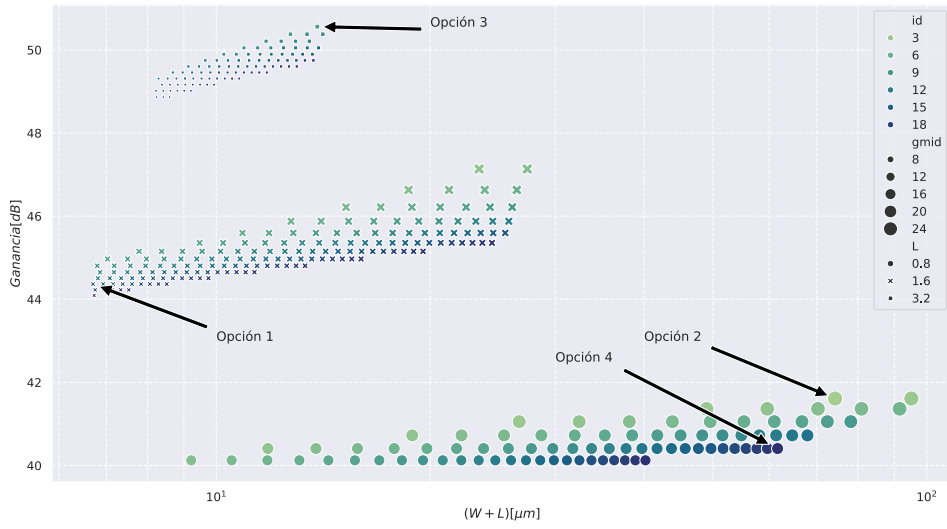
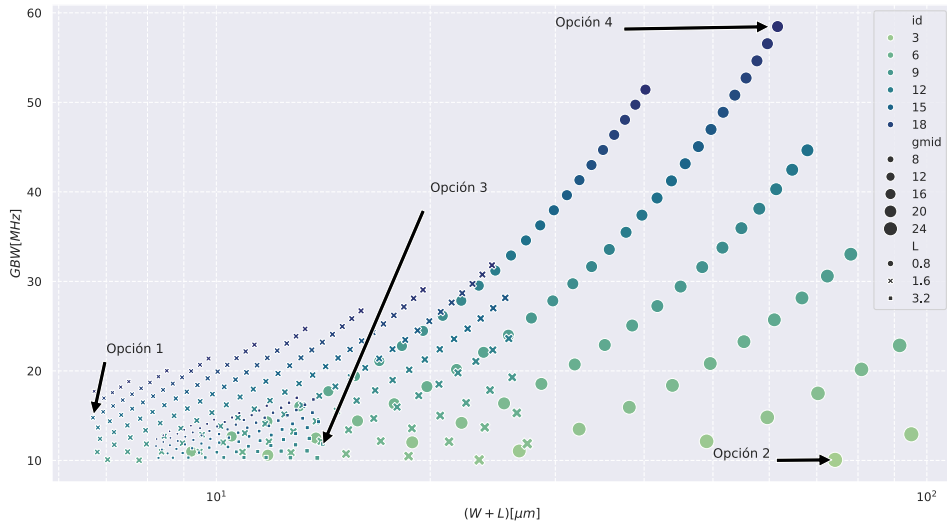


Figura 3.8: Circuito del ejemplo de funcionamiento del diseño sistemático.



(a) Espacio de diseño de ganancia



(b) Espacio de diseño de la ganancia-ancho de banda

Figura 3.9: Resultados de exploración del ejemplo de funcionamiento del diseño sistemático

Todos los puntos se evalúan en las ecuaciones 3.6 y 3.7 para obtener el espacio de

Tabla 3.2: Puntos de optimización del circuito explorado

	Ganancia	GBW	g_m/I_D	I_D	W	L
	[dB]	[MHz]	[S/A]	[μA]	[μm]	[μm]
Opción 1	44.36	14.7	6.29	14.75	5.1	1.6
Opción 2	41.61	10.06	27.37	2.31	73.46	0.8
Opción 3	50.56	10.28	7.87	8.2	10.67	3.2
Opción 4	40.4	58.46	18.36	20	60.84	0.8

diseño completo, que luego se filtra dejando únicamente 335 soluciones que cumplen con las especificaciones. La Figura 3.9 muestra el resultado de exploración para la ganancia y el producto ganancia-ancho de banda. La Figura 3.9a muestra que la ganancia aumenta al incrementar L y g_m/I_D , en concordancia con lo presentado en la Sección 3.2. En cambio, la corriente tiene un impacto menos significativo. Por otro lado, de la Figura 3.9b se concluye que para aumentar el producto ganancia-ancho de banda es necesario disminuir el valor de L y aumentar la corriente. Del espacio de diseño se extraen las 4 opciones que muestra la Tabla 3.2. Estas corresponden a las 4 esquinas de optimización del circuito:

- Opción 1: Menor tamaño posible.
- Opción 2: Menor corriente posible.
- Opción 3: Mayor ganancia posible.
- Opción 4: Mayor producto ganancia-ancho de banda posible.

Finalmente, a modo de verificación del diseño sistemático se realiza la simulación ac del circuito de ejemplo utilizando NGSPICE para los 4 casos, obteniendo las curvas de la Figura 3.10 y la Tabla 3.3 que muestra el error porcentual entre la simulación y lo obtenido a través del diseño sistemático.

Una vez identificadas las esquinas de optimización (o corners), es importante destacar que en la práctica la solución óptima no suele coincidir con uno de estos extremos, sino que surge de una combinación intermedia entre ellos. Esta combinación depende del objetivo de diseño específico o de un compromiso entre múltiples métricas, como sacrificar parte de la ganancia para reducir el consumo de corriente o el área del circuito. De esta forma, se concluye que para circuitos más complejos, donde el efecto de cada parámetro no es evidente, es necesario aplicar algoritmos de optimización de múltiples objetivos que permitan explorar

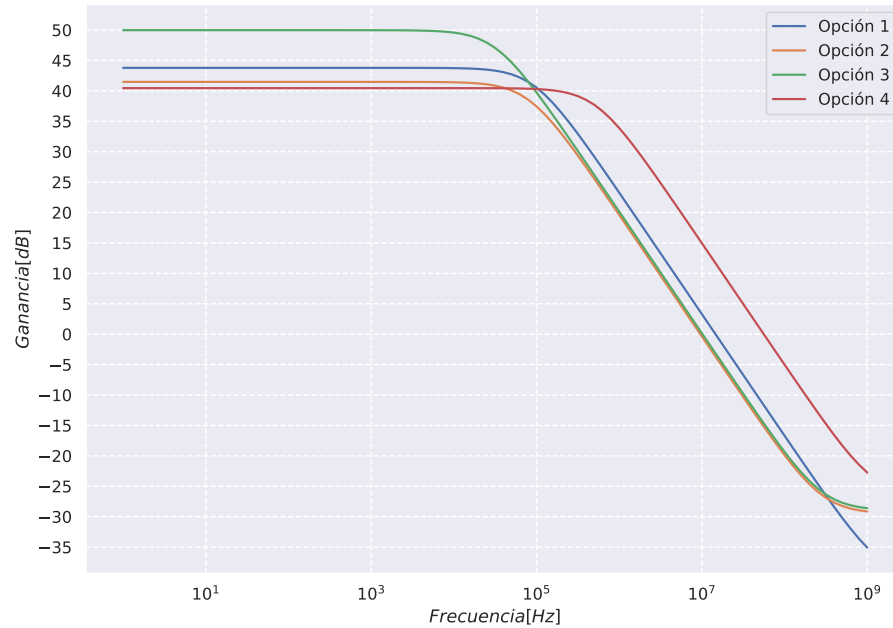


Figura 3.10: Simulaciones SPICE de los 4 puntos de optimización.

el espacio de diseño de forma integral, considerando simultáneamente distintas figuras de mérito [69].

Tabla 3.3: Errores entre resultados de exploración y simulación SPICE de los 4 puntos de optimización.

	Error de A_0	Error de GBW
Opción 1	1.34 %	1.03 %
Opción 2	0.35 %	4.9 %
Opción 3	1.18 %	0.94 %
Opción 4	0.08 %	4.2 %

3.5. Resumen del Capítulo

Este capítulo presentó el diseño sistemático como una metodología orientada a la determinación eficiente de las dimensiones geométricas de los transistores, a partir de la caracterización previa mediante curvas g_m/I_D y el uso de LUTs. Se describieron distintos enfoques de dimensionamiento en función de la disponibilidad de especificaciones, y se introdujo el concepto de esquinas de diseño como herramienta para analizar la sensibilidad y los compromisos entre parámetros. No obstante, se evidenció que, para circuitos complejos, es necesario recurrir a estrategias de optimización multiobjetivo que consideren simultáneamente múltiples restricciones y figuras de mérito. El capítulo siguiente aborda la implementación de esta lógica de diseño dentro de un flujo automatizado, integrando tanto la estructuración jerárquica como los métodos sistemáticos de dimensionamiento y exploración.

METODOLOGÍA DE AUTOMATIZACIÓN DEL DIMENSIONAMIENTO PROPUESTA

EN los capítulos anteriores se establecieron los fundamentos del diseño estructurado y del diseño sistemático, los cuales representan enfoques reconocidos en el estado del arte para abordar la automatización del diseño de circuitos análogos. En esta tesis, se propone una metodología que integra ambos enfoques para la automatización del diseño de circuitos análogos, combinando sus principios clave para mejorar la eficiencia del proceso.

Por un lado, del diseño estructurado se adopta la jerarquización del circuito, en la que el diseño se descompone en bloques funcionales denominados macromodelos. Cada macromodelo puede contener otros sub-macromodelos o estructuras fundamentales denominadas primitivas. Además, se incorpora la derivación de especificaciones, lo que permite propagar restricciones de diseño desde el nivel de sistema hasta los elementos básicos del circuito. Este enfoque modular facilita el análisis, optimización y reutilización de diseños.

Por otro lado, del diseño sistemático se introduce la exploración eficiente del espacio de diseño, en la que se emplean tablas de búsqueda (LUTs) para reemplazar la dependencia de simulaciones iterativas en SPICE. Este enfoque permite reducir drásticamente los tiempos de exploración, eliminando la necesidad de ajustes manuales en cada iteración del proceso de diseño. De esta forma, la metodología propuesta se organiza en tres etapas, como muestra

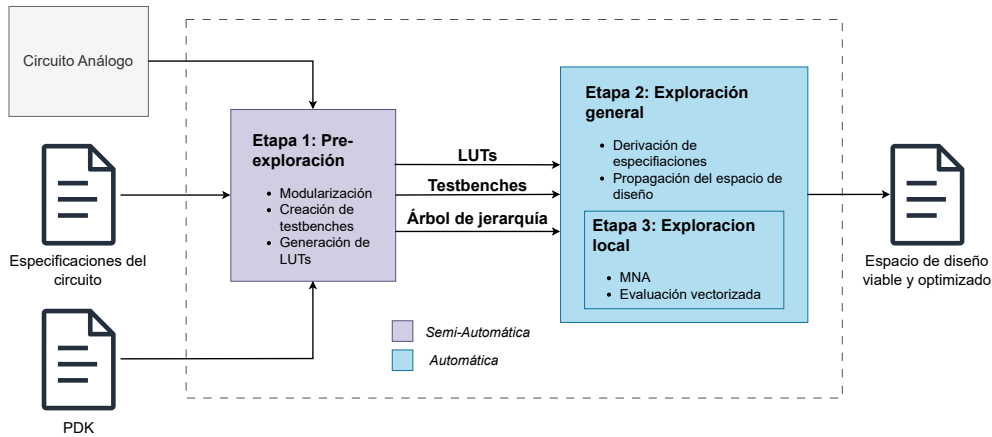


Figura 4.1: Diagrama de las etapas de la metodología propuesta.

la Figura 4.1:

1. **Etapa 1. Pre-exploración:** En esta fase inicial, se descompone el circuito para crear el árbol de jerarquía, se definen los testbench y se genera la tabla de búsqueda para la tecnología bajo análisis, siendo este último el único proceso automático de esta etapa.
2. **Etapa 2. Exploración global:** Se recorre el árbol de jerarquía del circuito, propagando las especificaciones y luego filtrando las soluciones.
3. **Etapa 3. Exploración local:** Aunque forma parte del proceso de exploración global, esta etapa es el núcleo del proceso de optimización. Este es el encargado de generar el espacio de diseño completo, para luego ser filtrado en la exploración global.

4.1. Etapa 1: Pre-exploración

En esta sección se presenta la primera etapa del flujo de diseño, la cual se encarga de la preparación de los archivos y modelos del circuito antes de la exploración automatizada. La Figura 4.1 ilustra el flujo de esta etapa, desde la modularización inicial del circuito hasta la generación de testbenches y LUTs.

Esta etapa comienza con la modularización del circuito, un proceso ya introducido en el capítulo de diseño estructurado. Sin embargo, en esta sección se complementa con la introducción del concepto de árbol de jerarquías, una estructura que representa las dependencias entre los macromodelos, submacromodelos y primitivas en cada nivel jerárquico.

Por otro lado, se definen los testbenches, los cuales permiten evaluar cada macromodelo en función de sus especificaciones. Estos son circuitos en formato SPICE que contienen las

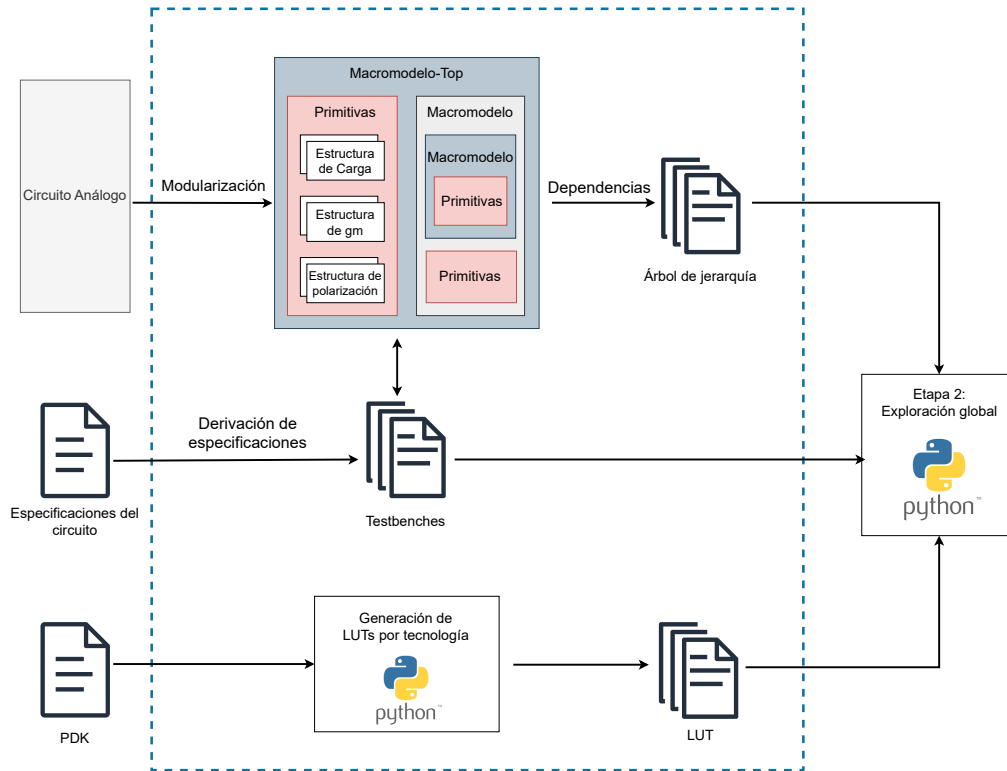


Figura 4.2: Diagrama etapa 1.

conexiones necesarias para modelar el comportamiento del macromodelo sin necesidad de resolver ecuaciones manualmente. Dado que cada macromodelo debe cumplir con ciertas especificaciones, los testbenches se construyen para cada nivel de la jerarquía.

Esta etapa también incluye un proceso automatizado: la obtención de la LUT para cada tecnología y dispositivo. Estas tablas son generadas mediante código en Python, lo que permite reducir significativamente el esfuerzo manual. La configuración inicial de este código es la única intervención requerida en este paso, asegurando que el proceso de generación de LUTs pueda ejecutarse de manera sistemática para diferentes tecnologías.

A continuación, se profundiza en los procesos que componen esta etapa. Comenzando con la modularización. Luego la definición de los testbenches y finalmente, la generación de LUTs.

4.1.1. Modularización

En el capítulo de diseño estructurado, el amplificador operacional de dos etapas se utilizó como ejemplo de modularización. Sin embargo, en aquella ocasión, el diagrama de

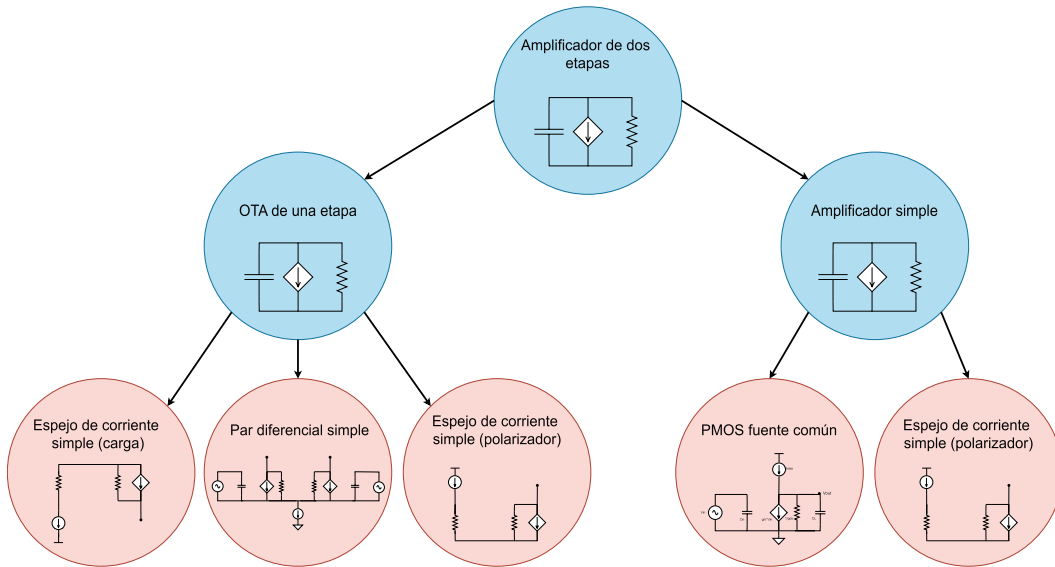


Figura 4.3: Árbol jerárquico del amplificador operacional de dos etapas.

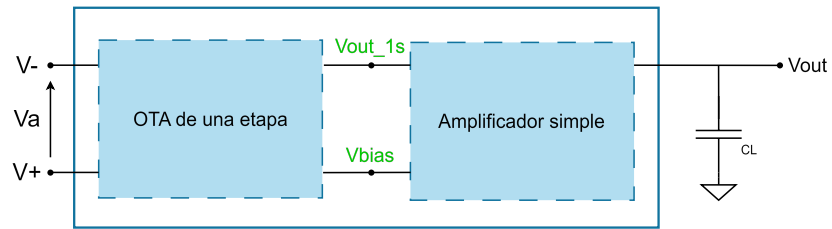
descomposición incluyó todas las posibles primitivas que podían conformarlo (ver Figura 2.2). En esta sección, se sigue un enfoque más concreto: se genera el árbol de jerarquías utilizando únicamente las primitivas específicas seleccionadas en la Sección 2.6. La Figura 4.3 ilustra el resultado de este proceso, mostrando la relación entre macromodelos y primitivas dentro de la jerarquía del circuito.

Cada macromodelo se representa mediante un modelo funcional simplificado, acompañado de una lista de valores definidos previamente por el diseñador para cada uno de sus parámetros de pequeña señal. Dichos valores permiten realizar la exploración inicial, lo que facilita la derivación de especificaciones. Además, los parámetros eléctricos de cada macromodelo, como voltajes de entrada y salida, son derivados a partir de las especificaciones del circuito analógico principal, asegurando coherencia en el flujo de diseño.

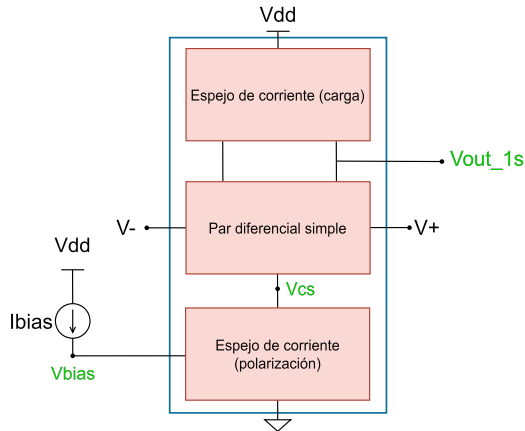
Por otro lado, como se expuso en la Sección 2.5 las primitivas también cuentan con modelos funcionales simplificados, cuyos parámetros se extraen de las tablas de búsqueda. Dichos parámetros se ajustan a los requisitos impuestos por los macromodelos superiores en la jerarquía, incluyendo datos adicionales relevantes, como mínimo y máximo del ancho y largo de los transistores. De esta manera, se garantiza que la exploración del diseño se base en valores realistas y alineados con las características tecnológicas disponibles.

4.1.2. Definición de Tesbenches

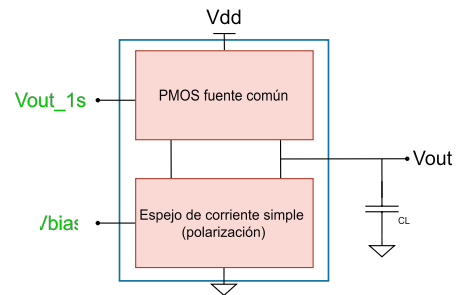
Cada macromodelo en el árbol de jerarquías debe cumplir con ciertas especificaciones derivadas de los requerimientos del diseño general. Estas especificaciones se implementan a



(a) Testbench de ganancia de amplificación macromodelo amplificador de 2 etapas



(b) Testbench de ganancia de amplificación macromodelo OTA de una etapa



(c) Testbench de ganancia de amplificación macromodelo amplificador simple

Figura 4.4: Testbenches de ganancia de amplificación

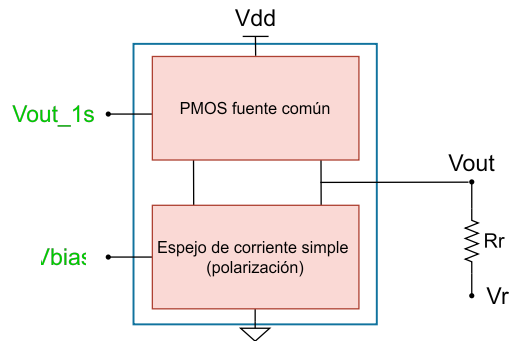


Figura 4.5: Testbench de resistencia de salida para el amplificador simple.

través de testbenches, los cuales permiten evaluar el desempeño de cada bloque en función de métricas predefinidas. Cada testbench está compuesto por los siguientes elementos:

1. Netlist del circuito a analizar: Describe la topología del macromodelo y sus conexiones.

2. Función de transferencia o ecuación algebraica: Relación matemática que define el comportamiento del macromodelo, permitiendo extraer parámetros de interés.
3. Condiciones de diseño: Restricciones impuestas a las variables del diseño, como valores mínimos y máximos permitidos.
4. Objetivo de optimización (si aplica): Determina qué parámetro se busca maximizar o minimizar en función de los requisitos del sistema.
5. Parámetros internos a actualizar: En caso de que el testbench tenga impacto en otro nivel de la jerarquía, define qué valores deben actualizarse del modelo simplificado.

La Figura 4.4 muestra los circuitos de los testbenches utilizados para evaluar la ganancia de tres macromodelos que forman parte del árbol jerárquico del amplificador operacional de dos etapas. Si bien todos los macromodelos del circuito requieren testbenches para medir la resistencia de salida, en la Figura 4.5 se muestra solo el correspondiente al amplificador simple, como caso de ejemplo. Estos circuitos permiten analizar el comportamiento de cada macromodelo de forma modular, facilitando la derivación de especificaciones en todos los niveles. Por su parte, la Tabla 4.1 muestra un ejemplo del resto de los elementos definidos en estos testbenches.

En el caso de los testbenches de ganancia, estos no conllevan la actualización de ningún parámetro interno del macromodelo, dado que en los amplificadores los parámetros fundamentales son la resistencia de salida, la transconductancia y la capacitancia de entrada/salida. Sin embargo, es relevante obtener la ganancia, ya que permite calcular la transconductancia una vez conocida la resistencia de salida, dado que se cumple la relación:

$$A_0 = g_m \cdot R_{out} \quad (4.1)$$

Este método permite mantener la consistencia en la evaluación de cada macromodelo y proporciona un enfoque estructurado para la exploración global. Además, dado que

Tabla 4.1: Ejemplo de elementos adicionales de los testbenches

Macromodelo	Especificación	TF/EQ	Restricciones	Objetivo de optimización	Parámetro int. a actualizar
Amp. 2 etapas	Ganancia	$\frac{V_{out}}{V_a}$	$Ganancia > 40[dB]$	Max. Ganancia	NA
OTA 1 etapa	Ganancia	$\frac{V_{out,1s}}{V_a}$	$Area < 100[\mu m]$	Min. Área	NA
Amp. simple	Ganancia	$\frac{V_{out}}{V_{out,1s}}$	$Area < 100[\mu m]$	Min. Área	NA
	R de salida	$\frac{V_{out}R_r}{V_r - V_{out}}$	$R > 100[k\Omega]$	Min. Área	R_{out}

existen especificaciones que se repiten en distintos macromodelos, es posible estandarizar los testbenches de forma que pasen a ser parte inherente de una especificación particular, independientemente del macromodelo al que se apliquen. No obstante, esta idea no se desarrolla en profundidad en el método propuesto. Por otro lado, dado que se ha trabajado bajo el marco de modelos de pequeña señal, los testbenches definidos están orientados exclusivamente a obtener resultados en régimen estacionario y en el dominio de la frecuencia, es decir, corresponden a análisis AC. Por lo tanto, no consideran análisis transitorio ni comportamiento dinámico en el dominio del tiempo, ya que este tipo de efectos excede el alcance de los modelos simplificados de los macromodelos y primitivas.

4.1.3. Generación de tablas de búsqueda

La generación de LUTs se realiza de manera automatizada mediante código en Python, el cual extrae parámetros eléctricos relevantes a partir de simulaciones de dispositivos específicos. Estos datos se organizan en tablas que relacionan dimensiones físicas, corrientes, ganancias y otros parámetros esenciales con los valores de diseño permitidos dentro de la tecnología seleccionada.

El flujo general para la generación de LUTs sigue los siguientes pasos:

1. **Definición de barridos paramétricos:** Se establecen los rangos de valores de V_{gs} , V_{ds} , V_{sb} y L . Además, el valor único de W que será después utilizado para escalar los resultados.
2. **Simulación automatizada:** Se ejecutan simulaciones eléctricas utilizando herramientas de análisis de circuitos para obtener las respuestas de los dispositivos en los distintos puntos de operación definidos por el barrido de parámetros.
3. **Almacenamiento estructurado de datos:** Los resultados obtenidos se organizan en LUTs que pueden ser consultadas rápidamente durante la exploración del diseño. Los valores de pequeña señal almacenados en estas tablas incluyen: transconductancia (g_m), eficiencia de transconductancia (g_m/I_D), conductancia de salida (g_{ds}), frecuencia de tránsito (f_T), capacitancias parasitas, etc.

Este proceso minimiza la intervención manual, ya que la única configuración requerida es la definición de los rangos de barrido y la configuración de la simulación automatizada para cada tecnología. Con las LUTs generadas, el sistema puede explorar de manera eficiente las opciones de diseño dentro del espacio permitido por la tecnología seleccionada, asegurando una optimización más rápida y precisa en la etapa de exploración local.

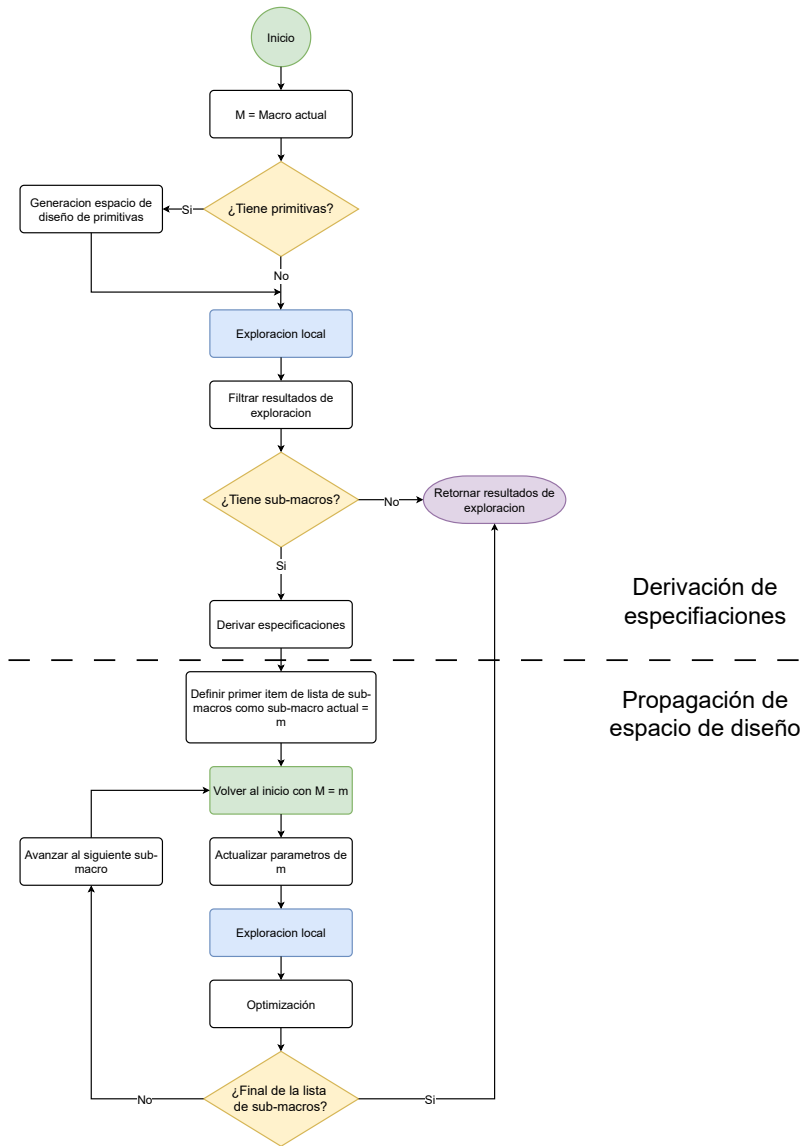


Figura 4.6: Diagrama etapa 2.

4.2. Etapa 2: Exploración global

La segunda etapa del flujo de diseño corresponde a la exploración global, donde se recorre de manera estructurada la jerarquía de macromodelos y primitivas definida en la etapa anterior. Durante esta fase, se optimizan los parámetros de cada macromodelo de forma jerárquica, asegurando que los valores obtenidos sean coherentes con las restricciones

impuestas por la estructura del circuito. La exploración global sigue un enfoque bidireccional, combinando dos flujos de análisis complementarios:

- **Flujo descendiente** (Derivación de especificaciones): Se propagan las especificaciones del circuito desde el nivel superior hacia las primitivas en la base de la jerarquía, estableciendo restricciones para cada nivel.
- **Flujo ascendente** (Propagación del espacio de diseño): Una vez que los niveles inferiores han sido evaluados, los resultados se propagan hacia arriba, ajustando y optimizando los parámetros de los macromodelos superiores.

Esta estrategia minimiza la cantidad de evaluaciones necesarias. En el flujo descendente, el número de combinaciones no escala exponencialmente, ya que depende únicamente de los parámetros por defecto de los sub-macromodelos. Sin embargo, en el flujo ascendente, si no se filtra adecuadamente el espacio de diseño, el número de combinaciones crece exponencialmente, dificultando la exploración del espacio de diseño en términos de capacidad de computo y tiempo de ejecución.

Para recorrer la jerarquía de manera eficiente, la exploración global implementa una búsqueda en profundidad (Depth-First Search, DFS) [70]. Este algoritmo permite evaluar cada macromodelo, asegurando que las restricciones derivadas se propaguen correctamente y optimizando la convergencia hacia una solución óptima. La Figura 4.6 ilustra el flujo general de esta etapa. En esta se observa con más detalle los siguientes procesos de cada flujo:

- Derivación de especificaciones:
 1. Se selecciona el macromodelo actual en evaluación.
 2. Si el macromodelo contiene primitivas, se genera su respectivo espacio de diseño.
 3. Se realiza la exploración local del macromodelo utilizando los valores predefinidos de sus parámetros y los valores obtenidos de sus primitivas.
 4. Se filtran los resultados para asegurar el cumplimiento de las restricciones del diseño.
 5. Si el macromodelo tiene sub-macromodelos, se derivan nuevas condiciones a partir de los resultados de la exploración.
 6. Estas nuevas condiciones se utilizan en la exploración de los sub-macromodelos, repitiendo el proceso hasta alcanzar el nivel más bajo en la jerarquía.
- Propagación del espacio de diseño:
 1. Una vez alcanzado un macromodelo sin sub-macromodelos, se retornan sus resultados de exploración al nivel superior en la jerarquía.

2. Los valores obtenidos se utilizan para actualizar los parámetros previamente predefinidos en el macromodelo superior.
3. Se realiza una nueva optimización de los resultados para cumplir con las especificaciones derivadas.
4. Si existe otro macromodelo adyacente, se marca como siguiente y se reinicia el flujo de exploración global.

Este mecanismo permite asegurar que el diseño resultante sea coherente con las restricciones del sistema, evitando configuraciones no factibles y reduciendo la necesidad de evaluaciones innecesarias. A medida que se asciende en la jerarquía, los resultados de los macromodelos inferiores restringen el espacio de diseño disponible. Para evitar un crecimiento exponencial en las combinaciones de parámetros, se aplica un filtrado que descarta configuraciones no óptimas en cada etapa. Este filtrado se basa en:

1. Condiciones de diseño derivadas de la exploración descendente.
2. Criterios de optimización, priorizando soluciones que maximicen la eficiencia del circuito en términos de consumo de energía, área y desempeño eléctrico.

Gracias a este enfoque, el sistema no evalúa todas las posibles combinaciones, sino que se enfoca solo en aquellas que cumplen con las restricciones, evitando simulaciones innecesarias y optimizando el proceso de exploración. A continuación, se proporcionan más detalles sobre los procesos de esta etapa.

4.2.1. Generación del espacio de diseño de primitivas

Este proceso permite definir los valores de pequeña señal de cada primitiva de manera consistente con la tecnología utilizada y con las restricciones establecidas en la jerarquía del diseño. Para ello, se utiliza el modelo simplificado de cada primitiva y se le asignan valores a cada uno de sus parámetros. Estos se obtienen a partir de las LUTs, previamente generadas en la etapa de pre-exploración. El punto de operación que se utiliza para la extracción de los valores de las LUTs es definido por los parámetros eléctricos del macromodelo del cual deriva la primitiva, asegurando que el espacio de diseño generado no solo sea factible dentro de la tecnología seleccionada, sino que también cumpla con las condiciones establecidas por el circuito.

Este enfoque permite explorar un rango de soluciones válidas para cada primitiva, proporcionando información sobre los compromisos de diseño antes de seleccionar una configuración óptima. En particular, al trabajar con LUTs, se evita el uso de modelos aproximados inexactos y se garantiza que los valores de los parámetros de pequeña señal sean realistas y coherentes con los dispositivos físicos disponibles en la tecnología.

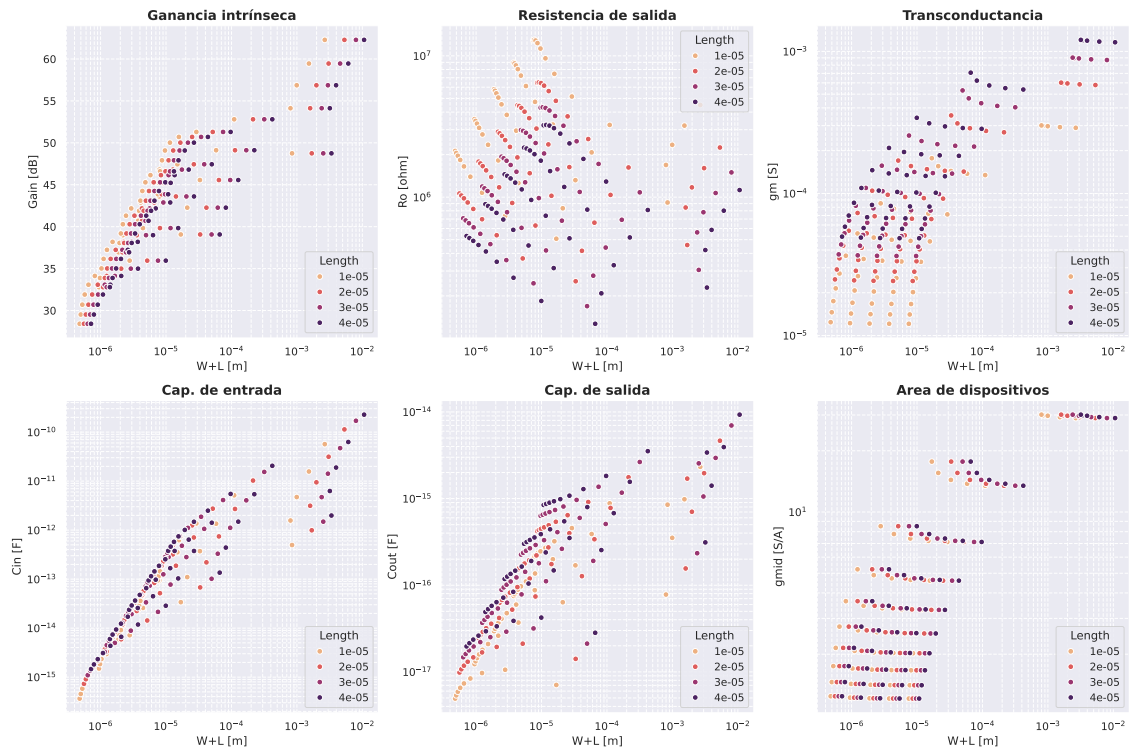


Figura 4.7: Espacio de diseño primitiva PMOS fuente común.

Para ilustrar este procedimiento, se analizará la generación del espacio de diseño de una de las primitivas del amplificador operacional de dos etapas: el transistor PMOS en configuración fuente común. La Figura 4.7 muestra los resultados obtenidos en esta exploración, representando distintas características clave del dispositivo en función del dimensionamiento del dispositivo. En este contexto, se utiliza la suma $W + L$ como figura de mérito, ya que permite visualizar de forma simple la evolución conjunta de los parámetros eléctricos en función del tamaño total del transistor. Esta métrica se emplea como una aproximación del área ocupada por el dispositivo en layout [45], asumiendo un diseño básico sin técnicas especiales de compactación.

Estos resultados evidencian cómo la generación del espacio de diseño permite visualizar las posibles configuraciones del dispositivo antes de su selección final. Con esta información, es posible aplicar filtros para descartar soluciones no viables y reducir la cantidad de combinaciones evaluadas en la exploración global.

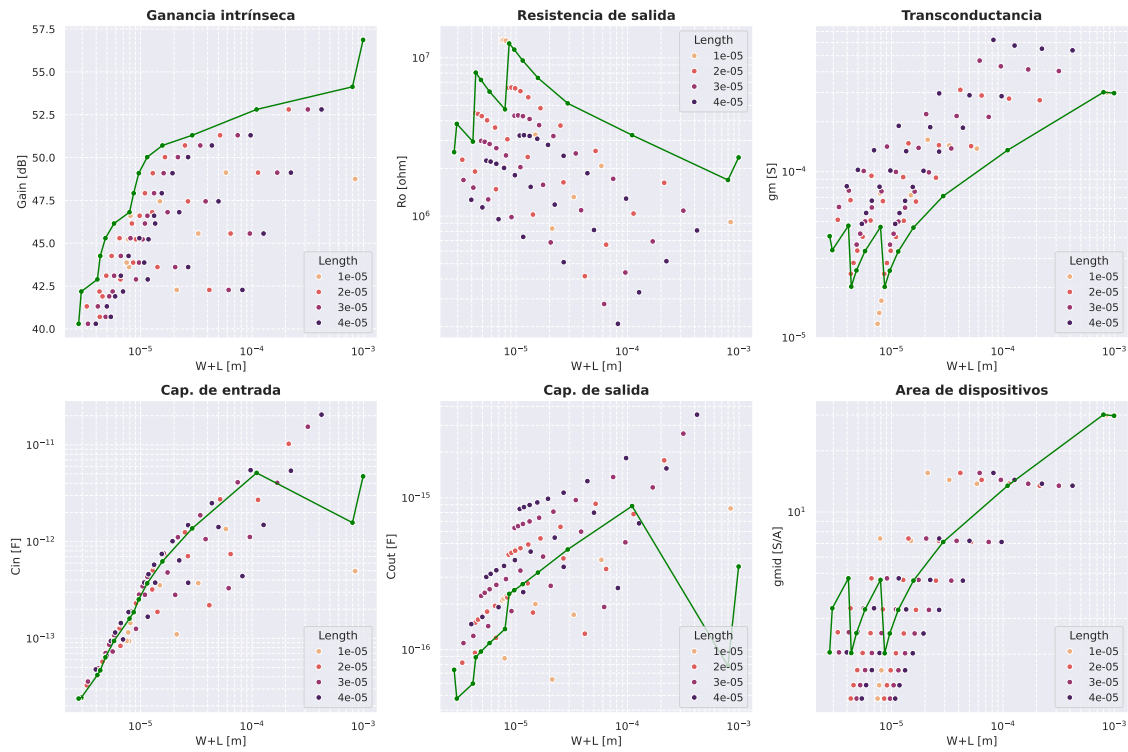


Figura 4.8: Topología básica de LDO con OTA de Miller de una etapa.

4.2.2. Optimización

En la Sección 3.4 se evidenció la necesidad de un método de optimización de múltiples objetivos, donde se equilibren distintas métricas de desempeño que puede estar en conflicto entre sí.

En el caso de circuitos integrados analógicos, la optimización involucra encontrar el mejor compromiso entre varias figuras de mérito, como eficiencia de transconductancia, área de los dispositivos, consumo de corriente y respuesta en frecuencia. Debido a que estas métricas no pueden optimizarse de manera independiente sin afectar negativamente otras, el problema se aborda utilizando el concepto de frontera de Pareto [71].

La frontera de Pareto representa el conjunto de soluciones óptimas en el espacio de diseño, donde ninguna métrica puede mejorarse sin empeorar otra. En otras palabras, cualquier punto en la frontera de Pareto es una solución óptima bajo distintos compromisos de diseño, mientras que cualquier punto fuera de la frontera representa una configuración subóptima.

Para construir esta frontera, se evalúan todas las soluciones obtenidas en la generación del espacio de diseño y se filtran aquellas que dominan a otras en al menos un criterio sin degradar el desempeño en otro. Esto permite reducir significativamente el número de opciones y enfocarse solo en configuraciones que maximizan o minimizan las especificaciones requeridas. No obstante, en algunos casos podría ser preferible una solución fuera de esta frontera si una métrica, como el área, resulta menos relevante que otra, como la potencia. Una forma de abordar este tipo de decisiones es mediante fronteras ponderadas, donde cada objetivo tiene un peso relativo [72]. Esta posibilidad no se considera en la metodología propuesta, por lo que solo se contempla la frontera de Pareto convencional, en la cual todas las especificaciones optimizadas tienen el mismo peso.

Siguiendo el ejemplo de la sección anterior, se realiza la optimización del transistor PMOS en fuente común, considerando tres objetivos clave:

- Minimización del tamaño del dispositivo ($W + L$)
- Minimización del consumo de corriente (I_D)
- Maximización de la ganancia intrínseca (A_0)

Además, se filtraron los resultados de forma que $A_0 > 40[dB]$ y $1\mu < W < 1m$.

La Figura 4.8 muestra la frontera de Pareto (curva verde) obtenida para estas métricas. Se observa nuevamente la relación inversa entre la ganancia y la capacitancias parásitas con respecto al tamaño del transistor. A partir de la frontera de Pareto queda a decisión del diseñador cuál punto es el más conveniente para el circuito. El resultado de esta optimización permite restringir aún más el espacio de diseño, garantizando que sólo las configuraciones más eficientes sean consideradas en las etapas siguientes de la exploración global.

4.3. Etapa 3: Exploración local

En esta etapa se analiza individualmente el testbench de cada macromodelo, considerando sus parámetros eléctricos y las dependencias jerárquicas con otros bloques. Para ello, se emplean dos procesos:

1. Análisis simbólico: Este proceso consiste en la extracción del sistema de ecuaciones que describe el comportamiento del testbench mediante el Análisis Nodal Modificado (MNA), seguido del cálculo de las soluciones del sistema lineal resultante. Esto permite definir claramente la función de transferencia o la ecuación específica que se desea resolver.
2. Evaluación vectorizada: Una vez formuladas las ecuaciones, se utilizan técnicas eficientes para evaluar múltiples configuraciones del espacio de diseño simultáneamente, disminuyendo así el tiempo requerido para la exploración.

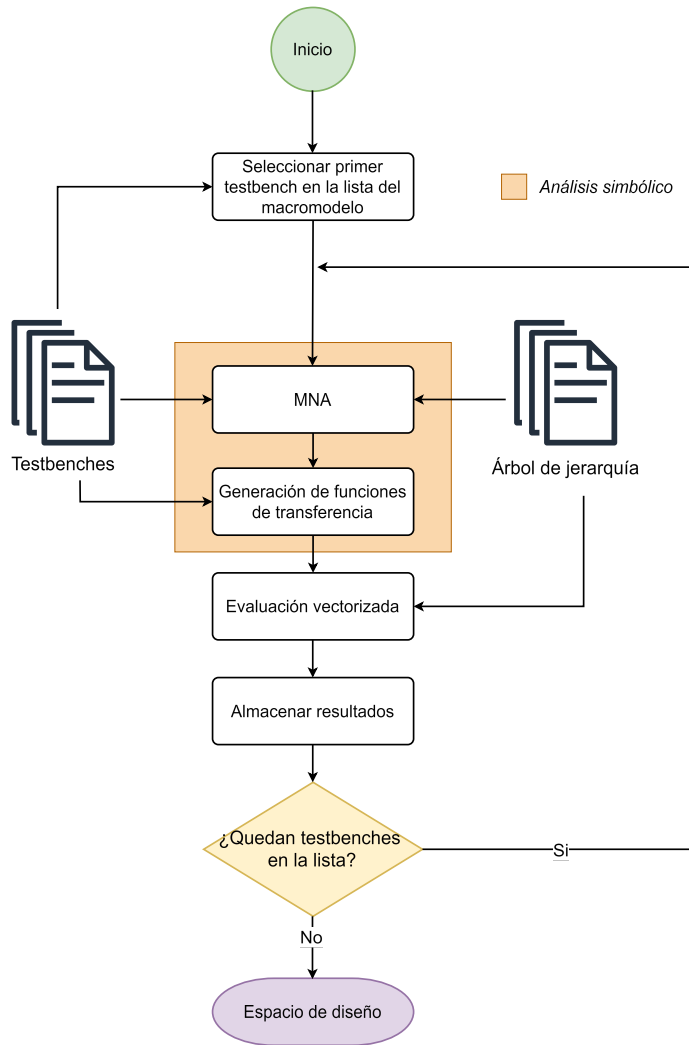


Figura 4.9: Diagrama etapa 3.

Como se observa en la Figura 4.9, esta etapa recibe como entrada:

- El árbol de jerarquías, que define la estructura del circuito.
- Los testbenches, que contienen las especificaciones a cumplir.

En las siguientes secciones se detallan los dos procesos fundamentales de la exploración local mencionados anteriormente.

4.3.1. Análisis simbólico

El análisis simbólico está compuesto por dos etapas principales. Primero, se extrae el sistema de ecuaciones utilizando el Análisis Nodal Modificado (MNA). Segundo, se resuelve el sistema lineal resultante para obtener la función de transferencia o ecuación algebraica solicitada por el testbench.

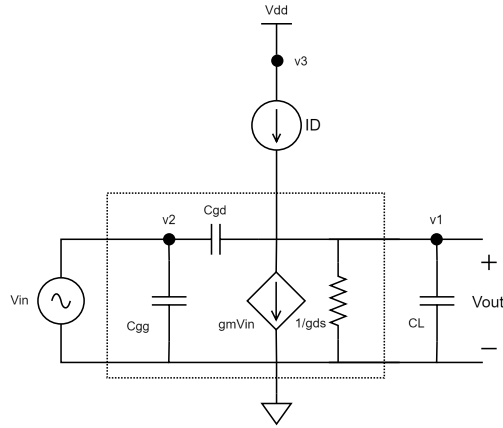


Figura 4.10: Modelo de pequeña señal del ejemplo de la Sección 3.4.

4.3.1.1. Análisis Nodal Modificado

El MNA es una extensión del Análisis Nodal convencional (NA), desarrollado para incluir elementos que este último no puede manejar directamente, tales como fuentes de voltaje, inductores, capacitores y elementos dependientes. En el Apéndice D se explica en profundidad cómo se incorporan estos elementos en el sistema de ecuaciones. Para ilustrar esta metodología se retoma el ejemplo del diseño sistemático presentado en la Sección 3.4, en el cual se asumió que las ecuaciones de restricción ya eran conocidas previamente. Primero, se reemplaza el transistor por su modelo de pequeña señal simplificado, obteniendo así el circuito que se muestra en la Figura 4.10.

Luego, aplicando MNA se obtiene el siguiente sistema matricial de ecuaciones:

$$\begin{bmatrix} C_L s + C_{gd} s + 1/R_{out} & -C_{gd} s + g_m & 0 & 0 & 0 \\ -C_{gd} s & C_{gg} s + C_{gd} s & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \\ 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \\ v_3 \\ I_{v1} \\ I_{v2} \end{bmatrix} = \begin{bmatrix} I_D \\ 0 \\ -I_D \\ V_{in} \\ V_{DD} \end{bmatrix} \quad (4.2)$$

4.3.1.2. Cálculo de soluciones

Una vez obtenido el sistema lineal, se resuelve matricialmente, además, debido a que el análisis es en pequeña señal, las fuentes continuas son apagadas ($I_D = 0$ y $V_{DD} = 0$). De esta forma, para el ejemplo analizado, se obtienen las siguientes soluciones para cada nodo y variable del sistema:

$$v_1 = \frac{V_{in}(C_{gd}s - g_m)}{(C_L + C_{gd})s + 1/R_{out}} \quad (4.3)$$

$$v_2 = V_{in} \quad (4.4)$$

$$v_3 = V_{dd} \quad (4.5)$$

$$I_{v_1} = \frac{k_1s^2 - k_2s}{(C_L + C_{gd})R_{out}s + 1} \quad (4.6)$$

$$I_{v_2} = I_D \quad (4.7)$$

donde,

$$k_1 = -R_{out}V_{in}(C_L C_{gg} + C_L C_{gd} + C_{gg} C_{gd}) \quad (4.8)$$

$$k_2 = -V_{in}(C_{gg} + C_{gd}) + C_{gd}R_{out}(I_D - V_{in}g_m) \quad (4.9)$$

Finalmente, se genera la ecuación indicada por el testbench. Como ejemplo se obtienen las ecuaciones para la función de transferencia de ganancia:

$$A_v(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{v_1}{v_2} = \frac{C_{gd}s - g_m}{(C_L + C_{gd})s + 1/R_{out}} \quad (4.10)$$

4.4. Resumen del Capítulo

En este capítulo se presentó la metodología propuesta para la automatización del diseño de circuitos análogos, integrando los principios del diseño estructurado y sistemático en un flujo dividido en tres etapas. La primera etapa, denominada pre-exploración, se encarga de construir la jerarquía del circuito, definir los testbenches y generar las tablas de búsqueda (LUTs) que caracterizan la tecnología. La segunda etapa, exploración global, recorre el árbol jerárquico propagando especificaciones y filtrando soluciones que no cumplen los requisitos. Finalmente, la exploración local genera el espacio completo de soluciones posibles para cada bloque, evaluando configuraciones mediante análisis simbólico y nodal. Este enfoque permite automatizar la selección de dimensiones de transistores y evaluar alternativas considerando múltiples objetivos de diseño.

El siguiente capítulo presenta la implementación práctica de la metodología propuesta, aplicándola al diseño de un regulador LDO en distintas tecnologías. Se analizan los resultados obtenidos en cada etapa del flujo, validando su funcionamiento a través de simulaciones eléctricas y comparando distintas topologías en función de sus especificaciones alcanzadas y su eficiencia en el espacio de diseño.

APLICACIÓN DE LA METODOLOGÍA PROPUESTA AL REGULADOR LDO

HASTA este punto del documento se han introducido los fundamentos teóricos del diseño estructurado y del diseño sistemático de circuitos integrados analógicos, abordando sus principios, ventajas y limitaciones. Además, se ha presentado una metodología que integra ambos enfoques mediante una estrategia de automatización jerárquica, apoyada en el uso de macromodelos jerárquicos y tablas de búsqueda (LUTs), con el objetivo de facilitar la exploración y el dimensionamiento de circuitos complejos de manera modular y escalable. Para validar esta propuesta, se escogió el regulador de voltaje de bajo dropout (LDO), debido a su relevancia en aplicaciones de microelectrónica y a los módulos clave que lo componen, tales como amplificadores de señal y transistores de potencia, que por sí solos ya representan elementos importantes en diseño analógico. Los códigos utilizados para la implementación se encuentran disponibles en el Apéndice B, donde se incluyen los enlaces a los archivos correspondientes. Es importante mencionar que dichos scripts no están optimizados, ya que su propósito es únicamente demostrar el funcionamiento de la metodología propuesta, y no presentar un flujo final de alto rendimiento.

El capítulo se estructura de la siguiente manera: primero se realiza una explicación detallada del funcionamiento del LDO y se definen las especificaciones utilizadas para la evaluación del diseño. A continuación, se establecen los objetivos de diseño, los cuales se determinan a partir de un análisis del estado del arte y de las tendencias actuales en

reguladores LDO. Luego, se presentan brevemente tres topologías distintas del circuito, las cuales son implementadas con el objetivo de realizar comparaciones entre ellas y demostrar el principio de modularización y reutilización de la metodología. Posteriormente, la metodología se implementa en detalle sobre una de las topologías presentadas, mientras que las otras dos son analizadas brevemente, mencionando únicamente las diferencias relevantes en su implementación. Finalmente, se realiza una comparación y análisis de resultados respecto al estado del arte de metodologías de diseño de reguladores LDO en términos de especificaciones clave.

5.1. Funcionamiento y especificaciones del regulador LDO

Tras la presentación general del LDO en la introducción, en esta sección se profundiza en su funcionamiento con el fin de establecer las bases necesarias para aplicar la metodología propuesta al diseño del circuito. Como se indicó en la introducción, el LDO posee 5 bloques principales, de los cuales solo se estudiarán 4: El transistor de paso, el amplificador de error, la red de realimentación y el circuito de compensación. Para entender el funcionamiento del regulador es necesario entrar en mas detalle sobre cada uno de estos bloques:

- **Transistor de paso:** Este dispositivo entrega la corriente a la carga manteniendo constante el voltaje regulado. En los reguladores tipo LDO, este transistor suele ser un dispositivo PMOS debido a su capacidad para lograr una caída de voltaje menor (de ahí el nombre del regulador) en comparación con un transistor NMOS. Esto se debe a que en el caso del NMOS, el voltaje mínimo de dropout corresponde a la suma del voltaje de saturación más el voltaje compuerta-fuente (V_{gs}), mientras que en el PMOS el dropout mínimo corresponde solo al voltaje de saturación del transistor [73].
- **Amplificador de error:** Este bloque generalmente se implementa utilizando un amplificador operacional de transconductancia (OTA) debido a su capacidad para manejar cargas capacitivas de manera eficiente y su simplicidad en el diseño. La función principal del amplificador de error es comparar la tensión de salida con una referencia interna y amplificar la diferencia, generando una señal de control para el transistor de paso. Esto permite ajustar la corriente entregada a la carga para mantener estable el voltaje de salida [39].
- **Red de realimentación:** Este bloque genera un lazo de control entre el amplificador de error y el transistor de paso. Su función principal es tomar una fracción del voltaje de salida y compararla con la referencia interna mediante un divisor resistivo. Este divisor resistivo permite ajustar y definir el voltaje de salida deseado [73].
- **Circuito de compensación:** Su función es garantizar la estabilidad del lazo de realimentación ante variaciones en la carga y condiciones de operación. Se implementa

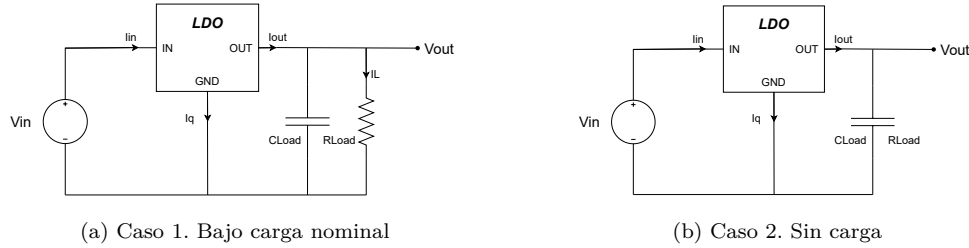


Figura 5.1: Casos de operación del LDO

mediante redes RC que permiten ubicar los polos y ceros del sistema, asegurando un margen de fase adecuado y evitando oscilaciones. La compensación es crítica para mantener una respuesta transitoria controlada y una regulación precisa en reguladores LDO.

Por otro lado, se identifican dos casos de operación del regulador. El primer caso corresponde a cuando este opera con la carga nominal, mientras que el segundo corresponde a cuando opera sin carga. La Figura 5.1 muestra un diagrama para cada caso.

1. **Caso 1. LDO bajo carga nominal:** En este escenario, el LDO entrega corriente a la carga de acuerdo con las especificaciones nominales. Esta condición se caracteriza por un flujo continuo de corriente a través del transistor de paso, lo que se traduce en una baja impedancia de salida. Este caso es generalmente utilizado como punto de referencia principal para el diseño y análisis del regulador.
2. **Caso 2: LDO sin carga:** En ausencia de carga ($I_{Load} = 0$), la corriente suministrada por el transistor de paso se reduce considerablemente, quedando únicamente la corriente de realimentación circulando a través de la red de retroalimentación. Este aumento de impedancia de salida puede afectar negativamente el desempeño del regulador si no se considera adecuadamente durante el diseño.

En conjunto, el funcionamiento del LDO se basa en el lazo de realimentación que regula la tensión de salida. El amplificador de error compara una fracción del voltaje de salida, obtenida a través del divisor resistivo, con una referencia interna (que en este trabajo se asume como un voltaje ideal por simplicidad), y ajusta el voltaje de la compuerta del transistor de paso para mantener la regulación. Bajo carga nominal, el sistema opera con una corriente de salida significativa, mientras que sin carga, sólo circula la corriente de la red de realimentación. Estas dos condiciones afectan directamente la respuesta dinámica del regulador, en particular su estabilidad, tema que se aborda en la siguiente sección.

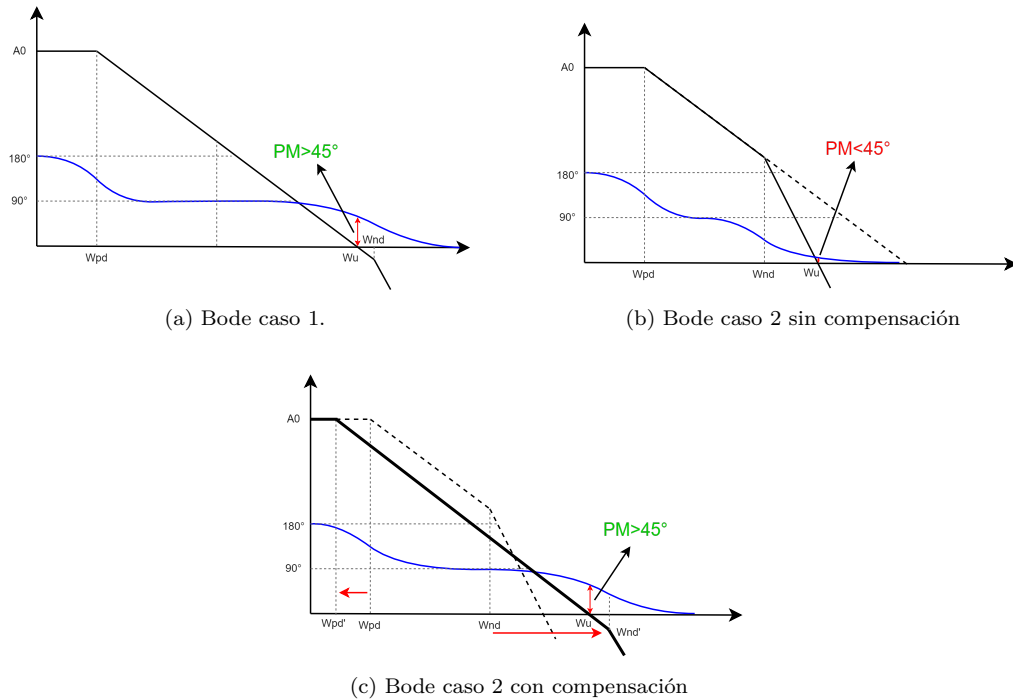


Figura 5.2: Diagramas de bode. w_{pd} : polo dominante, w'_{pd} : polo dominante compensado, w_{nd} : polo no dominante, w'_{nd} : polo no dominante compensado, w_u : frecuencia de ganancia unitaria

5.1.1. Estabilidad del LDO

El análisis de estabilidad de este circuito se basa en la respuesta en frecuencia de su lazo de realimentación, específicamente en la ubicación de los polos dominantes y no dominantes. La estabilidad del sistema se mide generalmente mediante el margen de fase del lazo abierto, que debe ser suficientemente amplio para garantizar que el regulador opere de manera adecuada bajo todas las condiciones de carga.

Los dos casos de operación definidos anteriormente influyen directamente en la estabilidad del LDO debido a la variación en la ubicación de los polos. Bajo condiciones de carga nominal (caso 1), y como se mencionó anteriormente, el LDO presenta una menor impedancia de salida debido al flujo continuo de corriente a través del transistor de paso, lo cual desplaza el polo no dominante a frecuencias más altas, mejorando así la estabilidad. Por otro lado, cuando el LDO opera sin carga (caso 2), la impedancia de salida aumenta considerablemente al quedar únicamente la corriente de realimentación fluyendo a través del circuito de realimentación. Este aumento de impedancia desplaza el polo no dominante hacia frecuencias más bajas, reduciendo el margen de fase y comprometiendo la estabilidad.

Las Figuras 5.2a y 5.2b muestran el diagrama de bode de los casos 1 y 2 respectivamente.

Aunque el circuito podría presentar inestabilidad incluso en el caso 1, se asume que el peor escenario ocurre cuando el LDO opera sin carga. Por este motivo, se utilizan técnicas específicas para mitigar los problemas de estabilidad, considerando principalmente esta última condición.

Las técnicas comunes para mejorar la estabilidad incluyen el uso de dispositivos pasivos como la compensación de Miller, que utiliza un capacitor interno y una resistencia en serie, o capacitores externos al bloque [74,75]. Además, existen otras técnicas de compensación que utilizan transistores y bloques más complejos para desplazar convenientemente los polos para así mantener un margen de fase adecuado bajo todas las condiciones de operación [76,77]. La Figura 5.2c ilustra este principio, mostrando cómo las técnicas de compensación modifican la respuesta en frecuencia del sistema para preservar la estabilidad.

En el caso de que el LDO utilice un amplificador de más de una etapa, la condición de estabilidad se complica aún más, debido a que este último presenta a su vez problemas de estabilidad inherentes a su estructura. Esto conduce a un problema de múltiples polos que deben ser controlados para cumplir con el margen de estabilidad requerido. En esta tesis, se hace uso de un bloque de compensación básico de Miller, debido a que es una de las soluciones on-chip más sencillas y ampliamente utilizada [78]. Los detalles de su implementación se verán más adelante.

5.1.2. Análisis de especificaciones

Las especificaciones principales del regulador LDO que serán consideradas incluyen: PSRR, eficiencia de corriente, margen de caída de voltaje, estabilidad y regulación de carga. A continuación, se definen cada uno de estos detalles, y bajo qué caso de operación se diseña:

1. **PSRR (Power Supply Rejection Ratio):** El PSRR mide la capacidad del LDO para rechazar variaciones en el voltaje de entrada y evitar que estas afecten la salida regulada. Se define como:

$$PSRR = 20 \log \left(\frac{V_{in}}{V_{out}} \right) \quad (5.1)$$

Esta especificación se mide bajo el caso nominal (Caso 1), ya que se asume que mejora en el caso 2.

2. **Eficiencia de corriente:** Esta eficiencia se define como la relación entre la corriente entregada al circuito versus la corriente de carga. Matemáticamente se expresa como:

$$\eta = \frac{I_{out}}{I_{in}} \cdot 100 \quad (5.2)$$

La eficiencia se diseña bajo el caso nominal.

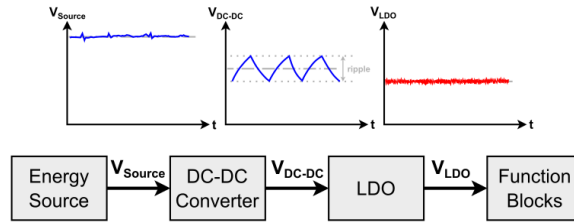


Figura 5.3: LDO en sistemas DC-DC [54]

3. **Margen de caída de voltaje (Dropout Voltaje):** El margen de caída de voltaje se define como la diferencia mínima entre el voltaje de entrada y el voltaje de salida en la cual el LDO puede seguir regulando adecuadamente. Este margen se determina generalmente por la saturación del transistor de paso:

$$V_{dropout} = V_{Dsat} \quad (5.3)$$

Este parámetro es especialmente relevante en el **Caso 1** (bajo carga nominal), donde se requiere que el regulador entregue corriente significativa a la carga. En condiciones de baja carga o sin carga (**Caso 2**), la caída de voltaje es menos crítica ya que la corriente suministrada es mínima.

4. **Estabilidad:** La estabilidad del LDO se evalúa mediante el margen de fase (PM), que debe ser suficientemente alto para evitar inestabilidades. El análisis de estabilidad se realiza considerando la respuesta en frecuencia del lazo abierto, y como se mencionó con anterioridad, es particularmente crítico en el **Caso 2**.
5. **Regulación de carga:** La regulación de carga mide la variación en el voltaje de salida debido a cambios en la corriente de carga, manteniendo constante el voltaje de entrada. Matemáticamente se expresa como:

$$R_{LDR} = \frac{\Delta V_{out}}{\Delta I_{Load}} \quad (5.4)$$

Este parámetro se evalúa considerando la transición entre el **Caso 1** y el **Caso 2**.

5.2. Objetivos de diseño

En sistemas de gestión de energía altamente integrados, como los destinados a dispositivos IoT o nodos autónomos, es común el uso de arquitecturas en serie que combinan convertidores DC-DC y reguladores LDO. En este tipo de configuración, el LDO actúa como una segunda etapa encargada de mejorar la regulación local y filtrar el rizado generado por el convertidor conmutado, tal como se muestra en la Figura 5.3. Esta disposición permite

aprovechar la eficiencia del DC-DC en la conversión gruesa de voltaje, mientras que el LDO asegura un voltaje limpio y estable para los bloques funcionales sensibles [54, 79].

Bajo este contexto, se realiza un estudio del estado del arte en el diseño de LDOs integrados, ya sea automatizado o manual. De esta forma, se definen los siguientes objetivos por especificación:

- **PSRR:** Según estudios reportados en la literatura técnica especializada, los reguladores LDO contemporáneos alcanzan niveles típicos inferiores a $-60dB$ en frecuencias bajas (DC hasta aproximadamente 10 kHz), inferiores a $-40dB$ en frecuencias intermedias (entre 100 kHz y 1 MHz), y alrededor de $-30dB$ en frecuencias altas (hasta 10 MHz). Por lo tanto, considerando estos antecedentes, el objetivo específico de diseño propuesto es: $< -60dB$ para frecuencias bajas (DC-100 Hz). [80, 81]
- **Dropout:** En aplicaciones de bajo consumo, como microcontroladores o sensores IoT, se prioriza la eficiencia energética, por ello se busca un dropout lo mas reducido posible, típicamente menor o igual a $200[mV]$. Por otro lado, en aplicaciones de mayor potencia se toleran valores mayores de caída [82]. De esta forma el objetivo de diseño se define como: $dropout < 400mV$.
- **Regulación de carga:** Esta se desea que sea lo mas pequeña posible ya que esta define que tan bien regula el voltaje este bloque. Generalmente, los diseños apuntan a tener una regulación de carga en el orden de las fracciones de mili-volts por mA [83]. De esta forma, se define como objetivo: $R_{LDR} < 1mV/mA$.
- **Margen de fase:** La estabilidad del lazo de realimentación del LDO se garantiza manteniendo un margen de fase suficientemente alto. En la literatura reciente, se reportan márgenes de fase que van desde $58,12^\circ$ hasta $73,33^\circ$ bajo distintas condiciones de carga y capacitancia de salida [84, 85]. De esta forma, el objetivo de diseño se define como: $PM > 60^\circ$.
- **Carga capacitiva:** Esta depende de la aplicación que se le pretende dar al circuito, sin embargo, los estudios no suelen detallar las razones de por qué utilizan cargas capacitivas específicas. Es por esto, que se determina utilizar la misma capacitancia que en el trabajo "Design automation of Low Dropout Voltage Regulators: A General Approach" [45] debido a que en este igualmente se automatiza un LDO. De esta forma, $C_{Load} = 0,5pF$
- **Corriente de carga:** La corriente de carga depende de la aplicación. Puede ir desde microamperios hasta miliamperios o amperios en casos especiales. En este trabajo, se considera un microcontrolador basado en RISC-V, cuyo consumo típico está entre

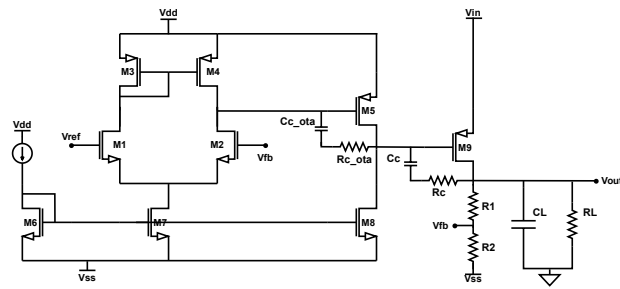
0.01mA y 2mA [86]. Por lo tanto, se define como objetivo una corriente de carga máxima de 5mA.

- **Eficiencia de corriente:** En aplicaciones de bajo consumo como IoT y sistemas embebidos, donde las corrientes de carga son del orden de microamperios, una alta eficiencia de corriente es crucial para no desperdiciar energía en el propio regulador. En la literatura especializada se reportan eficiencias superiores al 90% en LDOs optimizados para bajo consumo. En base a esto, el objetivo de diseño se establece como: $> 98\%$.

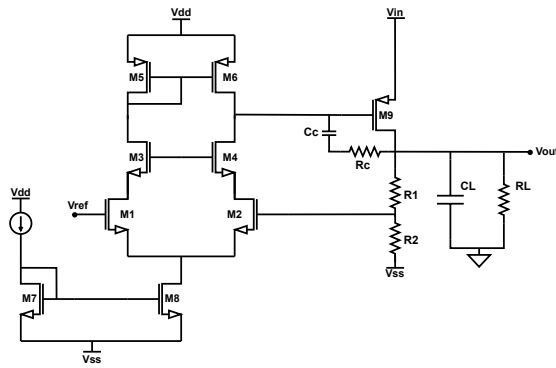
La Tabla 5.1 resume las especificaciones definidas para el diseño del LDO. Además, con el objetivo de acotar aún más el espacio de diseño se agregan a la tabla las restricciones del ancho de los transistores, en donde los límites fueron determinados de forma conveniente. Todos los objetivos de diseño serán evaluados sobre tres distintas topologías: un LDO con OTA de Miller de dos etapas, un LDO con OTA de Miller de una etapa con par diferencial cascode, y un LDO con OTA telescópica. La Figura 5.4 muestra los tres circuitos mencionados. Cabe destacar que el circuito de compensación para todas las topologías es el mismo, y corresponde a la compensación de Miller [87]. Sin embargo, solo se desarrollará

Tabla 5.1: Objetivos de diseño del LDO

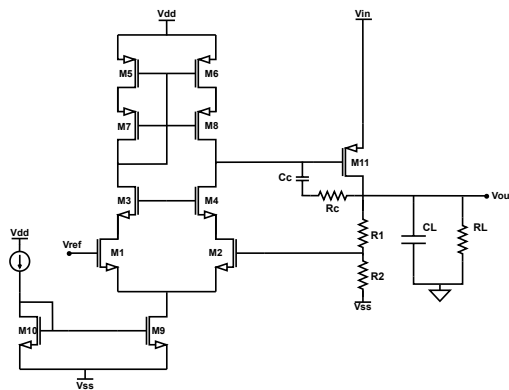
Especificación	Objetivo de diseño
V_{in}	1,8[V]
V_{out}	1,2[V]
V_{ref}	0,9[V]
PSRR (100Hz)	$< -60[dB]$
Dropout	$< 400[mV]$
Regulación de carga	$< 1[mV/mA]$
Margen de fase	$> 60[^\circ]$
C_{Load}	0,5[pF]
$I_{Load,max}$	5[mA]
Eficiencia de corriente	$> 98\%$
W del transistor de paso	$< 15[mm]$
W de transistores de amplificadores	$1\mu m < W < 200\mu m$



(a) LDO con OTA de Miller de dos etapas.



(b) LDO con OTA de una etapa y par diferencial cascode.



(c) LDO con OTA telescópica

Figura 5.4: Topologías a explorar

en profundidad la topología basada en la OTA de dos etapas, ya que es la que presenta la mayor complejidad jerárquica y estructural. Esta topología incorpora más niveles de bloques

funcionales y exige un análisis más detallado en términos de compensación y propagación de especificaciones. Por lo tanto, su estudio permite ilustrar todos los aspectos relevantes de la metodología propuesta, mientras que las otras topologías pueden analizarse aplicando los mismos principios.

Las tres topologías serán implementadas utilizando las tecnologías de fabricación open-source mencionadas en la introducción: IHP-sg13g2, Sky130A y GF180mcuD. No obstante, el análisis en profundidad del LDO con OTA de Miller de dos etapas se realizará exclusivamente con la tecnología IHP. En este contexto, la única diferencia al aplicar la metodología a otras tecnologías radica en las LUTs utilizadas, ya que el resto del flujo es el mismo.

5.3. Etapa 1: Pre-exploración

A continuación se implementa la primera etapa de la metodología propuesta. Comenzando con la descomposición del circuito, luego, la definición de los testbenches y finalmente la generación de las LUTs.

5.3.1. Descomposición del LDO

La descomposición y jerarquización del LDO se muestra en la Figura 5.5. En el ejemplo utilizado en el capítulo 4 se obtuvo el árbol de jerarquía para el amplificador de 2 etapas, sin embargo, para el LDO se agrega el bloque de compensación.

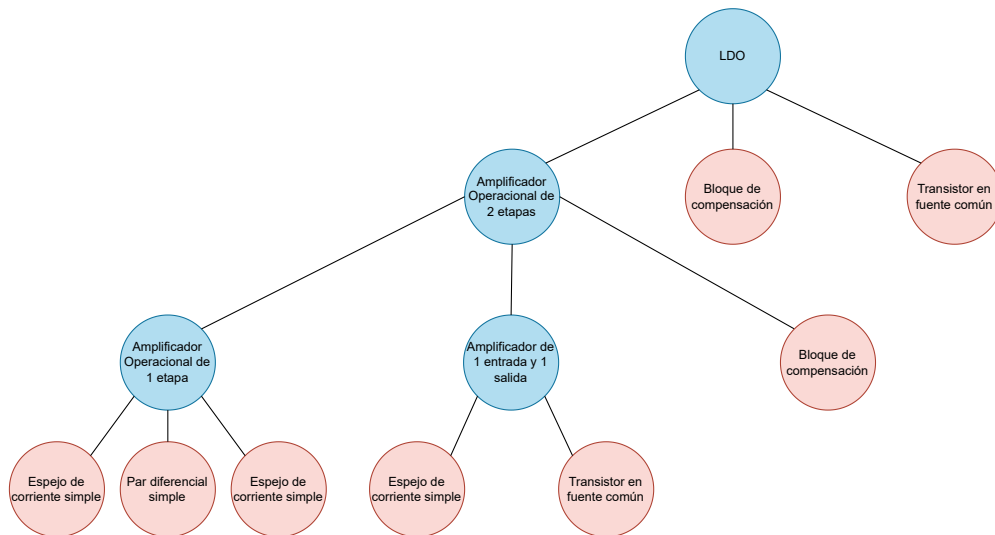
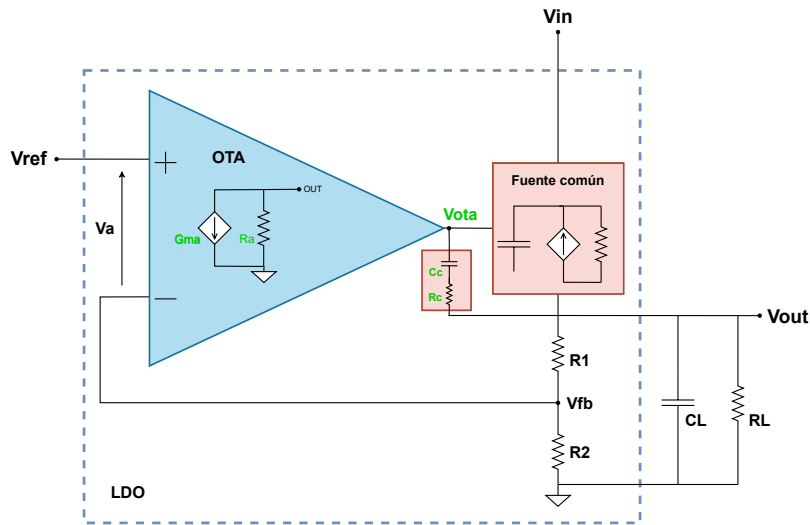
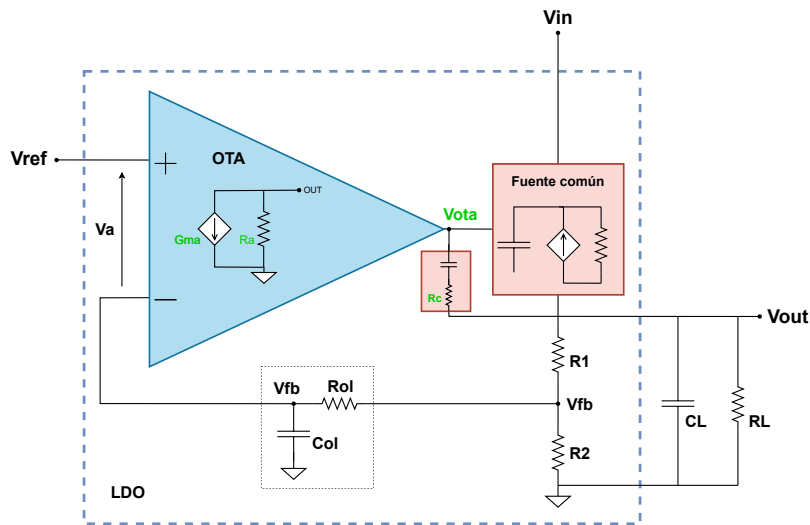


Figura 5.5: Árbol de jerarquía LDO.



(a) Testbench PSRR

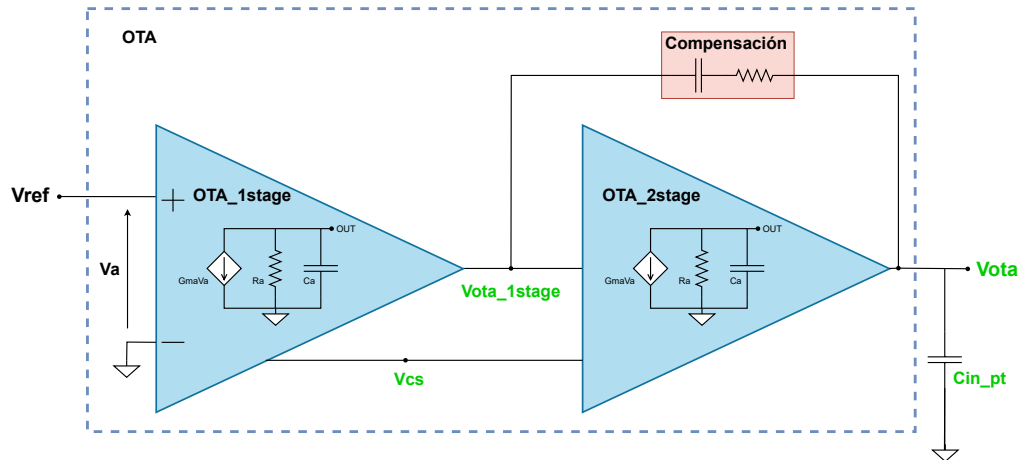


(b) Testbench margen de fase y ganancia de lazo abierto

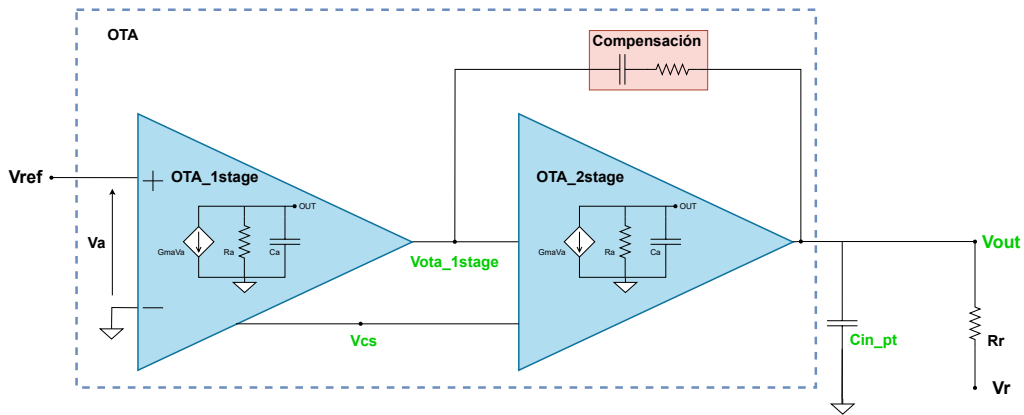
Figura 5.6: Testbenches LDO

5.3.2. Definición de testbenches

Las especificaciones que requieren de testbenches en el caso del macromodelo principal del LDO son: PSRR, regulación de carga y margen de fase. Para obtener el PSRR se utiliza el testbench de la Figura 5.6a, mientras que para los otros dos se utiliza el testbench de la



(a) Testbench ganancia



(b) Testbench resistencia de salida

Figura 5.7: Testbenches OTA

Figura 5.6b, en esta se utiliza una resistencia (R_{ol}) y un capacitor (C_{ol}) de valores altos de manera de cortar el lazo para la pequeña señal pero dejando pasar la señal DC para que el punto de operación se defina bien.

Por otro lado, para el caso del macromodelo del amplificador de dos etapas, las especificaciones objetivos son la ganancia, resistencia de salida, la transconductancia equivalente y el margen de fase. Para obtener la ganancia se define el testbench de la Figura 5.7a, mientras que para la resistencia de salida el testbench de la Figura 5.7b. Es importante notar que estos ya se habían definido en la Figura 4.4 del ejemplo de la Sección 4.1.2, sin embargo, en este caso se agrega el bloque de la compensación. Por otro lado, para obtener la transconductancia se realiza la división entre la ganancia y la resistencia de salida.

Tabla 5.2: Barrido de parámetros generación de LUTs

Parámetro	IHP-SG13g2 (<i>lv_p/nmos</i>)	SKY130A (<i>p/nfet_01v8_lvt</i>)	GF180mcuD (<i>p/nfet_03v3</i>)
V_{sb} [V]	0	0	0
V_{gs} [V]	(0; 1,8; 0,01)	(0; 1,8; 0,01)	(0; 3,3; 0,01)
V_{ds} [V]	(0; 1,8; 0,01)	(0; 1,8; 0,01)	(0; 3,3; 0,01)
L (<i>Lengths</i>) [μ]	[0,4; 0,8; 1,6; 3,2; 6,4]	[0,4; 0,8; 1,6; 3,2; 6,4]	[0,4; 0,8; 1,6; 3,2; 6,4]
W (<i>Width</i>) [μ]	10	20	20

Finalmente, para el caso de los testbenches de cada una de las etapas del amplificador, estos fueron definidos en la Sección 4.1.2. Los nodos cuyos nombres están en verde en las Figuras 5.6 y 5.7 corresponden a grados de libertad, es decir, que no están definidos por las especificaciones y quedan de libre decisión al diseñador o a que se prueben distintos valores. Estos grados de libertad se definen para cada macromodelo, e incluyen los parámetros de pequeña señal por defecto de cada macromodelo simplificado.

5.3.3. Generación de LUTs

Las LUTs utilizadas para la exploración del espacio de diseño fueron generadas para cada tecnología considerada. En el caso de IHP-SG13G2, se utilizaron los dispositivos NMOS y PMOS de bajo voltaje (1,8[V]). Para la tecnología Sky130A, se emplearon los transistores de bajo voltaje (1,8[V]) tipo LVT (Low Threshold Voltage), los cuales presentan una menor tensión umbral en comparación con los dispositivos estándar, permitiendo una mejor operación en regiones de inversión moderada. Finalmente, en el caso de la tecnología GF180MCU, se utilizaron los transistores de menor voltaje disponibles, los cuales corresponden a los dispositivos de 3,3[V], ya que esta tecnología no cuenta con opciones de canal corto para voltajes inferiores.

El barrido utilizado para la generación de las LUTs fue determinado en función de las características eléctricas de cada dispositivo, manteniendo constante el ancho W , el cual fue definido convenientemente según el rango de operación esperado. Los tiempos de ejecución para generar las LUTs fueron de 19 segundos para IHP-SG13G2, 1 minuto con 50 segundos para Sky130A y 21 segundos para GF180MCU. La Tabla 5.2 resume los parámetros empleados en este proceso para cada tecnología y tipo de transistor. Es importante señalar que entre transistores NMOS y PMOS, la única diferencia en los parámetros de barrido es el signo de los voltajes aplicados, siendo positivos para NMOS y negativos para PMOS. El

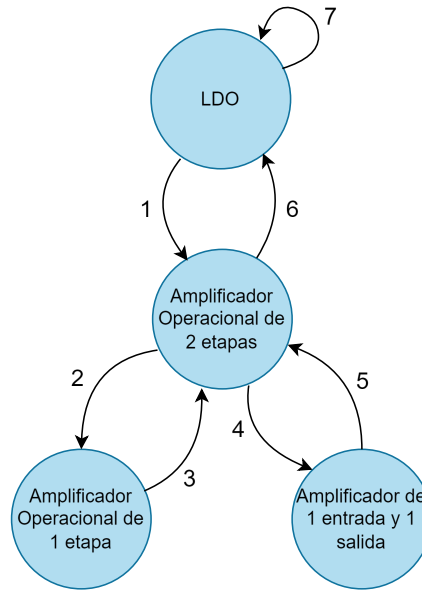


Figura 5.8: Flujo de transiciones definido por la exploración global.

código utilizado para realizar esta caracterización se encuentra disponible en la Sección B.1 del Apéndice B, donde se incluye el notebook Jupyter utilizado para la generación de estas LUTs.

5.4. Etapa 2 y 3: Exploración global y local

Para ilustrar el funcionamiento de la metodología, se presentará un gráfico de cada exploración local realizada, así como la cantidad de puntos evaluados y los puntos válidos luego del filtrado y/o optimización. La Figura 5.8 muestra el orden de las exploraciones locales como resultado de la exploración global. Cada vez que el sentido de la transición sea de un nivel superior a un nivel inferior, se está en el flujo de derivación de especificaciones, mientras que en caso contrario, se está en la propagación del espacio de diseño.

Cada transición comienza con la exploración local del macromodelo en el que la flecha comienza y termina con la derivación/propagación del macromodelo destino.

5.4.1. Transición 1

Al comienzo de la transición 1, se realiza la exploración local del macromodelo del LDO. Los parámetros de exploración se muestran en la Tabla C.1 en el Apéndice C. A partir de los valores de V_{ota} (voltaje de salida de la OTA) y L_{pt} (largo de canal del transistor de paso) se realiza la generación del espacio de diseño del transistor de paso. Por otro lado, R_a y g_{ma} corresponden a los valores por defecto definidos para el modelo simplificado de la OTA.

Tabla 5.3: Especificaciones derivadas de la primera transición

Especificación	condición
Ganancia OTA	$> 64,4[dB]$
Ancho de banda OTA	$< 1000[Hz]$
C_{out_ota} (caso 1)	$= 48,6[pF]$
C_{out_ota} (caso 2)	$= 214[pF]$
V_{ota} (caso 1)	$= 1,12[V]$
V_{ota} (caso 2)	$= 1,45[V]$

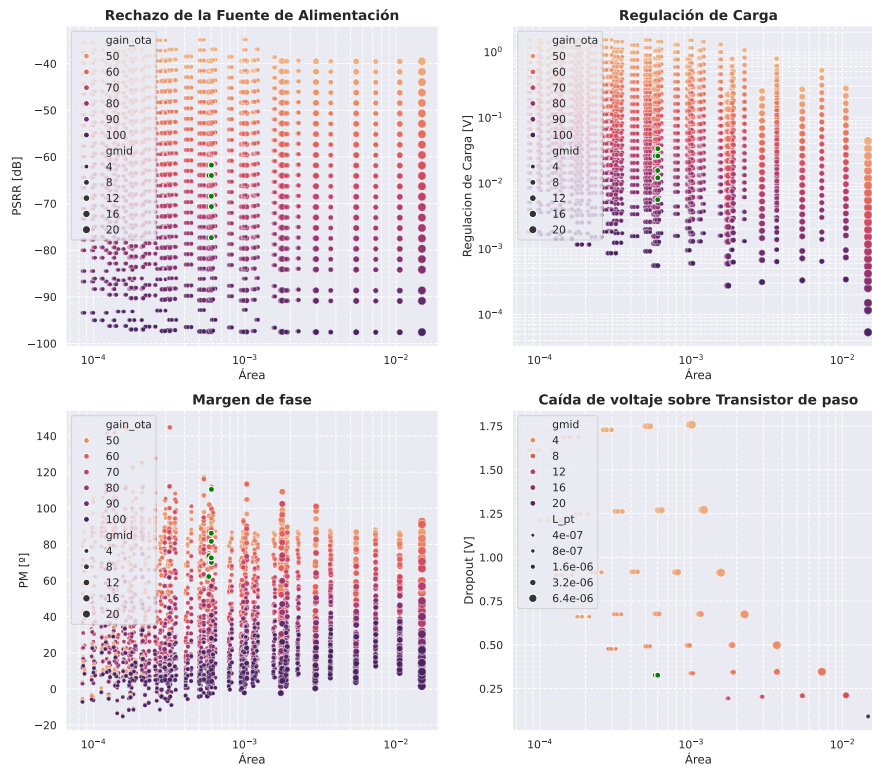


Figura 5.9: Espacio de diseño exploración local de la transición 1.

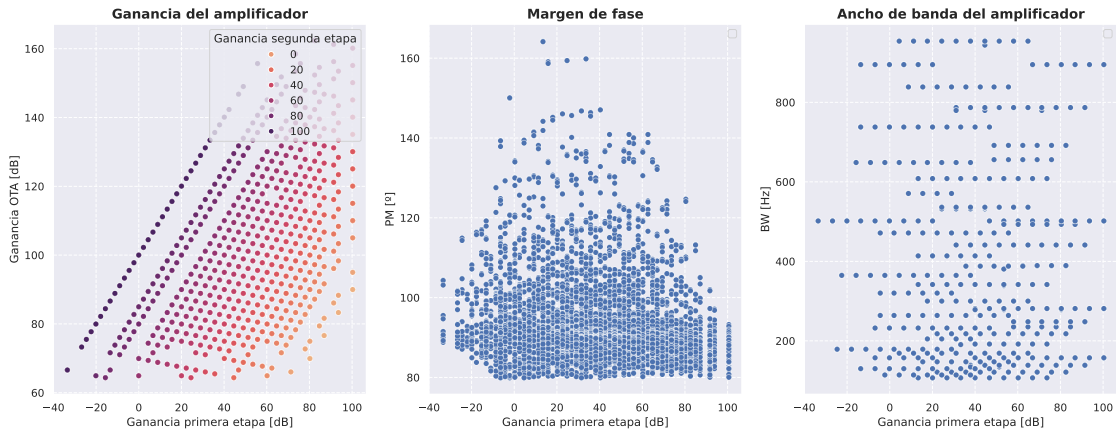


Figura 5.10: Espacio de diseño exploración local de la transición 2.

De esta forma, se evalúan 45000 puntos, de los cuales se extraen las condiciones para la OTA que muestran la Tabla 5.3. En esta exploración, se obtiene además una sola configuración del transistor de paso que cumple con las especificaciones ($W = 547\mu m$, $0,4\mu m$) y, a partir de esto, se extrae un único valor de V_{ota} y C_{in_pt} , eliminando directamente el grado de libertad del voltaje para este macromodelo y el grado de libertad de la capacitancia y voltaje de salida para el macromodelo de la OTA de 2 etapas. Esto permite reducir notablemente el espacio de diseño.

La Figura 5.9 muestra el espacio de diseño resultante de la exploración local. De este se puede concluir que el PSRR, la regulación de carga y el margen de fase dependen en gran medida de la ganancia del amplificador de error. Por otro lado, el dropout depende exclusivamente de las dimensiones del transistor de paso.

5.4.2. Transición 2

A continuación, se realiza la exploración local del macromodelo de la OTA de 2 etapas con las especificaciones definidas en el nivel superior. Los parámetros de exploración se muestran en la Tabla C.2. Es importante notar que, a pesar de que en la Figura 5.7 se marca V_{ota} y C_{in_pt} como grados de libertad, estos fueron acotados a un solo valor en la transición anterior. De esta forma, se evalúan 312000 puntos, de los cuales solo se extrae la condición que muestra la Tabla 5.4. La Figura 5.10 muestra el espacio de diseño de este nivel. A diferencia del espacio anterior en este no se observa una clara dependencia de alguna especificación con respecto a alguna variable, por lo que no se puede extraer mas información.

Tabla 5.4: Especificaciones derivadas de segunda transición.

Especificación	condición
g_{ma_2stage}	0,0003162

5.4.3. Transición 3

La transición 3 es la primera propagación del espacio de diseño. Del nivel superior no se derivaron especificaciones especiales para este macromodelo, y es por eso que sólo queda limitado por las condiciones del tamaño de transistor mínimo y máximo definidos al comienzo.

La Tabla C.3 muestra los parámetros de exploración. A partir de estos, se genera el espacio de las 3 primitivas del macromodelo y luego se realiza la exploración local. De esta forma, se evalúan 825000 puntos, de los cuales solo 410 cumplen con las restricciones de tamaño. Esto representa una disminución significativa del 99,95 %.

La Figura 5.11 muestra el espacio de diseño de la OTA simple de una etapa.

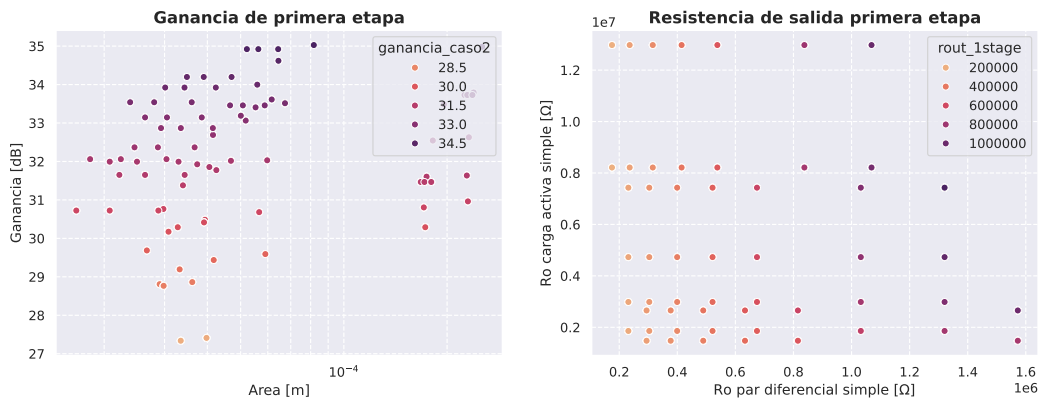


Figura 5.11: Espacio de diseño de exploración local de la transición 3.

5.4.4. Transición 4

En esta transición se vuelve a realizar la exploración de la OTA de 2 etapas, pero esta vez considerando los resultados propagados del nivel inferior. La Tabla C.4 muestra los parámetros de exploración actualizados. De esta forma, se evalúan 1281250 puntos de los cuales 11636 cumplen con las condiciones del macromodelo explorado.

La Figura 5.12 muestra el resultado de la exploración. A partir de este se derivan las especificaciones de la Tabla 5.5.

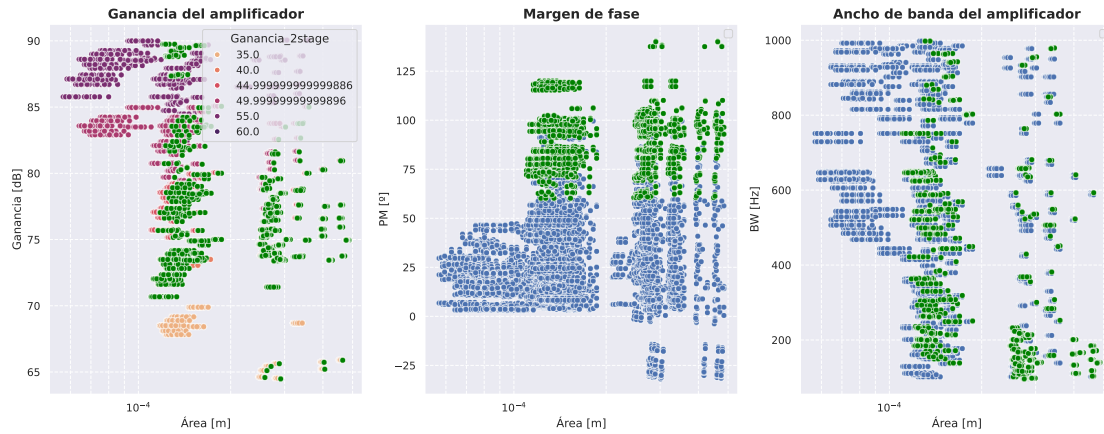


Figura 5.12: Espacio de diseño de exploración local de la transición 4.

Tabla 5.5: Especificaciones derivadas de la cuarta transición.

Especificación	condición
Ganancia segunda etapa	$> 35[dB]$
$C_{c.ota}$	$3,1622[pF] < C_{c.ota} < 17,8[pF]$

5.4.5. Transición 5

En esta transición se realiza la exploración local de la segunda etapa de amplificación. De esta forma se evalúan 3125 puntos de los cuales solo 46 cumplen con todas las especificaciones. La Figura 5.13 muestra el resultado de la exploración.

5.4.6. Transición 6

Hasta este momento, se tiene todos los puntos resultantes de las dos etapas de amplificación por separado, por lo que en esta transición se explora el espacio de diseño como resultado de la combinación de estas dos etapas. La Tabla C.5 muestra los grados de libertad considerando los puntos como resultado de los niveles inferiores. De esta forma, se evalúan 188600 puntos, de los cuales solo 19 cumplen con las especificaciones. La Figura 5.14 muestra el espacio de diseño para la OTA de dos etapas.

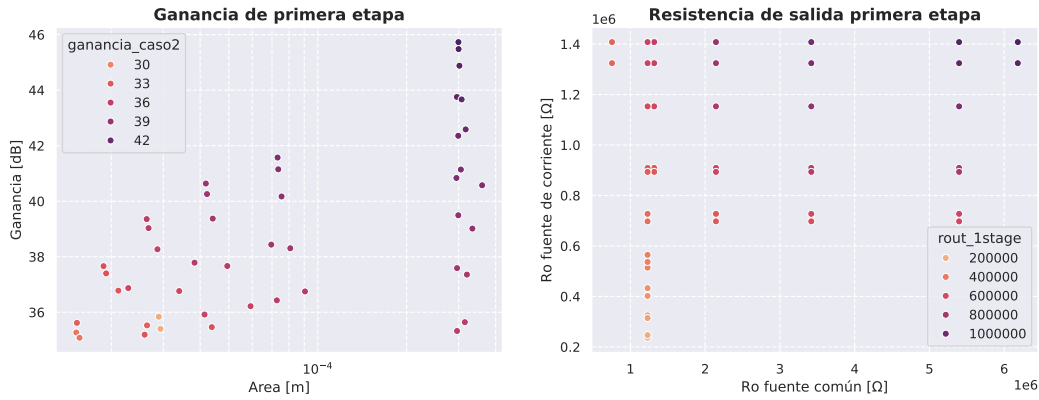


Figura 5.13: Espacio de diseño de exploración local de la transición 5.

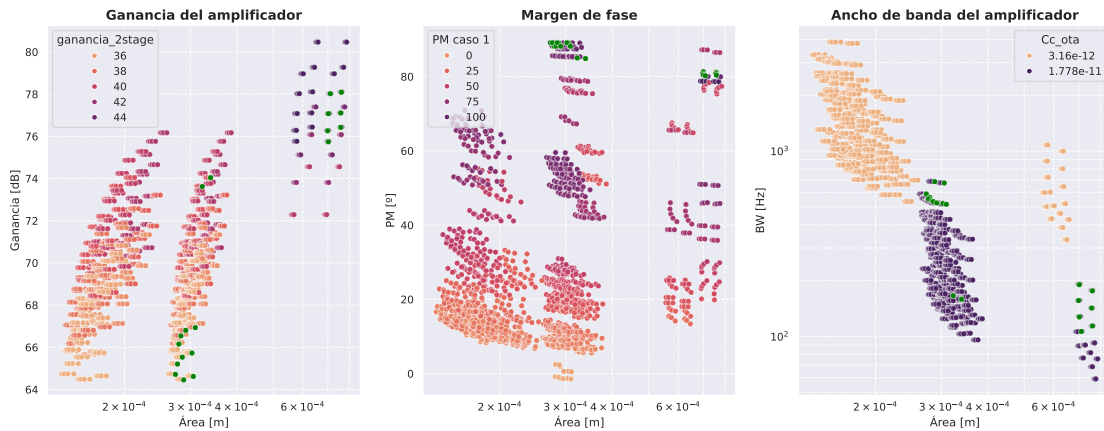


Figura 5.14: Espacio de diseño de exploración local de la transición 6.

5.4.7. Transición 7

Finalmente, se realiza la última exploración local, considerando los resultados propagados del nivel inferior. Además, se obtiene la frontera de Pareto que minimiza el área y maximiza el margen de fase. De esta forma se evalúan 76 puntos de los cuales 23 cumplen con todas las condiciones y solo 2 forman parte de la frontera de Pareto. La Figura 5.15 muestra los resultados de la exploración.

Una vez obtenidos los puntos que cumplen con las especificaciones finales, queda a criterio del diseñador seleccionar cuál utilizar. A modo de ejemplo, se eligió el punto con menor área y se simuló el circuito utilizando las dimensiones de los transistores correspondientes. La Tabla 5.6 resume los valores de W y L empleados en dicha simulación.

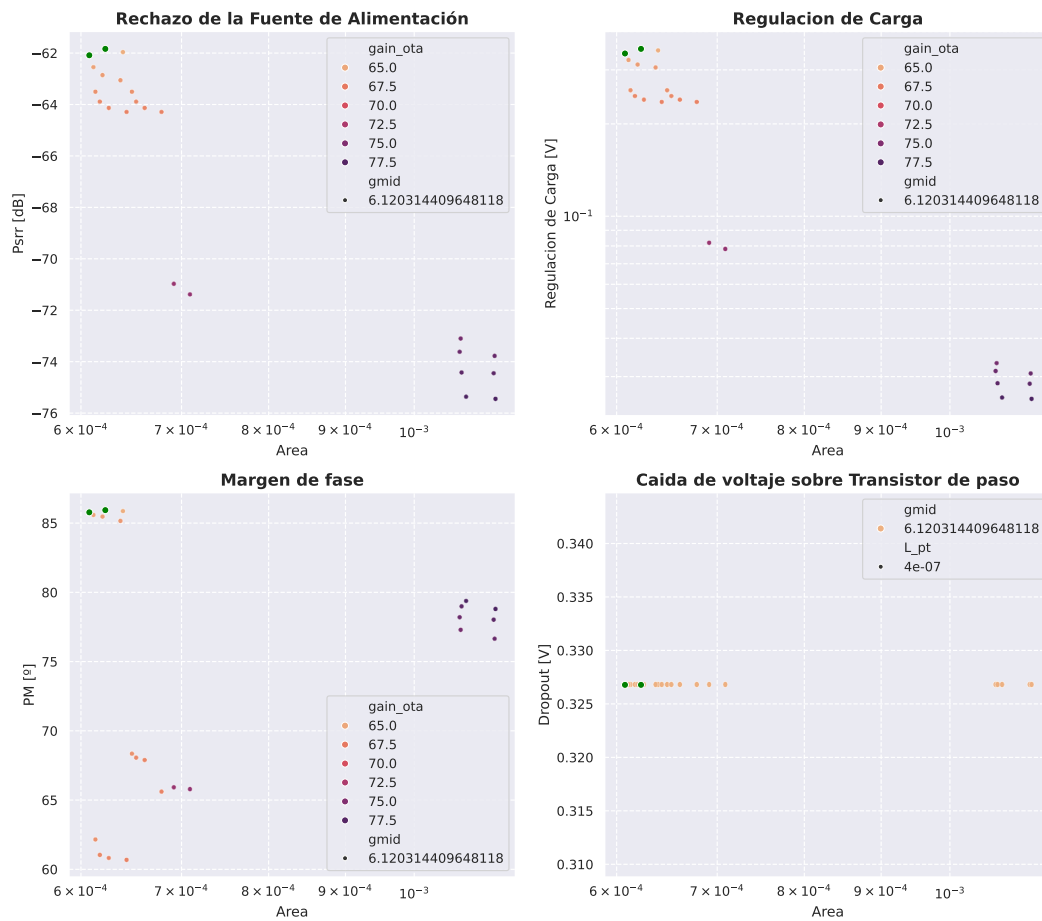


Figura 5.15: Espacio de diseño de exploración local de la transición Final.

La Figura 5.16 muestra los resultados obtenidos en la simulación comparados con las estimaciones entregadas por la metodología propuesta. La única excepción corresponde a la caída de voltaje, ya que en la metodología solo se puede obtener un valor puntual asociado al análisis en estado estacionario, mientras que en la simulación es posible realizar un barrido en el voltaje de entrada para obtener la curva completa; por lo tanto, en este caso particular, ambas curvas corresponden únicamente a resultados de simulación.

De esta comparación se obtienen los siguientes errores relativos: 1, 21 % en PSRR, 34 % en margen de fase, 0, 1 % en eficiencia de corriente, 4, 5 % en dropout y 200 % en regulación

Tabla 5.6: Dimensiones diseño final

Dispositivo	$W[\mu m]$	$L[\mu m]$
M_1/M_2	10,5	0,8
M_3/M_4	4	0,8
M_5	4,78	0,4
$M_6/M_7/M_8$	4	6,4
M_9	547	0,4
C_{Cota}	108,9	108,9
R_{Cota}	0,5	12,12
C_{CLDO}	8,16	8,16
R_{CLDO}	0,5	1,2

de carga. El error en el margen de fase se debe a las simplificaciones realizadas en los modelos de las primitivas y macromodelos, los cuales no modelan con precisión los polos no dominantes del circuito. Esto afecta directamente la estimación del margen de fase en configuraciones multietapa, donde la ubicación de estos polos tiene un impacto considerable. Por otro lado, el error elevado en la regulación de carga se explica por la aproximación utilizada en la interpolación de las LUTs, donde se asume que ciertos parámetros (como

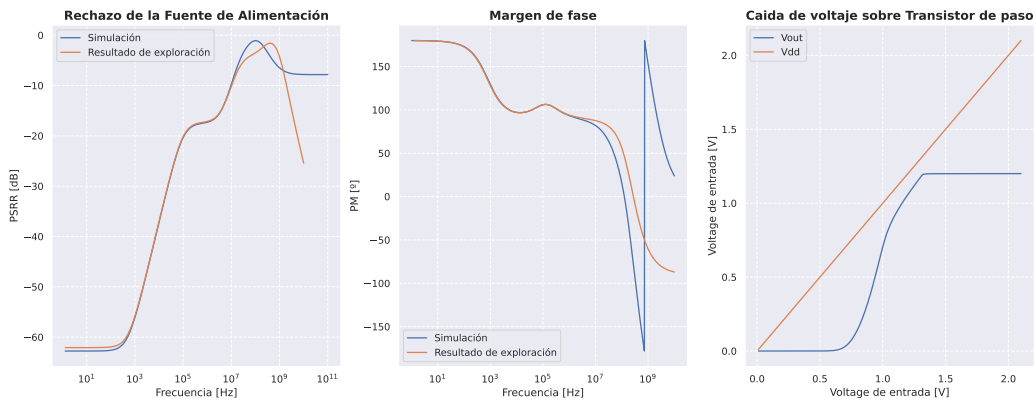


Figura 5.16: Comparaciones de simulación con resultados de exploración para el LDO con OTA de 2 etapas y tecnología IHP-SG13G2

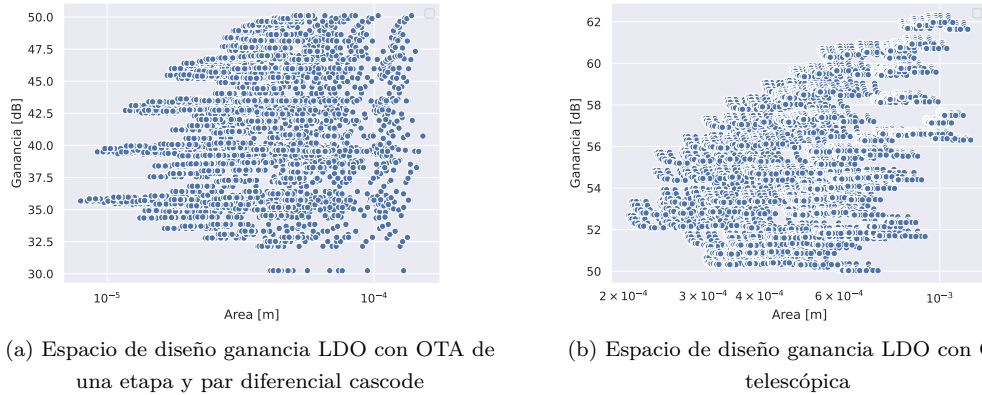


Figura 5.17: Resultados exploración OTA de una etapa con par diferencial cascode y OTA telescópica en la tecnología IHP-SG13G2

resistencias equivalentes) son proporcionales al ancho W . Si bien esta suposición introduce solo pequeños errores en parámetros agregados como la ganancia (donde el error es mínimo), en métricas sensibles a variaciones locales, como la regulación de carga, estos errores se acumulan, generando una mayor discrepancia respecto a la simulación completa. El enlace para la exploración del LDO con la tecnología IHP-SG13G2 se puede encontrar en la Sección B.2.

5.5. Evaluación de topologías alternativas en distintas tecnologías

Se aplicó la metodología a las dos topologías restantes, reutilizando el transistor de paso obtenido previamente, ya que las tres configuraciones comparten la misma estructura en ese bloque. Esto se realizó utilizando la misma tecnología de IHP.

En ambos casos, los amplificadores no cumplieron con las especificaciones mínimas, por lo que fueron descartados. La Figura 5.17 muestra que ninguna de las dos topologías evaluadas alcanza los requisitos definidos. Esto se debe a que, al apilar más transistores, el voltaje disponible por cada uno disminuye, lo que se vuelve más crítico en el caso 2 del LDO (sin carga), donde, como se mencionó anteriormente, el voltaje de salida es más alto y reduce aún más el margen para mantener los transistores en saturación.

Luego se realizó la exploración con las tecnologías Sky130A y GF180mcuD. En Sky130A, solo la topología con OTA de dos etapas cumplió con las especificaciones, al igual que en IHP-SG13G2. En cambio, en GF180mcuD, las tres topologías fueron válidas. Esto se puede deber a que en GF180mcuD se utilizaron dispositivos de $3,3[V]$, lo cual indicaría que ofrecen un mayor margen de operación para topologías apiladas.

Tabla 5.7: Tabla de errores entre exploración y simulación para las tres tecnologías.

Dispositivo	IHP			SKY			GF		
	Exp	Sim	Error	Exp	Sim	Error	Exp	Sim	Error
PSRR@DC (dB)	-62	-62,76	1,21 %	-65,7	-65,2	0,76 %	-76,158	-76,156	0,002 %
PM* (°)	78	58,75	34,48 %	89,9	73	23,15 %	73,3	27	171,5 %
Eficiencia (%)	98	97,85	0,1 %	98	97,85	0,1 %	98	97,84	0,1 %
Dropout (mV)	326	312	4,5 %	334	260	28 %	380	312	22 %
Reg.carga ($\frac{mV}{mA}$)	0,18	0,06	200 %	0,45	0,07	442 %	0,0123	0,012	2,5 %

*Margen de fase en caso 2

Al igual que en la última transición de la metodología, se validan los resultados mediante simulaciones de los puntos de menor área de cada topología y tecnología. La Tabla 5.7 muestra los errores obtenidos, que siguen el patrón discutido: bajos en PSRR, y más altos en regulación de carga, debido a las aproximaciones del modelo y la interpolación de las LUTs. De todas formas, estos valores se consideran aceptables y mejorables mediante el aumento en la precisión de los modelos y de las tablas LUTs.

Finalmente, la Figura 5.18 muestra las fronteras de Pareto para cada combinación de topología y tecnología. Se concluye que las topologías con OTA de una sola etapa presentan un mejor margen de fase, lo cual es esperable debido a que el problema de estabilidad es más simple de resolver en este tipo de configuraciones. Sin embargo, esto implica un mayor consumo de área, siendo más eficiente en este aspecto la topología con OTA de dos etapas. En cuanto a las tecnologías, IHP-SG13G2 destaca por cumplir los objetivos utilizando menor área. SKY130A presenta un buen equilibrio entre capacidad de operación y área ocupada. Y finalmente, GF180MCU requiere mayor área, pero permite implementar ambas topologías con OTA de una etapa.

5.6. Recopilación y conclusiones de implementación

La metodología propuesta permitió realizar la exploración del espacio de diseño de manera automática. Además, se evidenció una reducción progresiva en la cantidad de puntos evaluados en cada etapa, lo cual destaca las ventajas del enfoque modular frente a metodologías del estado del arte. Por otro lado la Tabla 5.8 muestra que se obtiene una solución con objetivos de diseño que corresponden con el estado del arte.

Para complementar este análisis, la Figura 5.19 presenta los tiempos de ejecución asociados a la generación de matrices y cálculo de soluciones del análisis nodal modificado

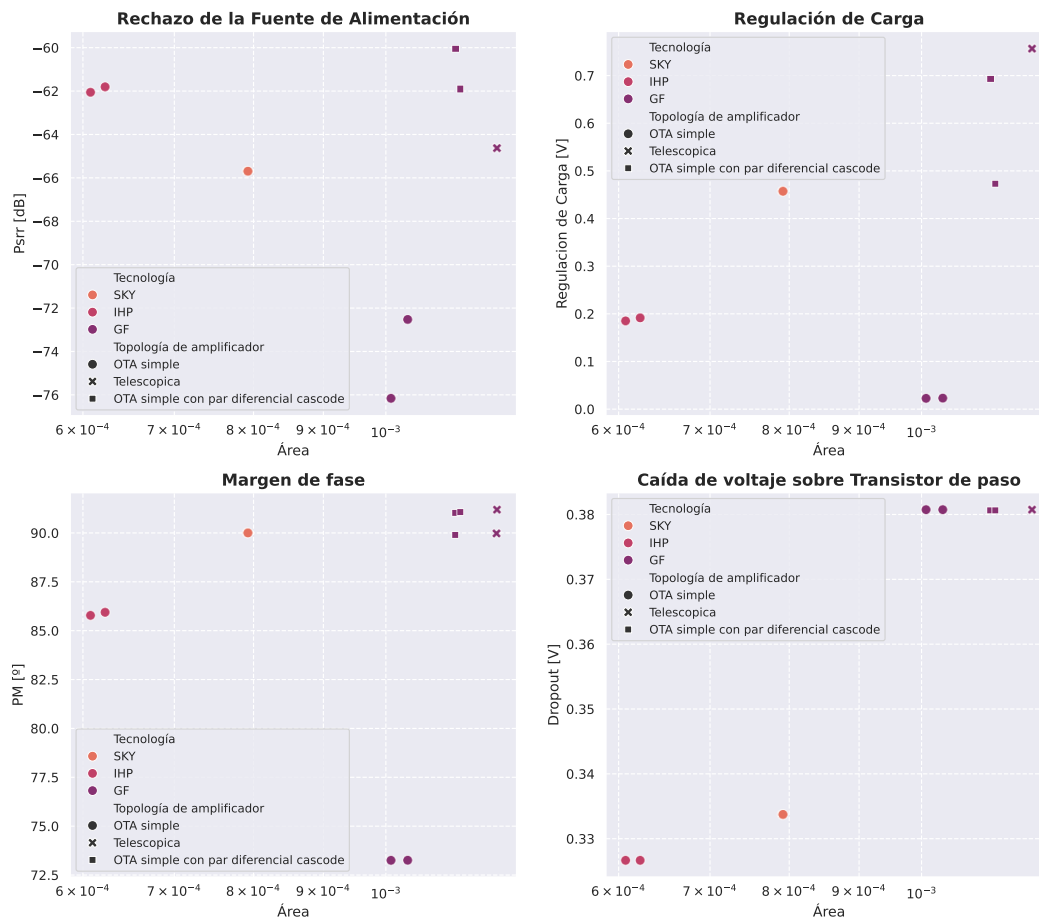


Figura 5.18: Puntos de la frontera de Pareto resultantes de la exploración de las 3 topologías en las 3 tecnologías.

(MNA), así como los tiempos de evaluación de los puntos en estas soluciones, en función de la cantidad de puntos evaluados. En dicha figura se observa que el tiempo de resolución del MNA se mantiene constante al aumentar el número de puntos, lo que confirma que su complejidad está asociada a la topología del circuito y no al tamaño del espacio de diseño. Por otro lado, la etapa de evaluación presenta un comportamiento lineal respecto al número de puntos. Lo cual evidencia lo crítico en la disminución de este número de puntos evaluados.

Como punto de comparación, se intentó replicar el análisis MNA sobre la topología

Tabla 5.8: Comparación del diseño final con el estado del arte

Especificación	[45]	[88]	Este trabajo
Automatizado	Si	No	Si
V_{reg} (V)	1	1,8	1,2
I_{Load_max}	5mA	70mA	5mA
PSRR@DC (dB)	-40,02	-57	-62
PSRR@1MHz (dB)	-11	-	-
PM (°)	74	-	58
I_{Qtotal} (μA)	10	47	100
Dropout (mV)	144	0,24	326
Regulación de carga (mV/mA)	2,24	0,714	0,34

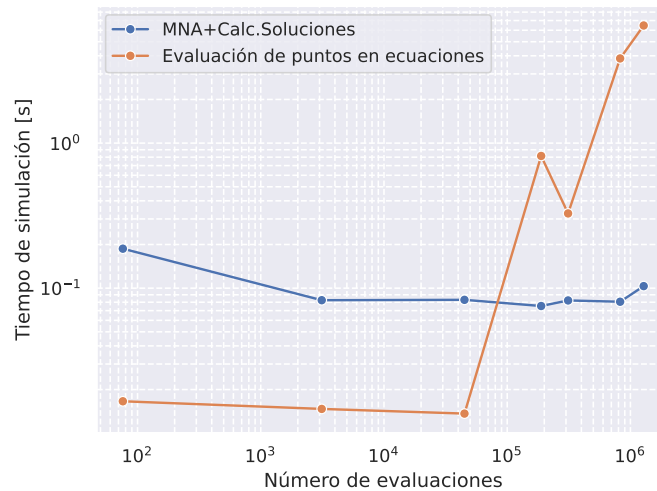


Figura 5.19: Tiempos de ejecución de la metodología según número de puntos evaluados

utilizada en la referencia [45]. A diferencia de esta metodología, dicha topología no considera una simplificación del circuito, lo cual incrementa significativamente su complejidad. A pesar de múltiples intentos, la obtención de las ecuaciones simbólicas del sistema no fue posible: el entorno de ejecución finalizó abruptamente en todos los casos luego de más de dos horas

sin entregar resultados. Esto sugiere que en dicha referencia se utilizaron servidores de alto rendimiento o métodos distintos para resolver el sistema simbólico, ya que bajo las mismas condiciones de implementación, el enfoque aquí propuesto no logró converger.

Por último, respecto a la evaluación numérica, en [45] se reporta que un millón de puntos fueron evaluados en 4.9 segundos, lo cual concuerda con los resultados observados en esta metodología. Sin embargo, dado que el número de puntos crece exponencialmente con el número de grados de libertad del circuito, una topología más compleja sin simplificaciones afecta significativamente el tiempo de ejecución. En ese escenario, la capacidad de simplificación jerárquica y modular de la presente metodología cobra aún mayor relevancia.

5.7. Resumen del Capítulo

En este capítulo se aplicó la metodología propuesta a un regulador LDO, haciendo uso de herramientas y tecnologías de código abierto. Se describió el funcionamiento del regulador, se definieron las especificaciones consideradas y los objetivos de diseño. Además, se dividió el circuito en bloques jerárquicos, cada uno de los cuales fue explorado individualmente mediante testbenches y tablas LUT generadas para cada dispositivo.

Posteriormente, se aplicaron las etapas de exploración global y local a través de la jerarquía del sistema, lo que permitió ajustar las especificaciones de cada macromodelo en función de los resultados obtenidos. Finalmente, se compararon distintas topologías y tecnologías (Sky130A, GF180mcuD y IHP-SG13G2), lo que permitió demostrar la modularidad, reutilización y extensibilidad del enfoque propuesto.

Adicionalmente, se validaron los resultados mediante simulaciones SPICE, observándose errores moderados entre las predicciones del modelo simbólico y los resultados simulados. Estos errores se mantuvieron dentro de márgenes aceptables, y se propusieron posibles mejoras que podrían aumentar la precisión de los resultados.

Por otro lado, algunos resultados mostraron limitaciones claras: en particular, las OTAs de una etapa con par diferencial cascode y la OTA telescópica no lograron cumplir con todas las especificaciones de diseño en las tecnologías IHP-SG13G2 y Sky130A, debido principalmente a restricciones tecnológicas y de voltaje disponibles. Esto resalta la importancia de incorporar la evaluación tecnológica temprana como parte del flujo de exploración.

En conjunto, los resultados confirman que la metodología facilita la automatización del dimensionamiento y evaluación de circuitos análogos complejos, permitiendo iterar sobre diferentes configuraciones topológicas y tecnológicas de manera eficiente.

CONCLUSIONES

6.1. Resumen y conclusiones

La presente tesis abordó el desafío del diseño automatizado del dimensionamiento de transistores en reguladores de bajo dropout. Para conseguir este objetivo, se propuso una metodología estructurada y sistemática que permite automatizar la exploración del espacio de diseño y el dimensionamiento de transistores, utilizando exclusivamente herramientas y tecnologías open-source.

Inicialmente, se estudiaron los fundamentos del diseño estructurado y sistemático aplicados a circuitos integrados análogos, integrando ambos enfoques en una metodología que permite propagar especificaciones y resultados jerárquicamente. Esta integración permitió desarrollar un flujo de diseño capaz de analizar circuitos complejos de manera modular, disminuyendo la cantidad de puntos evaluados y por tanto permitiendo el uso de herramientas completamente libres sin la necesidad de simulaciones iterativas tradicionales.

La metodología fue validada mediante su aplicación al diseño de un regulador LDO en tres topologías y tecnologías distintas. Los resultados obtenidos demuestran que el enfoque propuesto no solo permite reducir el número de puntos a evaluar en cada etapa de exploración, sino que también permite la reutilización de módulos previamente diseñados. Además, la generación de los espacios de diseño de forma jerarquizada permiten el estudio detallado de circuitos con varios grados de libertad.

Asimismo, se evidenció que la metodología es capaz de identificar configuraciones inviábiles en etapas tempranas, permitiendo descartar topologías sin necesidad de simulaciones extensivas, disminuyendo la carga computacional y el tiempo de procesamiento.

Finalmente, se concluye que la metodología propuesta constituye una herramienta sólida y extensible para la automatización del diseño de circuitos análogos, sentando las bases

para su aplicación en otros bloques más complejos y habilitando futuras extensiones hacia la integración con herramientas de layout y uso de técnicas basadas en inteligencia artificial.

6.2. Trabajo futuro

- Desarrollar una nueva librería en Python que permita utilizar la metodología de forma independiente del circuito o la tecnología de fabricación.
- Incorporar la capacidad de re-evaluar las primitivas, aumentando progresivamente la precisión (número de puntos) en función de las especificaciones derivadas.
- Mejorar la precisión de las LUTs para reducir errores en especificaciones sensibles al valor individual de los parámetros eléctricos.
- Generar LUTs y realizar la exploración del espacio de diseño considerando esquinas de proceso (corners) como ff, ss, fs y sf, lo cual permitiría evaluar la robustez del diseño ante variaciones tecnológicas.
- Estudiar técnicas que permitan incorporar análisis en el dominio del tiempo, ampliando el tipo de testbenches que pueden evaluarse.
- Integrar la metodología con herramientas de diseño automático de layout para extender la automatización hasta la generación del GDS final.
- Explorar la relación entre los espacios de diseño generados y su utilización como conjuntos de datos para el entrenamiento de modelos de inteligencia artificial, particularmente redes neuronales enfocadas en tareas de predicción o síntesis de circuitos análogos.

PUBLICACIONES GENERADAS

Conferencias Internacionales

- [1] D. Arevalos, J. Marín, K. Herman and C. A. Rojas, "Leveraging Lookup Tables for Efficient LDO Design Exploration using Open-Source CAD Tools and IHP-Open130-G2 PDK,"2024 31st International Conference on Mixed Design of Integrated Circuits and System (MIXDES), Gdansk, Poland, 2024, pp. 124-129, doi: 10.23919/MIXDES62605.2024.10614033.

- [2] J. Marin, D. Arevalos, A. Cortes, V. Osorio, M. Romero, J. Gak, N. Calarco, M. Miguez, A. Tork, M. Mahmoud, M. Labad, C. Rojoas, "Design and Automated Layout Generation of a PMIC Core in Skywater 130nm Open-Source Technology,"2024 IEEE 15th Latin America Symposium on Circuits and Systems (LASCAS), Punta del Este, Uruguay, 2024, pp. 1-5, doi: 10.1109/LASCAS60203.2024.10506161.

- [3] J. Gak, J. Marin, N. Gonzalez, D. Arevalos, N. Calarco, M. Miguez, A. Cortes, V. Osorio, M. Romero, C. Rojas, "Thin Gate Oxide CMOS DC-DC Buck Converter with Floating Gate Drivers,"2024 Argentine Conference on Electronics (CAE), Bahía Blanca, Argentina, 2024, pp. 120-123, doi: 10.1109/CAE59785.2024.10487162.

Posters en conferencias

- [1] D. Arevalos, "Ultra Compact Time-Based Temperature-To-Digital Converter Fully Implemented With a Digital Design Flow," poster presented at the 2024 Argentine Conference on Electronics (CAE), Bahía Blanca, Argentina, 2024.

Proyectos Relacionados

- [1] Alumno Tesista Magíster 2024, Fondecyt Regular 1240537, Inv. Responsable: Dr. Christian Rojas.
- [2] FONDECYT de Iniciación 11240947 - Robust and Area-Efficient Time-Based Sensor Interface Integrated Circuits for Harsh-Environment Applications”, AC3E, Universidad Técnica Federico Santa María, Ph.D. Jorge Marín.

ARCHIVOS DE IMPLEMENTACIÓN

Este apéndice presenta los enlaces a los archivos y notebooks Jupyter utilizados para la implementación de la metodología desarrollada en este trabajo. Todos los scripts fueron programados en Python, haciendo uso exclusivo de herramientas y librerías de código abierto. Además, se incluyen las referencias a los proyectos externos empleados durante el desarrollo, todos ellos compatibles con flujos de diseño open-source.

Los archivos se entregan con el objetivo de que los resultados presentados puedan ser comprobados y para futuros trabajos relacionados con esta tesis. Sin embargo, no corresponden a una librería final ni a una implementación optimizada, ya que el enfoque de esta tesis fue demostrar el funcionamiento general de la metodología propuesta, y no el desarrollo de una herramienta lista para producción.

B.1. Pre-exploración

- **Generación de LUTs:** Para la generación automática de las LUTs se tomó como referencia el trabajo de Mohamed Watfa [89]. Se realizaron modificaciones menores para que fuera compatible con las 3 tecnologías utilizadas en esta tesis. De esta forma el archivo puede ser encontrado en el siguiente link: https://github.com/lild4d4/SSTADEx/blob/main/test/sstadex/LUTs_generation.ipynb

B.2. Etapa 2 y 3: Exploración global y local

- LDO con OTA simple de dos etapas:

- IHP-SG13G2: https://github.com/lild4d4/SSTADEx/blob/main/test/Tesis_notebooks/sstadex_LDO_IHP_lv_simple.ipynb
 - Sky130A: https://github.com/lild4d4/SSTADEx/blob/main/test/Tesis_notebooks/sstadex_LDO_SKY_lv_simple.ipynb
 - Gf180mcuD: https://github.com/lild4d4/SSTADEx/blob/main/test/Tesis_notebooks/sstadex_LDO_GF_hv_simple.ipynb
- LDO con OTA de una etapa y par diferencial cascode:
- IHP-SG13G2: https://github.com/lild4d4/SSTADEx/blob/main/test/Tesis_notebooks/sstadex_LDO_IHP_lv_ccdiff.ipynb
 - Sky130A: https://github.com/lild4d4/SSTADEx/blob/main/test/Tesis_notebooks/sstadex_LDO_SKY_lv_ccdiff.ipynb
 - Gf180mcuD: https://github.com/lild4d4/SSTADEx/blob/main/test/Tesis_notebooks/sstadex_LDO_GF_hv_ccdiff.ipynb
- LDO con OTA telescópica:
- IHP-SG13G2: https://github.com/lild4d4/SSTADEx/blob/main/test/Tesis_notebooks/sstadex_LDO_IHP_lv_fullcc.ipynb
 - Sky130A: https://github.com/lild4d4/SSTADEx/blob/main/test/Tesis_notebooks/sstadex_LDO_SKY_lv_fullcc.ipynb
 - Gf180mcuD: https://github.com/lild4d4/SSTADEx/blob/main/test/Tesis_notebooks/sstadex_LDO_GF_hv_fullcc.ipynb

B.3. Extras

- **Espacio de diseño de primitivas y frontera de pareto:** El ejemplo de la generación del espacio de diseño de primitivas de la Sección 4.2.1 y la optimización utilizando la frontera de pareto de la Sección 4.2.2 se encuentra en el siguiente link: https://github.com/lild4d4/SSTADEx/blob/main/test/Tesis_notebooks/Primitives_exploration.ipynb
- **Modified Nodal Analysis:** El algoritmo para generar el sistema matricial fue tomado del trabajo de Tiburonboy [90]. El notebook de jupyter con el ejemplo de MNA realizado en la Sección 4.3.1.1 se puede encontrar en el siguiente link: https://github.com/lild4d4/SSTADEx/blob/main/test/Tesis_notebooks/mna_example.ipynb

- **Diseño sistemático:** Las figuras y el ejemplo utilizado en el capítulo 3 pueden encontrarse en el siguiente notebook de jupyter: https://github.com/lild4d4/SSTADEx/blob/main/test/sistematic_design/systematic_design.ipynb

TABLAS DE GRADOS DE LIBERTAD

Tabla C.1: Grados de libertad Transición 1

Parámetro	Barrido de valores
L_{pt}	$[0, 4\mu; 0, 8\mu; 1, 6\mu; 3, 2\mu; 6, 4\mu]$
V_{ota}	$(0, 4; 1, 7; 10)$
C_c	$(0, 1p; 100p; 3)$
R_c	$(1k; 10k; 3)$
R_a	$(1k; 10M; 10)$
g_{ma}	$(10\mu; 10m; 10)$

Tabla C.2: Grados de libertad Transición 2

Grado de libertad	valores
$R_{a.1stage}$	$(1k, 10M, 10)$
$gm_{a.1stage}$	$(10\mu, 10m, 10)$
$R_{a.2stage}$	$(1k, 10M, 5)$
$gm_{a.2stage}$	$(10\mu, 10m, 5)$
$C_{in.2stage}$	$(0,1f, 10p, 5)$
$C_{c.ota}$	$(0,1p, 100p, 5)$
$R_{c.ota}$	$(1k, 100k, 5)$

Tabla C.3: Grados de libertad Transición 3

Grado de libertad	valores
$V_{ota.1stage}$	$(0,4, 1,7; 10)$
V_s	$(0,3; 0,8; 5)$
V_{cs}	$(V_{ds.cs} - 0,2; V_{ds.cs} + 0,6; 5)$
$L_{diffpair}$	$[0, 4\mu; 0, 8\mu; 1, 6\mu; 3, 2\mu; 6, 4\mu]$
L_{active_load}	$[0, 4\mu; 0, 8\mu; 1, 6\mu; 3, 2\mu; 6, 4\mu]$
$L_{current_mirror}$	$[0, 4\mu; 0, 8\mu; 1, 6\mu; 3, 2\mu; 6, 4\mu]$

Tabla C.4: Grados de libertad Transición 4.

Grado de libertad	valores
resultado nivel inferior	410 puntos con dimensiones
$R_{a.2stage}$	$(1k, 10M, 5)$
$gm_{a.2stage}$	$(10\mu, 10m, 5)$
$C_{in.2stage}$	$(0,1f, 10p, 5)$
$C_{c.ota}$	$(0,1p, 100p, 5)$
$R_{c.ota}$	$(1k, 100k, 5)$

Tabla C.5: Grados de libertad Transición 6

Grado de libertad	valores
resultados primera etapa de OTA	410 puntos con dimensiones
resultados segunda etapa de OTA	46 puntos con dimensiones
bloque de compensación	10 puntos con dimensiones

ANÁLISIS NODAL MODIFICADO

El Análisis Nodal (NA) y el Análisis Nodal Modificado (MNA) son métodos fundamentales para analizar circuitos eléctricos mediante la aplicación de las leyes de Kirchhoff. Sin embargo, el MNA es una extensión del NA, diseñada para manejar elementos que el análisis nodal estándar no puede resolver fácilmente [91].

D.1. Análisis Nodal (NA)

El Análisis Nodal es un método basado en la Ley de Corrientes de Kirchhoff (KCL) para encontrar los voltajes en los nodos del circuito. Se usa principalmente para circuitos resistivos y con fuentes de corriente.

Condiciones de NA:

- Solo usa variables de voltaje en los nodos como incógnitas.
- Se aplica a circuitos lineales con resistencias y fuentes de corriente.
- No puede manejar directamente fuentes de voltaje ni elementos como inductores o capacitores en el dominio del tiempo.

D.2. Análisis nodal modificado (MNA)

El Análisis Nodal Modificado (MNA) es una extensión del Análisis Nodal, introducida para manejar circuitos con fuentes de voltaje, inductores y elementos dependientes. Se logra agregando nuevas ecuaciones y variables para incluir estos elementos en el sistema de ecuaciones.

Diferencias con NA:

- Incluye fuentes de voltaje: Agrega variables adicionales para manejar fuentes de voltaje sin necesidad de convertirlas en fuentes de corriente.
- Soporta inductores y capacitores en el dominio del tiempo: Permite analizar circuitos dinámicos, no solo resistivos.
- Matriz más grande: Introduce ecuaciones adicionales, lo que aumenta el número de incógnitas.

Al aplicar MNA a un circuito resulta en una matriz de la forma:

$$Ax = z \quad (\text{D.1})$$

con,

$$A = \begin{pmatrix} G & B \\ C & D \end{pmatrix} \quad (\text{D.2})$$

$$x = \begin{pmatrix} v \\ j \end{pmatrix} \quad (\text{D.3})$$

$$z = \begin{pmatrix} i \\ e \end{pmatrix} \quad (\text{D.4})$$

en donde,

- G es la matriz de conductancia nodal, que representa las conductancias entre nodos.
- B y C son matrices de incidencia que relacionan las fuentes de voltaje con los nodos; en muchos casos, $C = BT$.
- D es una matriz que representa las características de las fuentes de voltaje; para fuentes independientes, suele ser una matriz nula.
- v es el vector de voltajes nodales desconocidos.
- j es el vector de corrientes a través de las fuentes de voltaje.
- i es el vector de corrientes inyectadas por las fuentes de corriente en los nodos.
- e es el vector de voltajes de las fuentes de voltaje independientes.

BIBLIOGRAFÍA

- [1] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and design of analog integrated circuits*. John Wiley & Sons, 2024.
- [2] G. G. Gielen, L. Hernandez, and P. Rombouts, “Time-encoding analog-to-digital converters: Bridging the analog gap to advanced digital cmos-part 1: Basic principles,” *IEEE Solid-State Circuits Magazine*, vol. 12, no. 2, pp. 47–55, 2020.
- [3] G. Linán-Cembrano, N. Lourenço, N. Horta, and J. M. de la Rosa, “Design automation of analog and mixed-signal circuits using neural networks—a tutorial brief,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 71, no. 3, pp. 1677–1682, 2024.
- [4] J. Scheible, “Optimized is not always optimal - the dilemma of analog design automation,” in *Proceedings of the 2022 International Symposium on Physical Design*, ser. ISPD ’22. New York, NY, USA: Association for Computing Machinery, 2022, p. 151–158. [Online]. Available: <https://doi.org/10.1145/3505170.3511042>
- [5] J. van der Tang, H. van Rump, D. Kasperkovitz, and A. van Roermund, “Rf building blocks and entertainment socs for mobile telecommunication platforms,” in *2005 Asia-Pacific Conference on Communications*, 2005, pp. 440–444.
- [6] A. Sengupta, “Design flow of a digital ic: The role of digital icsoc design in ce products,” *IEEE Consumer Electronics Magazine*, vol. 5, no. 2, pp. 58–62, 2016.
- [7] M. Cirstea, K. Benkrid, A. Dinu, R. Ghiriti, and D. Petreus, “Digital electronic system-on-chip design: Methodologies, tools, evolution, and trends,” *Micromachines*, vol. 15, no. 2, 2024. [Online]. Available: <https://www.mdpi.com/2072-666X/15/2/247>
- [8] M. Horowitz, D. Stark, and E. Alon, “Digital circuit design trends,” *IEEE Journal of Solid-State Circuits*, vol. 43, no. 4, pp. 757–761, 2008.
- [9] O. Bonnaud, “The technological challenges of microelectronics for the next generations of connected sensors,” *Int. J. Plasma Environ. Sci. Technol*, vol. 14, no. 1, pp. 1–8, 2020.

- [10] B. Razavi, *Design of Analog CMOS Integrated Circuits*. McGraw-Hill Higher Education, 2016. [Online]. Available: <https://books.google.cl/books?id=hFzmCwAAQBAJ>
- [11] A. Basu, L. Deng, C. Frenkel, and X. Zhang, “Spiking neural network integrated circuits: A review of trends and future directions,” in *2022 IEEE Custom Integrated Circuits Conference (CICC)*, 2022, pp. 1–8.
- [12] P. Houshmand, G. M. Sarda, V. Jain, K. Ueyoshi, I. A. Papistas, M. Shi, Q. Zheng, D. Bhattacharjee, A. Mallik, P. Debacker, D. Verkest, and M. Verhelst, “Diana: An end-to-end hybrid digital and analog neural network soc for the edge,” *IEEE Journal of Solid-State Circuits*, vol. 58, no. 1, pp. 203–215, 2023.
- [13] D. Flynn, R. Aitken, A. Gibbons, and K. Shi, *Low power methodology manual: for system-on-chip design*. Springer Science & Business Media, 2007.
- [14] M. J. Flynn and W. Luk, *Computer system design: system-on-chip*. John Wiley & Sons, 2011.
- [15] P. Toledo, R. Rubino, F. Musolino, and P. Crovetto, “Re-thinking analog integrated circuits in digital terms: A new design concept for the iot era,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 68, no. 3, pp. 816–822, 2021.
- [16] H. Chen, M. Liu, X. Tang, K. Zhu, N. Sun, and D. Z. Pan, “Challenges and opportunities toward fully automated analog layout design,” *Journal of Semiconductors*, vol. 41, no. 11, p. 111407, 2020.
- [17] Z. Zhao, J. Liu, W.-S. Zhao, and L. Zhang, “Automated topology synthesis of analog integrated circuits with frequency compensation,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 44, no. 3, pp. 832–844, 2025.
- [18] H. Wang, K. Wang, J. Yang, L. Shen, N. Sun, H.-S. Lee, and S. Han, “Gcn-rl circuit designer: Transferable transistor sizing with graph neural networks and reinforcement learning,” in *2020 57th ACM/IEEE Design Automation Conference (DAC)*, 2020, pp. 1–6.
- [19] A. Girardi, T. De-Oliveira, S. Ghissoni, P. C. Aguirre, and L. Compassi-Severo, “A comprehensive review on automation-based sizing techniques for analog ic design,” *Journal of Integrated Circuits and Systems*, vol. 17, no. 3, pp. 1–14, 2022.
- [20] P. Xu, J. Li, T.-Y. Ho, B. Yu, and K. Zhu, “Performance-driven analog layout automation: Current status and future directions (invited paper),” in *2024 29th Asia and South Pacific Design Automation Conference (ASP-DAC)*, 2024, pp. 679–685.

- [21] B. Sheu, J. Lee, and A. Fung, “Flexible architecture approach to knowledge-based analogue IC design,” *IEE Proceedings G Circuits, Devices and Systems*, vol. 137, no. 4, p. 266, 1990.
- [22] C. Toumazou and C. Makris, “Analog IC design automation. I. Automated circuit generation: New concepts and methods,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 14, no. 2, pp. 218–238, Feb. 1995.
- [23] M. Fakhfakh, E. Tlelo-Cuautle, and F. V. Fernández, *Design of analog circuits through symbolic analysis*. Bentham Science Publishers, 2012.
- [24] G. G. Gielen, H. C. Walscharts, and W. M. Sansen, “Isaac: A symbolic simulator for analog integrated circuits,” *IEEE Journal of solid-state circuits*, vol. 24, no. 6, pp. 1587–1597, 1989.
- [25] G. Gielen and R. Rutenbar, “Computer-aided design of analog and mixed-signal integrated circuits,” *Proceedings of the IEEE*, vol. 88, no. 12, pp. 1825–1854, Dec. 2000.
- [26] N. Lourenço, R. Martins, and N. Horta, *Automatic Analog IC Sizing and Optimization Constrained with PVT Corners and Layout Effects*. Cham: Springer International Publishing, 2017.
- [27] H. Wang, K. Wang, J. Yang, L. Shen, N. Sun, H.-S. Lee, and S. Han, “GCN-RL Circuit Designer: Transferable Transistor Sizing with Graph Neural Networks and Reinforcement Learning,” in *2020 57th ACM/IEEE Design Automation Conference (DAC)*. San Francisco, CA, USA: IEEE, Jul. 2020, pp. 1–6.
- [28] M. Fayazi, Z. Colter, E. Afshari, and R. Dreslinski, “Applications of Artificial Intelligence on the Modeling and Optimization for Analog and Mixed-Signal Circuits: A Review,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 68, no. 6, pp. 2418–2431, Jun. 2021.
- [29] A. F. Budak, M. Gandara, W. Shi, D. Z. Pan, N. Sun, and B. Liu, “An Efficient Analog Circuit Sizing Method Based on Machine Learning Assisted Global Optimization,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 41, no. 5, pp. 1209–1221, May 2022.
- [30] J. Scheible and J. Lienig, “Automation of analog ic layout: Challenges and solutions,” in *Proceedings of the 2015 Symposium on International Symposium on Physical Design*, ser. ISPD ’15. New York, NY, USA: Association for Computing Machinery, 2015, p. 33–40. [Online]. Available: <https://doi.org/10.1145/2717764.2717781>
- [31] H. Chen, “Layout automation for custom integrated circuits,” Ph.D. dissertation, 2023.

- [32] T. Shin, D. Lee, D. Kim, G. Sung, W. Shin, Y. Jo, H. Park, and J. Han, "LAYGO2: A Custom Layout Generation Engine Based on Dynamic Templates and Grids for Advanced CMOS Technologies," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 42, no. 12, pp. 4402–4412, Dec. 2023.
- [33] J. Poojary, R. S. S. Sapatnekar, and R. Harjani, "Exploration of Design / Layout Tradeoffs for RF Circuits using ALIGN," in *2023 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*. San Diego, CA, USA: IEEE, Jun. 2023, pp. 57–60.
- [34] A. Hammoud, V. Shankar, R. Mains, T. Ansell, J. Matres, and M. Saligane, "OpenFASOC: An Open Platform Towards Analog and Mixed-Signal Automation and Acceleration of Chip Design," in *2023 International Symposium on Devices, Circuits and Systems (ISDCS)*. Higashihiroshima, Japan: IEEE, May 2023, pp. 01–04.
- [35] T. Dhar, K. Kunal, Y. Li, M. Madhusudan, J. Poojary, A. K. Sharma, W. Xu, S. M. Burns, R. Harjani, J. Hu, D. A. Kirkpatrick, P. Mukherjee, S. Yaldiz, and S. S. Sapatnekar, "Align: A system for automating analog layout," *IEEE Design Test*, vol. 38, no. 2, pp. 8–18, 2021.
- [36] A. Hammoud, C. Goyal, S. Pathen, A. Dai, A. Li, G. Kielian, and M. Saligane, "Human Language to Analog Layout Using GLayout Layout Automation Framework," in *Proceedings of the 2024 ACM/IEEE International Symposium on Machine Learning for CAD*. Salt Lake City UT USA: ACM, Sep. 2024, pp. 1–7.
- [37] D. Stefanovic and M. Kayal, *Structured analog CMOS design*. Springer Science & Business Media, 2008.
- [38] P. G. A. Jespers and B. Murmann, *Systematic Design of Analog CMOS Circuits: Using Pre-Computed Lookup Tables*, 1st ed. Cambridge University Press, Oct. 2017.
- [39] B. Razavi, "The Low Dropout Regulator [A Circuit for All Seasons]," *IEEE Solid-State Circuits Magazine*, vol. 11, no. 2, pp. 8–13, 2019.
- [40] —, "The Design of An LDO Regulator [The Analog Mind]," *IEEE Solid-State Circuits Magazine*, vol. 14, no. 2, pp. 7–17, 2022.
- [41] L. F. Lai, H. Ramiah, Y.-C. Tan, N. S. Lai, C.-C. Lim, Y. Chen, P.-I. Mak, and R. P. Martins, "Design trends and perspectives of digital low dropout voltage regulators for low voltage mobile applications: A review," *IEEE Access*, vol. 11, pp. 85 237–85 258, 2023.
- [42] T. Y. Chyan, H. Ramiah, S. W. M. Hatta, N. S. Lai, C.-C. Lim, Y. Chen, P.-I. Mak, and R. P. Martins, "Evaluation and perspective of analog low-dropout voltage regulators: A review," *IEEE Access*, vol. 10, pp. 114 469–114 489, 2022.

- [43] M. A. Sobhan Bhuiyan, M. R. Hossain, K. N. Minhad, F. Haque, M. S. K. Hemel, O. Md Dawi, M. B. Ibne Reaz, and K. J. A. Ooi, “CMOS Low-Dropout Voltage Regulator Design Trends: An Overview,” *Electronics*, vol. 11, no. 2, p. 193, Jan. 2022.
- [44] M. Jahangiri, A. Farrokhi, and A. Amirabadi, “Ldo optimization with evolutionary neural network,” *Signal Processing and Renewable Energy*, vol. 4, no. 4, pp. 53–64, 2020.
- [45] K. Mohamed, S. Nafea, and H. Omran, “Design Automation of Low Dropout Voltage Regulators: A General Approach,” *Electronics*, vol. 12, no. 1, p. 205, Dec. 2022.
- [46] S. Sampath, A. Damale, S. Arora, and R. Manikandan, “Design and Automation Methodology of a Wideband, High-PSRR LDO Using Device Look-up Tables,” in *2024 IEEE Design Methodologies Conference (DMC)*. Grenoble, France: IEEE, Nov. 2024, pp. 1–4.
- [47] Z. Li and A. C. Carusone, “Design and Optimization of Low-Dropout Voltage Regulator Using Relational Graph Neural Network and Reinforcement Learning in Open-Source SKY130 Process,” in *2023 IEEE/ACM International Conference on Computer Aided Design (ICCAD)*. San Francisco, CA, USA: IEEE, Oct. 2023, pp. 01–09.
- [48] Q. Xu, Y. He, G. Lai, Q. Wang, Y. Sun, Q. Jia, Y. Li, R. Chen, and Z. Yao, “An Optimization Method for LDO Design Based on ANN Algorithm,” in *2023 IEEE 6th International Conference on Electronic Information and Communication Technology (ICEICT)*. Qingdao, China: IEEE, Jul. 2023, pp. 652–654.
- [49] SkyWater Technology, “Sky130 open source pdk,” <https://www.skywatertechnology.com/sky130-open-source-pdk/>, accessed: 2025-04-30.
- [50] GlobalFoundries, “Gf180mcu open source pdk documentation,” <https://gf180mcu-pdk.readthedocs.io/>, accessed: 2025-04-30.
- [51] IHP Microelectronics, “Open source pdk,” <https://www.ihp-microelectronics.com/services/research-and-prototyping-service/fast-design-enablement/open-source-pdk>, accessed: 2025-04-30.
- [52] I. Galán-Benítez, R. Carmona-Galán, and J. M. de la Rosa, “On the use of open-source eda tools for teaching and learning microelectronics,” in *2024 XVI Congreso de Tecnología, Aprendizaje y Enseñanza de la Electrónica (TAAE)*. IEEE, 2024, pp. 1–6.
- [53] A. N. Irfansyah, “Leveraging open source ic design tools for an undergraduate microelectronic circuit design course,” in *2024 IEEE International Symposium on Circuits and Systems (ISCAS)*. IEEE, 2024, pp. 1–5.

- [54] J. Marin, D. Arevalos, A. Cortes, V. Osorio, M. Romero, J. Gak, N. Calarco, M. Miguez, A. Tork, M. Mahmoud *et al.*, “Design and automated layout generation of a pmic core in skywater 130nm open-source technology,” in *2024 IEEE 15th Latin America Symposium on Circuits and Systems (LASCAS)*. IEEE, 2024, pp. 1–5.
- [55] K. Herman, M. Montanares, and J. Marin, “Design and implementation of integrated circuits using open source tools and sky130 free pdk,” in *2023 30th International Conference on Mixed Design of Integrated Circuits and System (MIXDES)*. IEEE, 2023, pp. 105–110.
- [56] I. Abel, M. Neuner, and H. E. Graeb, “A hierarchical performance equation library for basic op-amp design,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 41, no. 7, pp. 1976–1989, 2022.
- [57] Z. Long, L. Li, L. Han, X. Meng, C. Ding, R. Li, W. Jiang, F. Ding, J. Yue, Z. Li *et al.*, “Computational graph representation of equations system constructors in hierarchical circuit simulation,” *arXiv preprint arXiv:2407.04206*, 2024.
- [58] K. Settaluri, Z. Liu, R. Khurana, A. Mirhaj, R. Jain, and B. Nikolic, “Automated design of analog circuits using reinforcement learning,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 41, no. 9, pp. 2794–2807, 2022.
- [59] Z. Zhao and L. Zhang, “An automated topology synthesis framework for analog integrated circuits,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 39, no. 12, pp. 4325–4337, 2020.
- [60] D. Germano Alves Neto, M. K. Bouchoucha, G. Maranhão, M. J. Barragan, M. Cherem Schneider, A. Cathelin, S. Bourdel, and C. Galup-Montoro, “Design-oriented single-piece 5-dc-parameter mosfet model,” *IEEE Access*, vol. 12, pp. 87 420–87 437, 2024.
- [61] K. Yadav, P. Srivastava, B. Singh, and P. Kumar, “Comparative analysis of different operational transconductance amplifiers,” in *2024 IEEE 5th India Council International Subsections Conference (INDISCON)*, 2024, pp. 1–6.
- [62] C.-W. Ho, A. Ruehli, and P. Brennan, “The modified nodal approach to network analysis,” *IEEE Transactions on Circuits and Systems*, vol. 22, no. 6, pp. 504–509, 1975.
- [63] L. W. Nagel and C. C. McAndrew, “The evolution of transistor models: Always trying to keep up with the evolution of transistors,” *IEEE Solid-State Circuits Magazine*, vol. 15, no. 3, pp. 29–35, 2023.
- [64] Y. Taur, D. A. Buchanan, W. Chen, D. J. Frank, K. E. Ismail, S.-H. Lo, G. A. Sai-Halasz, R. G. Viswanathan, H.-J. Wann, S. J. Wind *et al.*, “Cmos scaling into the nanometer regime,” *Proceedings of the IEEE*, vol. 85, no. 4, pp. 486–504, 1997.

- [65] Y. Taur and T. H. Ning, *Fundamentals of modern VLSI devices*. Cambridge university press, 2021.
- [66] R. J. Baker, *CMOS: Circuit Design, Layout, and Simulation*, 4th ed. Hoboken, NJ, USA: Wiley, 2019.
- [67] A. Lberni, M. A. Marktani, A. Ahaitouf, and A. Ahaitouf, “Analog circuit sizing based on evolutionary algorithms and deep learning,” *Expert Systems with Applications*, vol. 237, p. 121480, 2024.
- [68] A. A. Youssef, B. Murmann, and H. Omran, “Analog ic design using precomputed lookup tables: Challenges and solutions,” *IEEE Access*, vol. 8, pp. 134 640–134 652, 2020.
- [69] C. Vişan, O. Pascu, M. Stănescu, E.-D. Şandru, C. Diaconu, A. Buzo, G. Pelz, and H. Cucu, “Automated circuit sizing with multi-objective optimization based on differential evolution and bayesian inference,” *Knowledge-Based Systems*, vol. 258, p. 109987, 2022.
- [70] T. H. Cormen, C. E. Leiserson, R. L. Rivest, and C. Stein, *Introduction to Algorithms*, 3rd ed. Cambridge, MA, USA: MIT Press, 2009, see Chapter 22, Section 22.3: Depth-First Search.
- [71] K. Deb, *Multi-Objective Optimization Using Evolutionary Algorithms*. Chichester, U.K.: Wiley, 2001.
- [72] P. Aguirre and F. Silveira, “Cmos op-amp power optimization in all regions of inversion using geometric programming,” in *Proceedings of the 21st Annual Symposium on Integrated Circuits and System Design (SBCCI)*. Gramado, Brazil: ACM, 2008, pp. 152–157.
- [73] M. M. Hella and P. Mercier, *Power Management Integrated Circuits*. CRC Press, 2017.
- [74] J. K. Mukre, J. Kodethoor, M. Prakash, P. Anurup, and R. Seethur, “A high gain 0.0831v/ma load regulated capacitorless ldo with fast loop and nested miller compensation (nmc),” in *2025 International Conference on Electronics, Information, and Communication (ICEIC)*, 2025, pp. 1–5.
- [75] W. Sheng, D. Liao, H. Zhao, P. Wang, K. Zhang, W. Huang, and Y. Miao, “An off-chip capacitive two-stage ldo design with high psrr,” in *2025 International Conference on Electronics, Information, and Communication (ICEIC)*, 2025, pp. 1–5.
- [76] J. Tang, Bofan, H. Liu, K. Qin, and M. Li, “Split-length compensation ldo with low quiescent current,” in *2024 5th International Conference on Electronic Communication and Artificial Intelligence (ICECAI)*, 2024, pp. 278–281.
- [77] Z. Zhang, X. Zhao, L. Dong, and S. Li, “A high-efficiency feedforward compensation method for capacitor-less ldo,” *Integration*, vol. 87, pp. 104–110, 2022.

- [78] A. D. Grasso, G. Palumbo, and S. Pennisi, “Comparison of the frequency compensation techniques for cmos two-stage miller opas,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 55, no. 11, pp. 1099–1103, 2008.
- [79] E. Bianco, “A ldo-based distributed power management system for high voltage cmos sensors,” in *2021 IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC)*. IEEE, 2021, pp. 1–4.
- [80] Texas Instruments, “LDO PSRR Measurement Simplified,” Texas Instruments, Tech. Rep. SLAA414A, 2009, application Report. [Online]. Available: <https://www.ti.com/lit/pdf/slaa414>
- [81] A. Dinesh Shylaja and G. A. Rincón-Mora, “High-psr ldos: Variations, improvements, and best compromise,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 69, no. 3, pp. 924–928, 2022.
- [82] N. Zachos, V. Gogolou, and T. Noulis, “A fully integrated 1.8 v low-power ldo regulator with dynamic transient control for soc applications,” *Electronics*, vol. 13, no. 23, p. 4734, 2024.
- [83] J. Zoche, M. Hanhart, J. Grobe, L. Weihs, L. Rolff, R. Wunderlich, and S. Heinen, “Design of a high psrr multistage ldo with on-chip output capacitor,” in *SMACD / PRIME 2021; International Conference on SMACD and 16th Conference on PRIME*, 2021, pp. 1–4.
- [84] C. Chen, M. Sun, L. Wang, T. Huang, and M. Xu, “A fast transient response capacitor-less ldo with transient enhancement technology,” *Micromachines*, vol. 15, no. 3, 2024. [Online]. Available: <https://www.mdpi.com/2072-666X/15/3/299>
- [85] A. P. Patel and G. A. Rincón-Mora, “High power-supply-rejection (psr) current-mode low-dropout (ldo) regulator,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 57, no. 11, pp. 868–873, 2010.
- [86] I. Elsadek and E. Y. Tawfik, “Risc-v resource-constrained cores: A survey and energy comparison,” in *2021 19th IEEE International New Circuits and Systems Conference (NEWCAS)*. IEEE, 2021, pp. 1–5.
- [87] F. Montalvo-Galicia, G. Diaz-Arango, C. Ventura-Arizmendi, B. Calvo, and M. Sanz-Pascual, “Comparison of two internal miller compensation techniques for ldo regulators,” in *2019 16th International Conference on Electrical Engineering, Computing Science and Automatic Control (CCE)*, 2019, pp. 1–4.
- [88] C. F. V. Arizmendi, “A 0.18 μm cmos internally-compensated low-dropout voltage regulator,” *National Institute for Astrophysics, Optics and Electronics. Tonantzintla, Puebla, Mexico*, 2014.

-
- [89] M. Watfa, “Mosplot: The mosfet characterization tool,” <https://github.com/medwatt/gmid>, Mar. 2025, gitHub repository, Accessed: Mar. 31, 2025.
- [90] Tiburonboy, “Symbolic-modified-nodal-analysis,” <https://github.com/Tiburonboy/Symbolic-modified-nodal-analysis>, 2021, gitHub repository, Accessed: Apr. 30, 2025.
- [91] C.-W. Ho, A. Ruehli, and P. Brennan, “The modified nodal approach to network analysis,” *IEEE Transactions on circuits and systems*, vol. 22, no. 6, pp. 504–509, 1975.