

UNIVERSIDAD TECNICA FEDERICO SANTA MARIA

“DISEÑO DE CELDA PROTOTIPO PARA CARGADOR INALAMBRICO DE POTENCIA BASADO EN CONVERTIDOR MODULAR MULTINIVEL”

**MEMORIA DE TITULACIÓN PARA OPTAR AL TITULO
INGENIERO CIVIL ELECTRÓNICO MENCIÓN COMPUTADORES**

SEBASTIÁN BENJAMÍN DARÍO NEIRA GONZÁLEZ

**Profesor Supervisor
Dr. MARCELO PÉREZ LEIVA**

**Co-Referente
Dr. CHRISTIAN ROJAS**

Julio 08, 2022, Valparaíso, Chile

A mi madre Liz Eliana González Muñoz

AGRADECIMIENTOS

QUISIERA expresar mi gratitud a todo quienes he conocido en estos años de universidad. compañeros, profesores, amigos. A quienes me han apoyado e inspirado durante distintas etapas en estos años en la academia. A mi madre y mi familia que ha estado apoyándome siempre.

A toda las personas que me han apoyado en este camino final del desarrollo de mi memoria, que son varios, ustedes saben quienes son, entre ellos Rodrigo Lanás, Alejandro Peralta, Ivan Choque, Marcos Rojas, Italo Salgado, Jairo Gonzalez, Leonardo Solís, Carolina Beckmann por su apoyo y convivencia en el día a día. A la Valparadise y al bmx, por ser parte de mi día a día en el deporte y en mi vida porteña durante la mayoría de mis años de estudio en Valparaíso.

Agradecer Profesores e ingenieros destacados que han sido parte de mi inspiración para seguir en el camino de la ciencia e ingeniería entre ellos Moises Cañas(Q.E.P.D), Juan Yuz, Samir Kouro, Christian Rojas, Milan Derpich(Q.E.P.D), Ioannis Vourkas, Angel Abusleme(PUC), Lautaro Leon, Rismky Rojas entre muchos mas del departamento y la academia.

Agradecer a mi profesor guía Marcelo Pérez L., al centro de investigación AC3E y al Fondecyt 1211826 que fue parte del financiamiento para realización de este proyecto.

Sebastián Benjamín Darío Neira González.

RESUMEN

LOS Vehículos Eléctricos en comparación con los actuales vehículos a combustión interna son una alternativa para la reducción de la huella de carbono y contaminación al medio ambiente. Sin embargo para ser implementados en la actualidad se debe de superar grandes desafíos de ingeniería, como por ejemplo las distancias entre las estaciones de carga, los tiempos y la tecnología para la carga de sus baterías eléctricas. En la actualidad los desarrollos de cargadores para vehículos eléctricos del mercado son de carga inalámbrica. Esto como alternativa para eliminar el uso de cables de alta potencia que pueden generar potenciales riesgos eléctricos a sus usuarios.

Dentro de este contexto de avance tecnológico se busca elaborar un diseño de un prototipo de cargador inalámbrico para Vehículo Eléctrico basado en topologías de convertidores modulares multinivel. De esta forma poder contribuir en el desarrollo de convertidores inalámbricos, apuntando a mejorando la eficiencia de transferencia de potencia y lograr un mayor rango de distancia en la transferencia de energía sin contactos.

En este proyecto se diseñará una tarjeta electrónica de prototipo de tres celdas modulares de un convertidor modular multinivel de topología H-Bridge de 7 niveles. Cada celda H-Bridge utilizará transistores de alta conmutación de Galio Nitruro (GaN) de un menor tamaño y mayor densidad de potencia. El objetivo de este trabajo esta enfocado en crear un prototipo para validar las características eléctricas del modulo del convertidor. El trabajo contempla el diseño del circuito basado en la topología H-Bridge, selección de componentes, lista de materiales , fabricación de tarjeta PCB y finalmente pruebas eléctricas para validar que el prototipo cumple con su funcionalidad.

Palabras Claves

Transferencia de potencia inalámbrica, Diseño PCB, Convertidor Modular Multinivel, MOSFET GaN.

ABSTRACT

THE Electric Vehicles compared to current internal combustion vehicles are an alternative for reducing the carbon footprint and pollution to the environment. However, to be implemented today, it must face great challenges, such as the distance between the charging stations, the times and the technology for charging its batteries. Currently the latest chargers for electric vehicles on the market are wireless charging. This as an alternative to eliminate the use of high power cables that can generate electrical risks to its users.

For this reason, it seeks to generate the design of a prototype of a wireless charger for Electric Vehicles based on modern topologies of multilevel modular converters. In this way, we can contribute to the development of wireless converters, improving the efficiency of power transfer and achieving a greater range of non-contact energy transfer.

In this project, a prototype electronic card of three cells will be designed for a 7-level H-Bridge topology multilevel modular converter. Each H-Bridge cell will use high-switching Gallium Nitride (GaN) transistors of a smaller size and higher power density than their predecessors. The objective of the work is focused on creating a first real prototype to validate the electrical characteristics of the converter module for future work to generate the complete converter. The work includes from making decisions for the design of the circuit based on the H-Bridge topology, selection of components, the list of materials, design and manufacture of PCB board and finally electrical tests to validate that the prototype meets its specifications.

Keywords

WPT, PCB Design, MMC, MOSFET GaN.

ÍNDICE

AGRADECIMIENTOS	I
RESUMEN	II
ABSTRACT	III
ÍNDICE DE FIGURAS	VI
ÍNDICE DE TABLAS	VIII
ABREVIACIONES	IX
1. INTRODUCCIÓN	1
1.1. Contexto	1
1.2. Descripción del proyecto	2
1.3. Alcances y Contribuciones	3
1.4. Estado del Arte	3
1.4.1. Sistema WPT	3
1.4.2. Cargadores Vehículos Eléctricos	4
1.4.3. Topología Convertidor MMC	5
1.4.4. Transistores de conmutación para convertidores	6
1.4.4.1. MOSFET - SiC	6
1.4.4.2. MOSFET - GaN	7
1.4.4.3. IC - GaN + Gate Driver	8
1.5. Estructura del documento	9
2. DISEÑO	10
2.1. Especificaciones del Convertidor	10
2.1.1. Análisis DC	11
2.1.2. Análisis AC	13
2.2. Especificaciones de la Celda	15
2.3. Transistores GaN	17
2.4. Capacitores DC-Link	19
2.4.1. Voltaje soportado	19
2.4.2. Capacitancia y ripple	19
2.5. Bobina inalámbrica	22

2.6. Circuito Conceptual	24
3. IMPLEMENTACIÓN DEL DISEÑO	25
3.1. Selección de componentes	25
3.1.1. Criterio de selección de componentes	25
3.1.2. Aislador Digital	27
3.1.3. Capacitancias DC-Link	28
3.1.4. Fuente DC-DC Aislada	29
3.1.5. Componentes SMD	30
3.1.6. Conectores de potencia	30
3.1.7. Componentes Térmicos	32
3.1.8. Lista de materiales Celda	33
3.2. Circuito Esquemático Altium Designer	34
3.3. Diseño de PCB	34
3.3.1. Consideraciones	34
3.3.2. Tamaño Vías	34
3.3.3. Diseño 4-Layers	35
3.3.4. Test Point	35
3.4. Montaje de PCB	36
4. PRUEBAS EXPERIMENTALES	39
4.1. Test Point	39
4.2. Pruebas de continuidad	42
4.3. Polarización externa	43
4.4. Polarización bloques de conmutación	44
4.5. Aislador Digital	45
4.6. Procedimiento de partida del IC-GaN	47
4.7. Prueba de potencia	48
5. CONCLUSIÓN Y TRABAJO FUTURO	50
5.1. Conclusiones	50
5.2. Trabajo Futuro	52
A. APÉNDICE: DISEÑO PCB	54
B. APÉNDICE: SIMULACIÓN	69
C. ANEXO	73
BIBLIOGRAFÍA	76

Índice de figuras

1.1. Sistema de carga de WPT V2G para EV.	2
1.2. Tabla de cargadores según nivel de potencia [10] [11].	4
1.3. Tiempos de recarga en Estaciones de EV según su potencia [8].	4
1.4. Topología propuesta para convertidor MMC V2G.	5
1.5. Gráfica comparativa de frecuencia vs potencia para distintos transistores [15].	6
1.6. Transistor MOSFET SiC 650V IMW65R107M1H [16].	7
1.7. Transistor MOSFET GaN 650V GS66506T [19].	7
1.8. IC GaN + Gate Driver Texas Instrument QFN-32 [20].	8
2.1. Ecuaciones de Kirchoff para análisis DC.	11
2.2. Celda prototipo H-Bridge.	13
2.3. Ecuaciones de Kirchoff para análisis DC.. . . .	14
2.4. Voltaje salida MMC.	15
2.5. Parámetros Celda.	15
2.6. Señales de voltaje de Celda	16
2.7. Diagrama de Bloques interno LMG3411 [24]	17
2.8. Celda y potencia de ripple.	19
2.9. Bobinas Inalámbricas.	22
2.10. Gráfica Relación Q-Factor vs Frecuencia bobina WE760308111 [21].	23
2.11. Arquitectura conceptual del circuito H-Bridge.	24
3.1. Diagrama simplificado de un canal de ISO7731 [26].	26
3.2. Vista de pines de Aislador Digital SI8641 [27].	26
3.3. Package SOIC-16 de un SI8641 [27].	27
3.4. Capacitancias Bloque DC-Link.	28
3.5. Máximos valores de StackiCap por encapsulado [28].	29
3.6. Empaquetado SMD-12 fuente DCDC aislada TRACO.	29
3.7. Imagen comparativa MTU con NTE, similar a empaquetado TRACO.	30
3.8. Capacitancia relativa vs Temperatura [37].	31
3.9. Conectores de potencia Phoenix Contact [35]	31
3.10. Vista transversal de PCB y sistema térmico [38].	32
3.11. Disipador térmico y anclaje [39]	32
3.12. Circuito Esquemático Altium [A.1].	34
3.13. PCB prototipo sin componentes.	36
3.14. Montaje Stencil.	36

3.15. PCB con soldadura.	37
3.16. Montaje de componentes.	37
3.17. PCB en horno de reflujo.	38
3.18. PCB con componentes.	38
4.1. ubicación de bloques de conmutación en PCB.	39
4.2. Ubicación de Test Points en cada bloque de conmutación.	40
4.3. Ubicación conectores de alimentación y control.	40
4.4. Ubicación conectores de potencia y control en PCB.	41
4.5. Pruebas de continuidad	42
4.6. Voltajes de entrada 5[V] desde fuente externa hacia Fuente DC/DC y Aislador digital.	43
4.7. Voltajes de salida de fuente DC/DC y LDO 5V LMG3411.	44
4.8. Voltajes de 100[kHz] de salida de Aislador digital.	45
4.9. Voltajes de 1[MHz] de salida de Aislador digital.	46
4.10. Voltajes de Gate Driver LMG3411.	47
4.11. Voltajes y corriente en resistencia de salida.	49
A.1. Circuito esquemático Celda H-Bridge.	55
A.2. Circuito esquemático Bloque de conmutación H1.	56
A.3. Circuito esquemático Bloque de conmutación L2.	57
A.4. Circuito esquemático Bloque de conmutación H3.	58
A.5. Circuito esquemático Bloque de conmutación L4.	59
A.6. Circuito esquemático DC-Link.	60
A.7. PCB Capa Overlay.	61
A.8. PCB Capa 1, Superior.	62
A.9. PCB Capa 2, Intermedia superior.	63
A.10. PCB Capa 3, Intermedia inferior.	64
A.11. PCB Capa 4, Inferior.	65
A.12. BOM.	66
A.13. Resistencia pull-down sobre capacitor C17.	67
A.14. Fotografía de estación de pruebas.	67
A.15. Señal BBSW modo burst.	68
A.16. Señal BBSW modo burst con cursor.	68
B.1. Esquemático PLECS para prueba de potencia.	70
B.2. Señal de disparo.	71
B.3. Señales de salida.	72
B.4. Zoom señales de salida.	72
C.1. Cargadores DC comerciales actuales para EV [14].	73
C.2. Circuito esquemático HalfBridge propuesto por Texas Instrument [24] [25].	74
C.3. Pines de conexión para IC-GaN QFN32 [24].	75
C.4. Diagrama de bloques interno IC-GaN [24].	75
C.5. Rendimiento de conmutación y Ringing de IC-GaN [24].	75

Índice de tablas

3.1. Lista de Materiales.	33
4.1. Tabla de Test Points	41
4.2. Tabla de conectores y descripción.	41

ABREVIACIONES

Mayúsculas

BC	: Bloque de Conmutación
BOM	: Bill of Material
EV	: Electric Vehicle
ICE	: Internal Combustion Engine
WPT	: Wireless Power Transfer
V2G	: Vehicle To Grid
GaN	: Nitruro de Galio
GD	: Gate Driver
FPGA	: Field Programmable Gate Array
HF	: High Frequency
MMC	: Modular Multilevel Converter
MOSFET	: Metal Oxide Semiconductor Field-effect Transistor
LVK	: Law Voltage Kirshoff
LCK	: Law current Kirshoff
IC-GaN	: Integrated Circuit Nitruo Galio
AEC	: Automative Electronic Council
VVR	: Vehicle-to-Vehicle Recharging

Minúsculas

dc	: direct current
ac	: alternate current

INTRODUCCIÓN

En la última década se ha podido evidenciar que los Vehículos eléctricos (EV) son una alternativa para mitigar la contaminación generada por los actuales vehículos a combustión. Por ello, en los últimos años se ha investigado y desarrollado nuevas tecnologías con el fin de generar menor impacto medioambiental [1]. Estas tecnologías han motivado el desarrollo de nuevos convertidores de electrónica de potencia. En este contexto se destacan las innovaciones en los diseños con topologías multinivel [2], sistema de transmisión inalámbrica y bidireccionales. Con esta motivación se realizará el diseño de un prototipo de celda para convertidor multinivel para el estudio y desarrollo de nuevos convertidores con mayores cifras de desempeño y un menor consumo de energía aprovechando tecnologías de mayores frecuencias de conmutación y menor tamaño.

1.1. Contexto

La tecnología de transferencia de carga inalámbrica (WPT) ha ido mejorando enormemente en los últimos años en términos configuraciones del sistema, diseños de bobinas inalámbricas y esquemas de control. Esto enfocado a lograr sistemas de mayor potencia, mejor eficiencia y mayor distancias de operación para la transmisión inalámbrica. Todo esto motiva el desarrollo de nuevos convertidores de electrónica de potencia con enfoque en una alta eficiencia energética y la utilización de componentes internos implementando tecnologías más modernas en sus semiconductores de conmutación, con especificaciones de mayor densidad de potencia, tamaños más reducidos y mayores frecuencias de conmutación.

Los convertidores multinivel generan voltajes de salida con formas de onda de alta calidad y bajo contenido armónico. Además pueden generar voltajes de salida mayores al conectarse en cascodo y reducen el contenido de la tercera armónica favoreciendo especialmente en los convertidores H-Bridge.

En el ámbito del almacenamiento de energía de EV tenemos sus baterías internas, las cuales continuamente están en crecimiento de capacidad y en consecuencia también de tamaño, por lo que se requiere cada vez una mayor potencia y voltaje de parte de los convertidores que utilizan sus cargadores. Por tanto, los convertidores multinivel parecen

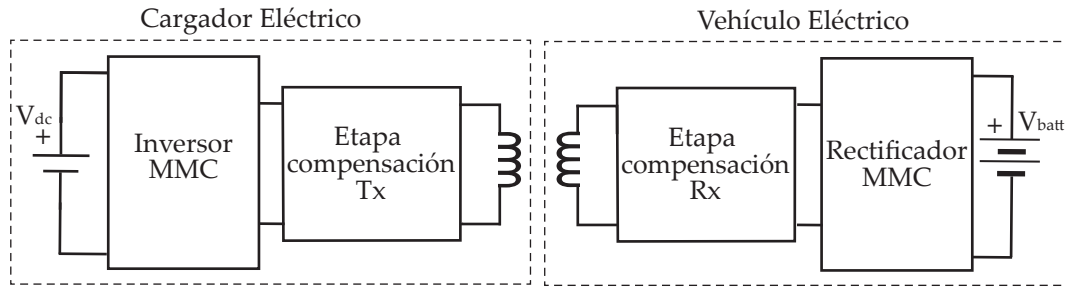


Figura 1.1: Sistema de carga de WPT V2G para EV.

ser una alternativa favorable a ser parte de la solución. Dentro de ellos el convertidor modular multinivel(MMC) se compone de celdas sub-modulares que aportan una fracción del voltaje final de salida, permitiendo así el diseño de celdas de menor voltaje para la conformación de el convertidor final de alta potencia [2].

Otro concepto de interés a implementar es el Vehicle to Grid(V2G), el cual considera al EV como un elemento de almacenamiento distribuido en micro redes, siendo el EV parte de la red eléctrica, para ello el sistema WPT debe ser bidireccional, es decir posibilidad de cargarse desde la red y también ser capaz de suministrarle energía a ella si se requiere.

En la actualidad los sistemas WPT con convertidores MMC no han implementado toda las tecnologías actuales existentes, como es el caso de los transistores de conmutación de Nitruro de Galio, es por esto que en este trabajo de título, como parte del proyecto Fondecyt 1211826, busca diseñar un prototipo de celdas modulares para la creación de un convertidor MMC bidireccional para un sistema WPT utilizando tecnología GaN. En la figura 1.1 se aprecia el convertidor completo. Este sistema contiene el diseño de la celda modular dentro del convertidor de color gris. Del lado izquierdo se encuentra el convertidor MMC con celdas H bridge para la transmisión/recepción de energía hace el EV y al lado derecho el mismo convertidor en modalidad inversa generando así un sistema WPT DC-DC (DC-AC, AC-DC).

1.2. Descripción del proyecto

El objetivo principal del trabajo es diseñar, implementar y probar una tarjeta electrónica modular de topología H-Bridge para implementarse en un Convertidor modular multinivel. Para el desarrollo de este proyecto se deberá tener en consideración los requerimientos de voltaje, corriente y potencia del convertidor completo. Para determinar las características eléctricas de entrada y salida de la celda prototipo a desarrollar.

El proyecto se conforma de distintas etapas: una etapa de diseño de circuito, donde se deberá determinar las entradas/salidas del sistema, determinar los componentes críticos para el diseño y estructurar un circuito conceptual del diseño futuro. Luego se lleva a cabo la etapa de implementar dicho circuito conceptual en un esquemático real, con sus respectivas componentes disponibles en el mercado. Para ello se debe de hacer un estudio de las tecnologías actuales disponibles para los elementos que conforman el circuito y también el desarrollo e implementación de la tarjeta electrónica a diseñar. Finalmente una etapa de pruebas experimentales para validar el correcto funcionamiento de control y potencia del prototipo diseñado.

1.3. Alcances y Contribuciones

El proyecto busca contribuir con la creación del diseño e implementación de una celda prototipo para la creación de un convertidor MMC bidireccional con tecnología de transistores GaN para la aplicación en un cargador inalámbrico de EV. Con ello se pretende generar un prototipo de desarrollo que sea útil para validar el funcionamiento eléctrico de la celda y pueda ser trabajada en un futuro para realizar pruebas de control y eficiencia dentro del contexto de cargadores inalámbricos de EV.

Los alcances de este proyecto van desde diseñar la celda desde el circuito esquemático hasta la validación de la tarjeta electrónica prototipo a diseñar, de esta forma se espera cumplir con las especificaciones eléctricas requeridas teóricamente para la generación de un convertidor MMC de una potencia de 1KW.

1.4. Estado del Arte

Dentro del proyecto del cargador inalámbrico, el corazón fundamental de este esta enfocado en el diseño del convertidor de potencia multinivel. Por tanto nos centraremos en estudiar las ultimas tecnologías del mercado y los componentes internos para fabricar las celdas que construyen modularmente al convertidor de potencia.

1.4.1. Sistema WPT

Los sistemas de potencia inalámbrica tiene la capacidad de transferir la energía entre dos módulos sin la necesidad de cables físicos. Esto se produce por medio de campos magnéticos generados por bobinas especiales de transmisión inalámbrica; específicamente entre dos bobinas, una de transmisión(Tx) que genera el campo magnético y otra de recepción(Rx) lo recibe [3]. De esta forma el sistema WPT produce la transferencia de energía sin cables por medio de la inducción magnética de las bobinas [5]. Dentro de la transmisión inalámbrica existen tres tipos de transferencia, Capacitiva, Inductiva y Resonante [7]. Dado que el sistema global del MMC contiene una bobina inalámbrica y una etapa de compensación capacitiva, el sistema WPT sera del tipo Resonante [6].

Dentro del estado del arte de sistemas WPT se pretende implementar métodos de carga vehicle-to-vehicle recharging (VVR) para lograr transferencia de energía de vehículo a vehículo en carreteras [4].

Power level types	Charger location	Typical use	Power level	Charging time
Level-1 120 Vac (US) 230 Vac (EU)	On-board 1-phase	Charging at home	1.4 kW (12A) 1.9 kW (20A)	4-11 hours 11-36 hours
Level-2 240 Vac (US) 400 Vac (EU)	On-board 1-or-3-phase	Charging at private or public outlets	4 kW (17A) 8 kW (32A)	1-4 hours 2-6 hours
Level-3 (208-600 Vac or Vdc)	Off-board 3-phase	Commercial or public	50 kW 100 kW	0.2-0.5 hours

Figura 1.2: Tabla de cargadores según nivel de potencia [10] [11].

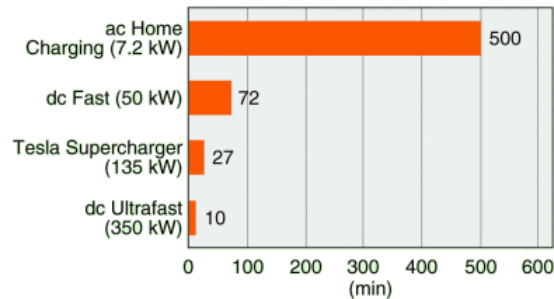


Figura 1.3: Tiempos de recarga en Estaciones de EV según su potencia [8].

1.4.2. Cargadores Vehículos Eléctricos

En el mercado actual los cargadores EV comerciales son estaciones de carga conformados por sistemas de potencia que utilizan convertidores de potencia del orden de unos pocos kW hasta los cientos de kW [8].

Uno de los grandes desafíos de los cargadores EV actuales es competir con las estaciones de carga a gasolina de vehículos de combustión interna (ICE). En la actualidad existen distintas clasificaciones para determinar sus tiempos de carga según la potencia que suministren como se puede ver en la figura 1.2, en donde el nivel 1 correspondería a una carga con potencia de hogar. Esta cantidad de potencia es suficiente para recargar un EV en un tiempo aproximadamente de una noche, lo cual puede ser ideal para utilizarlo en la ciudad. Sin embargo, cuando se requiera realizar viajes largos, donde detener el viaje obligatoriamente para recargar las baterías durante varias horas puede ser un problema.

Frente a esta problemática nacen los cargadores rápidos y ultra rápidos de nivel 3 que presentan cada vez menores de tiempos de carga en decenas de minutos.

Como se presenta en la figura 1.3, estos cargadores de mayores potencias de carga, presentan tiempos inferiores de carga considerando recargas para autonomías superiores a 300 [Km], lo cual los hace mucho más llamativos y comparables con las recargas actuales de estaciones de gasolina, logrando un récord de carga de 10 minutos en el caso del cargador ultra rápido [8]. En la figura C.1 del anexo podemos ver en más detalle una comparación de los cargadores comerciales actuales de carga ultra rápida.

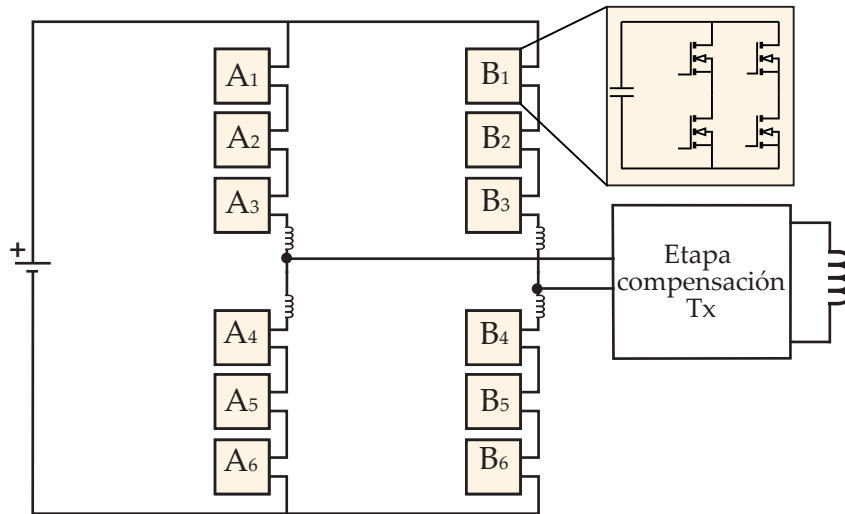


Figura 1.4: Topología propuesta para convertidor MMC V2G.

1.4.3. Topología Convertidor MMC

Dentro del área de convertidores de potencia se ha destacado la implementación de diseños MMC para sistemas WTP. Dentro de sus ventajas esta la posibilidad de aumentar el voltaje de operación, manteniendo voltajes mas bajos dentro de cada celda, aportado mejoras en la calidad de la señales de potencia [2]. Además dentro del estado del arte de estos convertidores se esta empezando a desarrollar el concepto Vehicle-to-grid (V2G), la cual pretende considerar a las baterías de los autos eléctricos como fuentes de almacenamiento y formar parte de la red eléctrica [9]. Para ello se debe considerar que los nuevos convertidores con sistema WTP deberán ser bidireccionales [10]. Por tanto en el circuito de carga como el de recepción serán simétricos y capaces de transmitir energía de forma bidireccional. Dentro de las topologías de MMC la topología H-Bridge en cascada es una opción beneficiosa para aumentar la eficiencia del sistema y reducción de tercera armónica, inherente a la topología H-Bridge.

En la figura 1.4 se aprecia el cargador eléctrico de topología MMC bidireccional para transmisión de carga inalámbrica. Cada una de las cajas coloreadas son celda idénticas que corresponden al prototipo H-Bridge a diseñar. Estos están conformados por cuatro transistores GaN y un conjunto de capacitores para el DC-link. Para la conformación del convertidor de 7 niveles se requieren 12 celdas además de inductancias de brazo y una etapa de compensación capacitiva. Cada celda cuenta con su propio DC-Link interno. Sin embargo el cargador se alimenta solamente con una fuente DC.

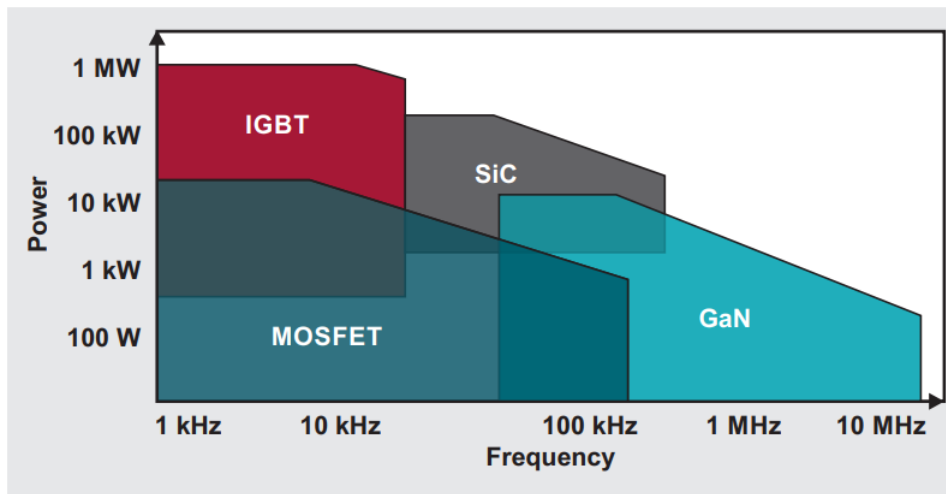


Figura 1.5: Gráfica comparativa de frecuencia vs potencia para distintos transistores [15].

1.4.4. Transistores de conmutación para convertidores

Los transistores son el componente principal para la operación del convertidor, esto ya que ellos son los encargados de la conmutación dentro del sistema para generar la conversión de la energía. Los transistores MOSFET son de rápida velocidad de conmutación para sistemas de potencia media [15]. En comparación con otros elementos de conmutación, como lo son los transistores IGBT, los transistores MOSFET pueden llegar a mayores frecuencias de conmutación permitiendo obtener una alta eficiencia según la topología utilizada [2].

Dentro de los transistores MOSFET existen distintas tecnología de materiales semiconductores con las que estos están contruidos. En la figura 1.5 se presenta una gráfica comparativa que relaciona la potencia de cada tecnología en función de su frecuencia de conmutación [15]. A continuación mencionaremos algunas de las alternativas actuales de tecnología disponibles en el mercado.

1.4.4.1. MOSFET - SiC

Los transistores MOSFET Carburo de Silicio, son una alternativa en relación a los transistores de Silicio, estos dispositivos electrónicos presentan un campo de ruptura 8 veces mayor que los Si, permitiendo mayor voltajes de operación, una menor caída de tensión en estado de conducción, alta velocidad de conmutación y baja resistencia térmica. Estas características de los transistores SiC le permiten tener un rendimiento mejorado a los MOSFET de Silicio [16].

En la figura 1.6 podemos ver un transistor SiC de package TO-247-3 en formato "True hole". Notar que la placa de metal de su espalda sirve para la conexión térmica con disipadores de potencia.

PG-TO 247-3

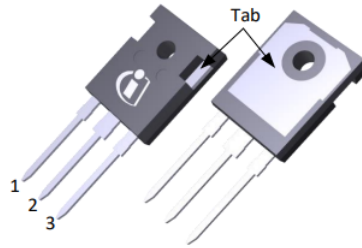


Figura 1.6: Transistor MOSFET SiC 650V IMW65R107M1H [16].

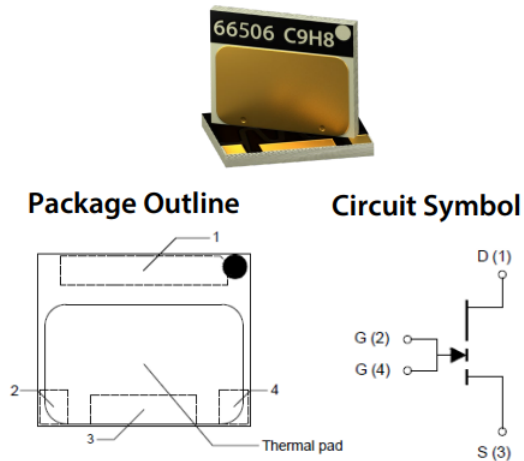


Figura 1.7: Transistor MOSFET GaN 650V GS66506T [19].

1.4.4.2. MOSFET - GaN

Los transistores MOSFET de Nitruro de Galio son en la actualidad la tecnología prometedora para aplicaciones de electrónica de potencia y transferencia de energía inalámbrica [17]. Su construcción al estar hecha de esta nueva aleación los hace poder operar a mayores frecuencias de conmutación, ya no solo en el orden de los KHz como los de SiC, sino permitiendo operar a frecuencias sobre los MHz, ver figura 1.5. Además por las propiedades de su aleación, requieren menor voltaje de umbral (V_{th}), poseen resistencias internas menores y un menor área del dispositivo [15], [17].

Algunas alternativas del mercado son los dispositivos de marca GaN System [19]. En la Figura 1.7 podemos ver un DIE de transistor GaN individual.

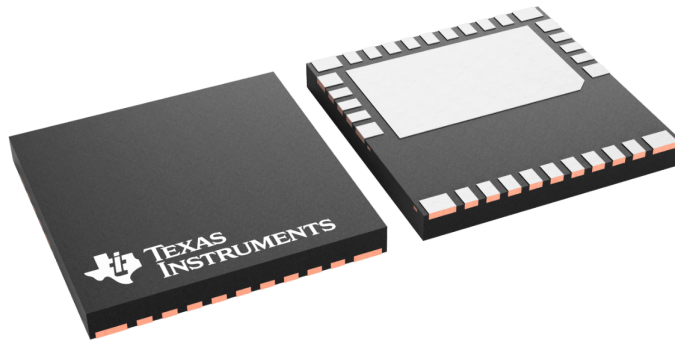


Figura 1.8: IC GaN + Gate Driver Texas Instrument QFN-32 [20].

1.4.4.3. IC - GaN + Gate Driver

Los circuitos integrados de transistores GaN + Gate Driver (IC-GaN) son DIE que incorporan internamente el transistor GaN y su controlador de disparo del transistor (GD). Estos dispositivos presentan la ventaja que su sistema está integrado en un chip y poseen menor área. Dentro del mercado la marca que lidera esta tecnología integrada es Texas Instruments. Algunos de estos IC vienen en modalidad individual y otros en medio puente, la principal diferencia radica en que al contener dos transistores en un chip, generan una solución de menor tamaño pero a costo de transferir menor potencia que los individuales.

En la figura 1.8 podemos ver un empaquetado QFN-32. Estos empaquetados se caracterizan por tener un tamaño de 8[mm]x8[mm] y un espesor menor a un empaquetado integrado convencional tiene una conexión de pines planos por debajo del integrado y poseen un terminal central para mejorar la disipación de calor. Estos empaquetados de dispositivos GaN están diseñados para transmitir el calor por debajo hacia la PCB y utilizan un disipador por debajo del GaN a diferencia de lo usual que es la disipación sobre los dispositivos.

De la figura 2.7, en la figura izquierda podemos ver el diagrama de bloques interno de un GaN + Gate driver. Hacia la derecha, podemos ver los Pin Pad de estos dispositivos, donde se aprecia que posee algunos pines de control y la mayoría son pines utilizados para la transmisión de potencia.

1.5. Estructura del documento

Este documento se divide en 5 Capítulos:

Capítulo 1 una introduce al tema y busca presentar las alternativas actuales para la creación de un convertidor aplicando las ultimas tecnologías asociadas a convertidores de potencia, carga inalámbrica y transistores de conmutación.

Capítulo 2 Se realiza un análisis de los requerimientos del convertidor para determinar las entradas y salidas de la celda prototipo y el circuito esquemático del prototipo.

Capítulo 3 Se lleva a cabo la implementación de el circuito, determinando la lista de materiales asociada y el diseño de la PCB.

Capítulo 4 Se realizan pruebas experimentales para validar el diseño de la tarjeta electrónica, dentro de ellas, pruebas de polarización, pruebas de señales de control y pruebas de alto voltaje para comprobar el correcto funcionamiento de la celda prototipo.

Capítulo 5 Se comenta los resultados obtenidos, las conclusiones del trabajo y se menciona mejoras al proyecto y trabajos a futuro.

DISEÑO

En este capítulo nos dedicaremos a determinar las especificaciones de la celda prototipo en base a las especificaciones y manera de operar del convertidor completo. Así se logrará deducir cuales serán las potencias, voltajes y corrientes requeridos para la celda a diseñar. Luego seleccionaremos los componentes importantes que entregan condiciones de borde al diseño. Construiremos un diseño conceptual para conformar con ellos los parámetros de la celda y sus módulos de conmutación. Finalmente, se concluye este capítulo presentando un diseño conceptual del circuito de la celda.

2.1. Especificaciones del Convertidor

Como se mencionó en la sección 1.4.2 se utilizará la topología MMC H-Bridge para el convertidor completo. A continuación describiremos las especificaciones del convertidor DC-AC:

- El convertidor considera una potencia de 1[kW], lo cual esta a lo menos un orden de magnitud por de bajo de la potencia de los cargadores actuales ver sección 1.4.2. Dado que se trata de un prototipo inicial, la finalidad de este prototipo inicial es validar la topología, su rendimiento y eficiencia a baja escala antes de implementarse a una escala real de cargador.
- El voltaje suministrado de entrada del convertidor DC/AC considerara una única fuente continua de alimentación 350[V] y una corriente continua de entrada de 3[A].
- Se espera tener un voltaje AC de salida de 200[V] y una potencia activa de 1[kW] considerando estar en el peor caso de contar con una carga inductiva pura con $FP=0.5$.
- La frecuencia de operación inicial del diseño sera de 100[kHz], el cual puede ser incrementado hasta donde la bobina inalambrica opere en correcto funcionamiento [22].

En las siguientes secciones se realizarán los análisis DC y AC a partir del convertidor MMC para deducir los parámetros eléctricos de entrada y salida de la celda a diseñar. De esta forma el diseño de la celda quedará establecido en base a sus propias entradas y salidas, dejando de lado la perspectiva del convertidor completo.

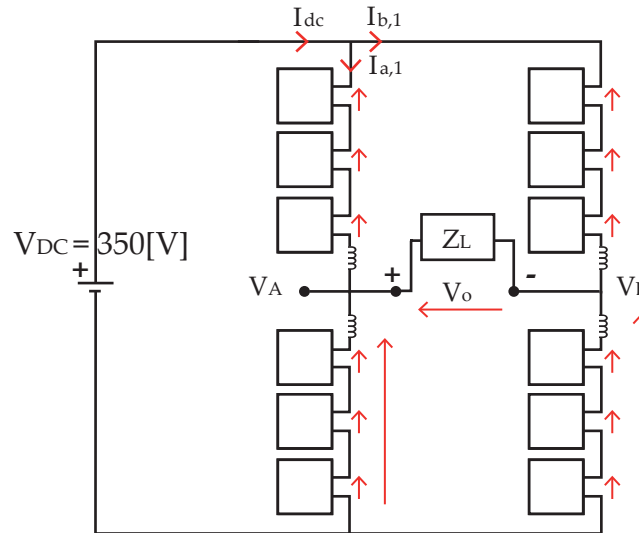


Figura 2.1: Ecuaciones de Kirchoff para análisis DC.

2.1.1. Análisis DC

Como se menciona en 2.1, consideraremos una fuente con voltaje de entrada $V_{DC} = 350[V]$ y una corriente de entrada $I_{DC} = 3[A]$, entregando así una potencia de entrada al MMC de $1050[W]$.

Dada la figura 2.1, se realiza un LCK para determinar las corrientes de rama y un LVK para determinar el voltaje de salida por rama y de cada celda.

Respecto a las corrientes, el LCK se realiza en el nodo entre la fuente y las ramas del convertidor:

$$I_{DC} = I_{A,dc} + I_{B,dc} = 3[A] \quad (2.1)$$

Dado que las ramas son simétricas en su estructura se tiene entonces que :

$$I_{A,dc} = I_{B,dc} = I_{Cell,dc} \quad (2.2)$$

De esta manera la corriente DC para cada celda es de $1.5[A]$

$$I_{Cell,dc} = 1,5[A] \quad (2.3)$$

Para el caso de el LVK, se realiza una malla entre la fuente de entrada y la rama A o rama B, de esta forma se tiene la expresión:

$$V_{DC} = \sum_{n=1}^6 V_{An,dc} = 350[V] \quad (2.4)$$

$$V_{DC} = \sum_{n=1}^3 V_{An,dc} + V_{Adc} \quad (2.5)$$

Donde $V_{An,dc}$ y $V_{Bn,dc}$ son los voltajes DC en la n-ésima celda para la rama A o B según corresponda y V_{Adc} , V_{Bdc} corresponde al voltaje de salida de la rama en si

Respecto de los voltajes de salida de las ramas, se tiene que estos son la mitad del voltaje total, conformado por 3 celdas:

$$V_{Adc} = V_{Bdc} = 175[V] \quad (2.6)$$

De la ecuación 2.4 podemos deducir que el voltaje DC de cada celda es:

$$V_{An,dc} = V_{Bn,dc} = V_{Cell,dc} = 58,3[V]; \quad \forall_i = \{1, 2, \dots, 6\} \quad (2.7)$$

Con el voltaje y corriente DC de la celda es posible determinar la potencia de entrada de la celda:

$$P_{Cell,dc} = V_{Cell,dc} * I_{Cell,dc} \quad (2.8)$$

$$P_{Cell,dc} = 33,3 * 1,5 = 87,5[W] \quad (2.9)$$

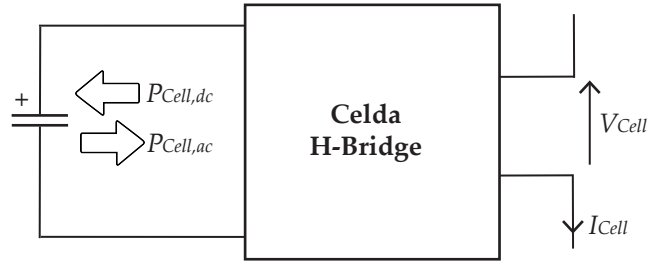


Figura 2.2: Celda prototipo H-Bridge.

2.1.2. Análisis AC

Como se determinó en el análisis DC, el valor de potencia de entrada continua a la celda es de 87.5[W] considerando una fuente de 350[V] y 3[A]. Ahora analizaremos como se manifiesta la potencia AC en el circuito para determinar los parámetros AC de la Celda.

Se considera que el capacitor DC-link de la celda en estado estacionario están en equilibrio en DC, es decir mientras la fuente DC entrega potencia al bloque DC-Link para cargar los capacitores, también saldrá una potencia como parte de la componente AC con la misma magnitud de potencia. De no estar en equilibrio el voltaje DC del capacitor tenderían a cargarse o a descargarse con el transcurso del tiempo.

$$|P_{Cell,dc}| = |P_{Cell,ac}| = 87,5[W] \quad (2.10)$$

La corriente DC de la fuente de entrada se encarga de suministrar potencia al condensador de la celda, y la corriente AC le entrega esta misma energía a la carga en forma AC, en otras palabras, la potencia entra y sale por los mismos terminales de la celda, pero la transferencia de energía ocurre en distintos componentes de frecuencia, ver Figura 2.2

Como se aprecia en la figura 2.3, el flujo AC se distribuye por la rama superior e inferior del convertidor sin involucrar la fuente DC. Esto quiere decir que las corrientes AC son generadas puramente por las corrientes de conmutación de las celdas H-Bridge. Al realizar un LCK en los nodos de entrada y salida de la carga:

$$I_o = i_{a,1} + i_{a,2} = i_{b,1} + i_{b,2} \quad (2.11)$$

$$I_o = 10,5 = 5,25 + 5,25[A] \quad (2.12)$$

De esta manera y considerando la ecuación (2.10) se tiene que el voltaje AC esta dado por:

$$|P_{Cell,ac}| = |V_{Cell,ac}| |I_{Cell,ac}| \cos \phi \quad (2.13)$$

Despejando el voltaje se tiene la expresión:

$$|V_{Cell,ac}| = \frac{|P_{Cell,ac}|}{|I_{Cell,ac}| \cos \phi} \quad (2.14)$$

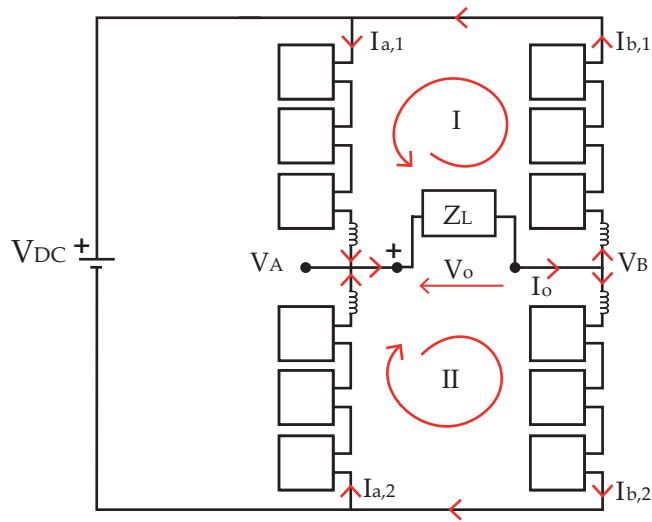


Figura 2.3: Ecuaciones de Kirchoff para análisis DC..

Así, si consideramos la corriente $I_{ac} = 5,25[A]$ y una carga puramente inductiva con $FP=0,5$, podemos determinar que el voltaje V_{ac} es:

$$|V_{Cell,ac}| = 33,3[V] \quad (2.15)$$

$$V_{Cell,ac} = 33,3Sen(\omega t)[V] \quad (2.16)$$

Respecto al voltaje de salida del convertidor V_o , para lograr un voltaje puramente AC se debe de considerar que el sistema de control debe contemplar generar la señales alternas del voltaje V_A y V_B en contrafase, de tal forma se tiene que:

$$V_A = 175 + 100Sen(\omega t) \quad (2.17)$$

$$V_B = 175 - 100Sen(\omega t) \quad (2.18)$$

$$V_o = V_A - V_B = 200Sen(\omega t) \quad (2.19)$$

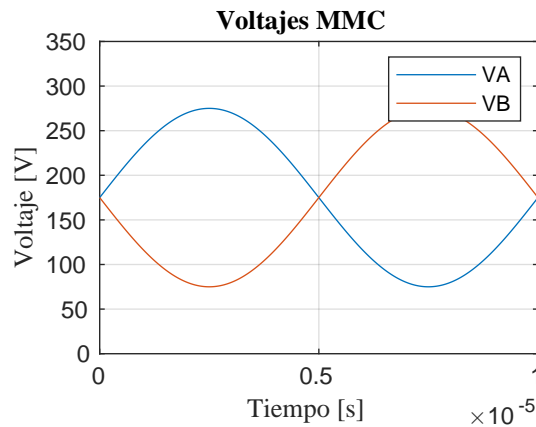


Figura 2.4: Voltaje salida MMC.

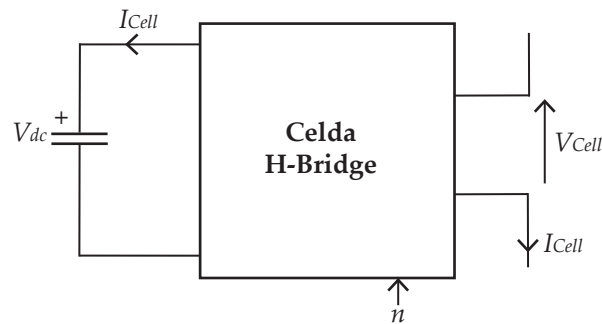


Figura 2.5: Parámetros Celda.

2.2. Especificaciones de la Celda

Luego del análisis anterior, se obtiene los valores de voltaje y corriente de la celda a diseñar. estos son:

$$V_{Cell} = V_{Cell,dc} + V_{Cell,ac} \quad (2.20)$$

$$I_{Cell} = I_{Cell,dc} + I_{Cell,ac} \quad (2.21)$$

Reemplazando los valores de diseño, se tiene:

$$V_{Cell} = 58,3 + 33,3Sen(\omega t) \quad (2.22)$$

$$I_{Cell} = 1,5 + 5,25Sen(\omega t + \phi) \quad (2.23)$$

La figura 2.6 muestra las formas de onda de estas señales de la celda.

De la ec.2.20 se determina que el valor peak de voltaje de la celda es de 91.6[V]. Para el caso de el capacitor DC-Link se considerara un margen de seguridad de un voltaje máximo

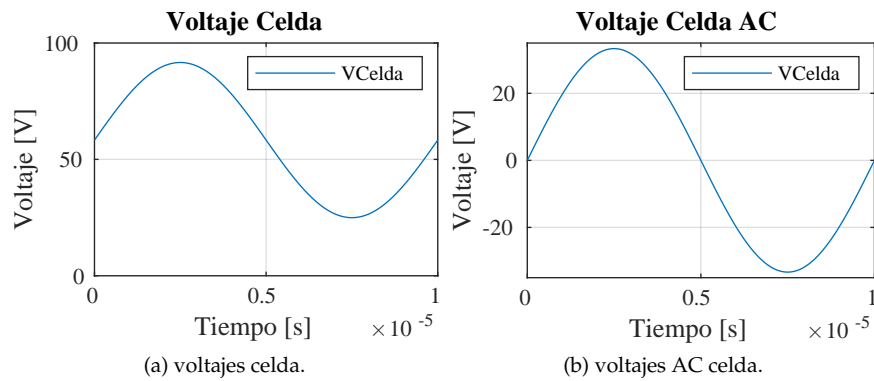


Figura 2.6: Señales de voltaje de Celda

de un 25% sobre este valor, para poder mantener el control del índice de modulación en casos de sobre voltaje por impactos de carga en la red.

De esta manera entonces se tiene que el voltaje de la celda, en función del voltaje de DC-Link es:

$$V_{Cell} = n * V_{dc} = 115[V] \quad (2.24)$$

Donde el índice de modulación para el voltaje y la corriente de la celda presenta componente DC y AC y queda dado como:

$$n = n_{dc} + n_{ac} \text{Sen}(\omega t) \quad (2.25)$$

Así, por ejemplo, para lograr la ec. 2.22 se requiere un índice de modulación:

$$n = 0,50 + 0,289 \text{Sen}(\omega t) \quad (2.26)$$

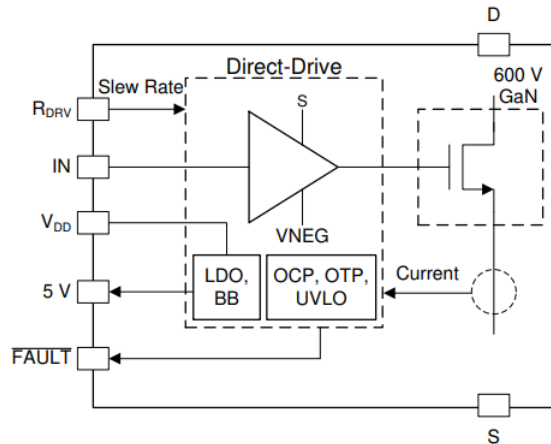


Figura 2.7: Diagrama de Bloques interno LMG3411 [24]

2.3. Transistores GaN

Dentro de la tecnologías GaN mencionadas en el capítulo 1, el IC GaN + Gate Driver LMG3411 es la alternativa seleccionada como dispositivo de conmutación para la celda. Este dispositivo de Texas Instruments presenta una amplia documentación asociada a su diseño e implementación en PCB y cumple con las características requeridas para las especificaciones de diseño de la celda, con la posibilidad de escalar la potencia máxima del prototipo. Además de contener un GaN Single, tiene su GD integrado en el mismo empaquetado QFN(32), lo cual reduce el tamaño de la tarjeta electrónica al tener una tecnología mas compacta. Respecto a la alternativa de GaN system, para su fabricación se debe contemplar el correcto diseño de su GD, y además utilizaría mas área su diseño.

Algunas de las características mas destacables del LMG3411 son:

- Voltaje peak máximo 600[V], operación nominal 480[V]
- Corriente superior a 10 [A]
- Gate Driver Integrado en el IC
- Circuito de protección OCP, OTP, UVLO
- Baja resistencia R_{on} de 50 [mOhm]
- Baja capacitancia de entrada y salida para reducción de pérdidas

En la figura 2.7 podemos apreciar un diagrama de bloques interno del IC, que presenta los pines esenciales del IC de conmutación. Se aprecia el transistor GaN, terminales *Drain*, *Source*, y señales de entrada hacia su GD; puertos de alimentación entrada $V_{DD}=12V$ y salida de 5[V], su señal de falla, compuerta de disparo *IN* y señal R_{DRV} regular el *SlewRate* de subida y bajada de las conmutaciones.

Se hace énfasis en la señal \overline{FAULT} , pues esta señal inversa de falla estará en bajo para avisar cuando exista algún problema dentro del bloque de conmutación. Esta señal se acciona en casos de *OCP*, *OTP* y *UVLO*.

Dentro de la documentación mencionada anteriormente sobre el LMG3411 se menciona también un circuito de aplicación para validar la operación de este dispositivo en una configuración de Half-Bridge, véase el anexo C.2. Este circuito muestra un tipo de configuración recomendada para utilizar este tipo de IC de potencia. Se destaca la utilización de aislador digital, como componente de aislación entre el sistema de control y el sistema de potencia, como también la posibilidad de alimentar el circuito Half-Bridge con un sistema bootstrap como con un DC/DC aislado.

En este diseño se optara por esto ultimo, si bien la configuración de Bootstrap es de menor costo y fácil de implementar en el circuito, al implementar una fuente DC/DC aislada nos aporta una mayor estabilidad de polarización en el sistema en función de un mayor costo de incorporar dicho componente al circuito.

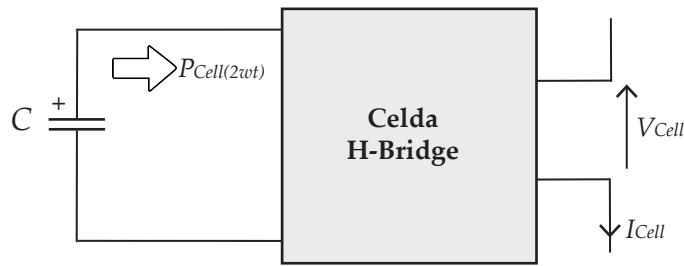


Figura 2.8: Celda y potencia de ripple.

2.4. Capacitores DC-Link

Dentro de la celda H-Bridge, el capacitor DC-link C_{dc} es el encargado de almacenar y transferir la potencia. Es relevante determinar los tipos de capacitores que se requieren para su correcto funcionamiento. En este caso el DC-Link busca mantener un voltaje DC estable y también tener la capacidad de reaccionar a la conmutación para las frecuencias de 100[KHz]. Es por esto que el bloque DC-Link está conformado tanto por capacitores electrolíticos para mantener el voltaje DC como por capacitores de cerámica para lograr extraer la potencia a altas frecuencias de conmutación.

Los parámetros de diseño que se requieren determinar son el valor de voltaje soportado por los capacitores y el valor de capacitancia total para un ripple de voltaje inferior al 1%.

2.4.1. Voltaje soportado

Hasta ahora, el componente que limita el voltaje soportado está dado por el IC LMG3411, con operación nominal de hasta 480[V] y valor peak de 600[V]. Se espera obtener un capacitor SMD que soporte voltajes cercanos a 480[V] para permitir una máxima holgura de voltaje de celda. Sin embargo como se mencionó en la sección 2.2, el voltaje máximo que se plantea en condiciones de operación es de 115[V], por tanto el voltaje mínimo de los capacitores será de 115[V] de tipo SMD que se disponga en el mercado. El hecho de manejar un voltaje más alto, permite trabajar a corrientes más bajas y tener un control más exacto de voltaje con el índice de modulación, ec. 2.25.

2.4.2. Capacitancia y ripple

Para el diseño del DC-Link es fundamental calcular el valor de la capacitancia requerida para un voltaje de ripple a diseñar en la celda.

Para determinar el valor de capacitancia requerido analizamos las potencias y corrientes de la celda, ver figura 2.8.

Dada las ecuaciones ec.2.20 y ec.2.21, se define la potencia de la celda como:

$$P_{Cell} = [V_{Cell,dc} + V_{Cell,ac}][I_{Cell,dc} + I_{Cell,ac}] \quad (2.27)$$

$$P_{Cell} = V_{Cell,dc}I_{Cell,dc} + |V_{Cell,ac}|I_{Cell,ac} \frac{(1 - \text{Cos}(2\omega t))}{2} + P_{Cell}(\omega, \phi) + P_{Cell}(\omega) \quad (2.28)$$

$$P_{Cell} = \cancel{V_{Cell,dc}I_{Cell,dc}} + \frac{|V_{Cell,ac}|I_{Cell,ac}}{2} - \frac{(|V_{Cell,ac}|I_{Cell,ac}|\text{Cos}(2\omega t))}{2} + P_{Cell}(\omega, \phi) + P_{Cell}(\omega) \quad (2.29)$$

Como se mencionó en 2.1.2, las potencias DC de entrada y salida se anulan, pues se requiere que el voltaje del capacitor en DC sea estable.

Por otra parte, para simplificar los cálculos de la potencia, se considerara solo el producto de componentes AC puras, bajo el supuesto que la multiplicación de componentes cruzadas AC con DC (ec.2.27) contribuyen en menor medida al ripple con ayuda de un adecuado índice de modulación.

Así entonces la potencia utilizada para el diseño del ripple del DC-Link queda definido como:

$$P_{Cell}(2\omega t) = \frac{|V_{Cell,ac}|I_{Cell,ac}|\text{Cos}(2\omega t)}{2} \quad (2.30)$$

$$|P_{Cell}(2\omega t)| = 87,5\text{Cos}(2\omega t)[W] \quad (2.31)$$

De aquí podemos determinar la corriente de salida del ripple, esta es:

$$I_{Cell}(2\omega t) = \frac{P_{Cell}(2\omega t)}{V_{Cell}(0)} \quad (2.32)$$

$$I_{Cell}(2\omega t) = \frac{87,5\text{Cos}(2\omega t)}{115} = 0,76\text{Cos}(2\omega t)[A] \quad (2.33)$$

además, basándonos en la ecuación del capacitor, el voltaje de ripple es:

$$|V_{ripple}| = |V_{dc}(2\omega t)| = \frac{|I_{Cell}(2\omega t)|}{2\omega C} \quad (2.34)$$

Podemos encontrar una ecuación de diseño para el cálculo de la capacitancia en función del doble de la frecuencia, corriente y voltaje.

$$C = \frac{I_{Cell}(2\omega t)}{2\omega V_{ripple}} \quad (2.35)$$

Considerando entonces un valor de $V_{ripple}=400[\text{mV}]$ se tiene :

$$C = \frac{0,76}{4\pi 10^5 0,4} = 1,5[\mu F] \quad (2.36)$$

Del análisis anterior tenemos un valor de capacitancia para asegurar un bajo ripple de voltaje.

A continuación hablaremos sobre la capacitancia para mantener el voltaje continuo del DC-Link. De la ecuación de energía del capacitor podemos obtener la siguiente expresión.

$$E = CV^2/2 \quad (2.37)$$

$$E/\Delta T = CV^2/\Delta T \quad (2.38)$$

$$C = \frac{T(\frac{E}{T})}{V^2} \quad (2.39)$$

$$C = \frac{10^{-5}(\frac{E}{T})}{V^2} = 25[\mu F] \quad (2.40)$$

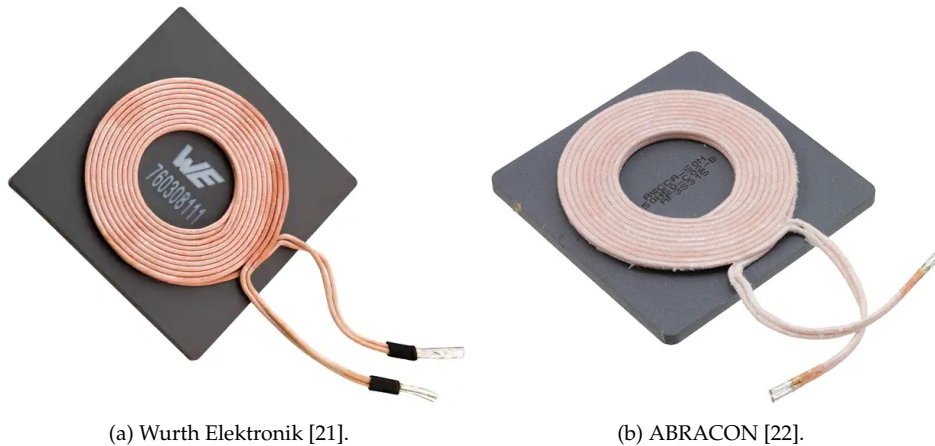


Figura 2.9: Bobinas Inalámbricas.

2.5. Bobina inalámbrica

Para diseñar el circuito de la celda prototipo se investiga sobre los parámetros de operación para de las bobinas inalámbricas disponibles en el mercado actual. Si bien la bobina no es parte de la celda, es la carga de salida que generará la transmisión inalámbrica en el convertidor, por tanto es crítico determinar cuales son las especificaciones eléctricas para diseñar en base a sus condiciones nominales.

A continuación mencionaremos parámetros de interés:

- La bobina a seleccionar debe ser de una sola capa y ser capaz de transmitir la potencia del convertidor 1KV AC, soportando al menos corrientes de 10 [A]
- Las bobinas actuales presentan su mejor factor de eficiencia, llamado Factor Q desde frecuencias de 100[Khz] hasta 1[Mhz] antes de tener una pérdida significativa. Teniendo en su mayoría rendimientos óptimos a los 100[Khz].
- Dado que el convertidor sera V2G se requiere que las bobinas sean bidireccionales, es decir tengan capacidad tanto de transmitir como recibir energía magnética.

Dentro del mercado actual las marcas mas destacadas en este tipo de bobinas para WPT son Wurth Elektroniks y ABRACON.

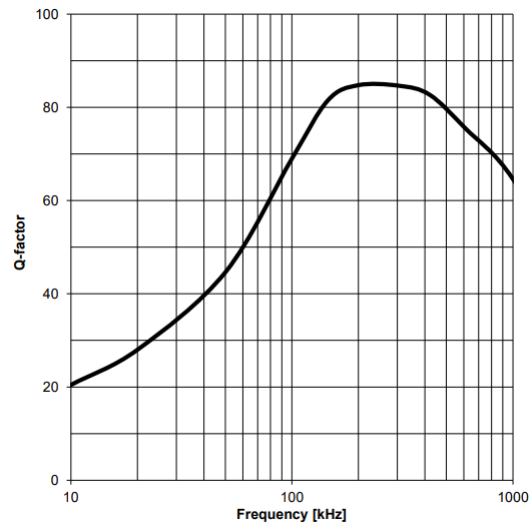


Figura 2.10: Gráfica Relación Q-Factor vs Frecuencia bobina WE760308111 [21].

En la figura 2.10 podemos ver la curva de desempeño de una bobina Wurth 760308111 [21]. Notar que para las frecuencias entre 100 [kHz] a 700 [kHz] el factor de eficiencia es superior a 75 lo cual ya es aceptable. Además de presentar un rango óptimo sobre 80 para una banda cercana a 125-500[kHz].

Dado el análisis anterior la bobina WE 760308111 [21] es un candidato ideal para el diseño. Sin embargo por falta de disponibilidad, se optó por una bobina alternativa de similares características, esta es ABRACON AWCCA-50N50H50-C02-B [22] la cual presenta un Factor-Q de 75 a 100[kHz]. En consecuencia diseñaremos a dicha frecuencia para mantener su eficiencia al óptimo.

2.6. Circuito Conceptual

A continuación se presenta una arquitectura conceptual que reúne los bloques esenciales para la construcción de la celda H-Bridge basados en la estructura presentada en el Circuito de aplicación propuesto para el IC-GaN de Texas Instruments, ver figura C.2. En la Figura 2.11 Se presentan 4 bloques de conmutación, cada uno conformado por su IC-GaN formando el flujo de potencia junto con el bloque DC-Link, el cual presenta capacitores electrolíticos para el voltaje DC y de cerámica para las conmutaciones. Por otra parte el sistema de polarización y control aislado, conformado por una fuente DC/DC aislada y un aislador digital que permite la entrada y salida de señales de control del IC-GaN evitando el ruido electromagnético de alta frecuencia.

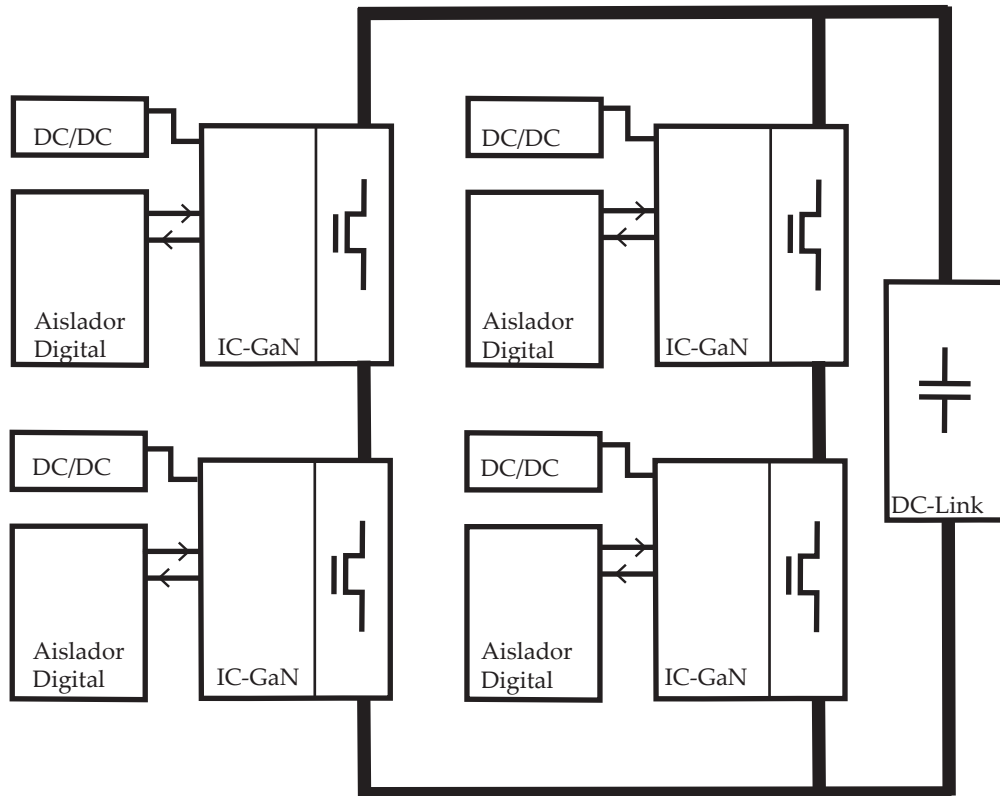


Figura 2.11: Arquitectura conceptual del circuito H-Bridge.

IMPLEMENTACIÓN DEL DISEÑO

En este capítulo se aborda mayores detalles sobre la implementación del diseño considerando la arquitectura y especificaciones de la celda mencionadas en el capítulo 2. Se menciona el criterio de selección de componentes y los detalles sobre su selección y sus tecnologías disponibles en el mercado. Con esto se conforma la lista de materiales para la fabricación.

Por otra parte se mencionan aspectos claves a considerar en el diseño de la PCB, tales como tamaño de componentes SMD, dimensiones de vías, test points, tipo de conectores, componentes térmicos para luego presentar el diseño de la PCB diseñada y para finalizar se muestra algunas etapas del procedimiento de montaje de los componentes en la PCB.

3.1. Selección de componentes

En esta sección se mencionará sobre los componentes actuales del mercado que son apropiados para la implementación del diseño en la celda prototipo.

3.1.1. Criterio de selección de componentes

Los componentes a seleccionar y su tecnología serán en pos de obtener un rendimiento óptimo en la celda. Estos deben de satisfacer idealmente las máximas condiciones de operación de la celda, de esta manera se evitará que los componentes generen mayores limitaciones en el rendimiento. Como se concluye de los análisis del capítulo 2 los límites actuales de diseño están dados por el IC-GaN de máximo 480[V] de operación y la bobina inductiva de máximo 10.6[A] con capacidad de operar a frecuencias sobre los 100[kHz]. A partir de esta base se determinará los siguientes componentes esenciales para llevar a cabo el diseño de la arquitectura basándonos en la figura 2.11.

Dado esto, el criterio de selección de componentes prioriza las alternativas con buen rendimiento tecnológico, un tamaño de área reducido, y baja resistencias para minimizar las pérdidas por conmutación.

Cabe destacar que al ser una celda prototipo un factor relevante a considerar es el costo de los componentes, por ello si bien se busca un rendimiento óptimo por cada tipo de componente, tampoco se aspira obligatoriamente a la opción más costosa del mercado, pues esto puede aumentar enormemente el costo de la compra final del prototipo. Aun así se hará mención de las tecnologías más actuales que pueden ser de utilidad para un diseño definitivo.

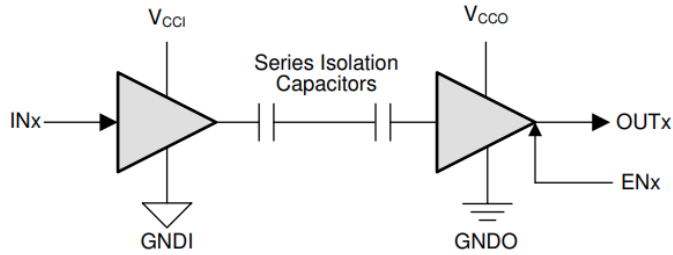


Figura 3.1: Diagrama simplificado de un canal de ISO7731 [26].

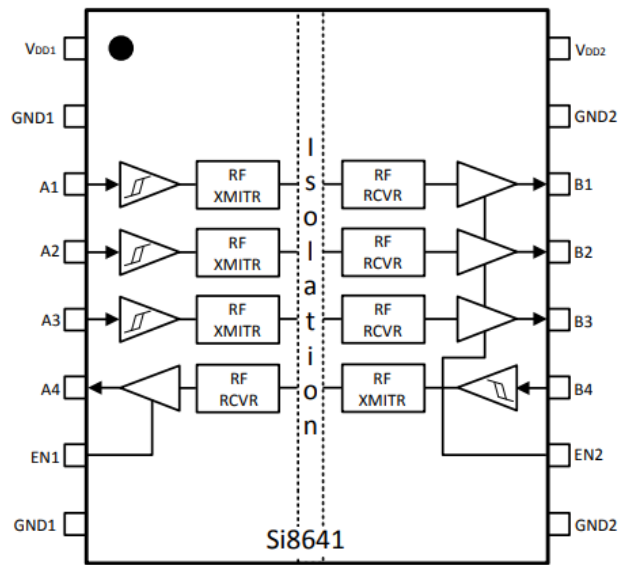


Figura 3.2: Vista de pines de Aislador Digital SI8641 [27].

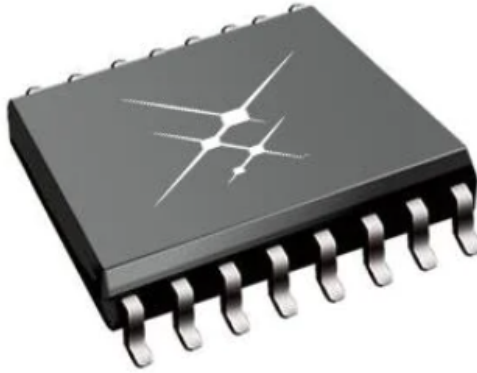


Figura 3.3: Package SOIC-16 de un SI8641 [27].

3.1.2. Aislador Digital

Los aisladores digitales son una alternativa moderna para aislar parte de un circuito y solo transmitir señales entre ellos pero al no tener una conexión de tierra común entre ellos estas señales no son afectadas por la acción de otros dispositivos del entorno. Estos sistemas son ideales para transmitir señales a altas frecuencias desde la etapa de control hacia la etapa de potencia por medio de acoples capacitivos, ver Figura 3.1. A diferencia de los optoacopladores utilizados en la mayoría de los diseños de las última décadas, estos dispositivos presentan solo salidas digitales, de tasas sobre 100Mbps de datos, un menor área y menor consumo de potencia.

Para la selección de estos dispositivos en el diseño nos debemos fijar en:

- Voltajes de polarización de 5[V]
- Dos Canales de entrada y al menos uno de salida.
- Bajo consumo de potencia.
- Voltajes de aislación tolerada sobre 1[kV]
- Tasa de transmisión de datos sobre 1[MHz].

Dentro de las alternativa principal de solución para este componente se presenta el dispositivo ISO7731 [26] propuesto en el applications notes de Texas Instruments Anexo C.2 [25]. Sin embargo, dada su falta de stock en el mercado, se presenta como alternativa de similares características el aislador SI8641ED-B-ISR de SkyWorks [27]. Este dispositivo cumple con las mismas características de ISO7731. presenta una disipación de potencia de 275 [mW], 4 canales, aislación de 5[kV], tasa de transmisión de 150[Mbps] y un empaquetado *SOIC* – 16. En la figura 3.2 se aprecia los pines del aislador y sus canales de I/O. En la figura 3.3 se aprecia el empaquetado SOIC-16.



(a) Capacitor electrolítico Cornell Dubilier SMD [28].



(b) Capacitor MMLC Knowles Syfer [30].

Figura 3.4: Capacitancias Bloque DC-Link.

3.1.3. Capacitancias DC-Link

Para la implementación del bloque DC-Link se reserva espacio para incluir dos capacitores electrolíticos SMD *CornellDubilier* de 22 [uF] y un voltaje de operación máximo de 450[V]. Se destaca que este capacitor era la mejor opción disponible de voltaje superior a 400[V] para tal orden de capacitancia con montaje SMD. Sin embargo el limite superior de operación de la celda se reduce de 480[V] a 450[V] debido a la selección de dicho componente en montaje SMD, lo cual no es crítico para la operación.

En la Figura 3.4a se puede ver su forma física, la cual presenta un área reducida de 21.5[mm] de longitud y montaje superficial.

Respecto de los capacitores de cerámica se baso en el circuito de desarrollo del LMG3411 de Texas Instruments donde en este circuito se prefiere la utilización un arreglo de 6 capacitancias de cerámica en paralelo para formar la capacitancia de conmutación. Esta decisión de diseño se riegue basándose en reducir la resistencia en serie equivalente (ESR) y de esta manera reducir las pérdidas térmicas y distribuir de manera mas optima el área de disipación de calor a lo largo de la placa al tener mas capacitancias conmutando en la celda [29]. Para la selección de capacitores de alta frecuencia se consideró capacitores cerámicos de capas múltiples (MLCC) marca Knowles Syfer con tecnología StackiCap. que permite tener dos capacitancias de 0.47[uF] en encapsulados de 2220 y 4 capacitancias de 0.15[uF] de encapsulado 1812. De esta forma se consigue 2 Capacitores 2220Y1K00474KXRWS2 y 4 Capacitores 1812Y1K00154KXTWS2 como solución al diseño. En la figura 3.4b se aprecia el package de capacitores MLCC StackiCap.

En a figura 3.5 se presenta una tabla de tamaños y valores de capacitancia y voltaje para la tecnología StackiCap. Se destaca que la alternativa seleccionada soporta 1[kV] y presenta certificación AEC-Q200 [34].

Maximum capacitance values - StackiCap™ Capacitors

Chip Size	1812	2220	3640
200/250V	1.0 μ F	2.2 μ F	5.6 μ F
500V	470nF	1.2 μ F	2.7 μ F
630V	330nF	1.0 μ F	2.2 μ F
1kV	180nF	470nF	1.0 μ F
1.2kV	100nF	220nF	470nF
1.5kV	56nF	150nF	330nF
2kV	33nF	100nF	150nF

■ = AEC-Q200

Figura 3.5: Maximos valores de StackiCap por encapsulado [28].

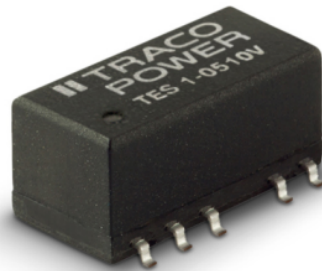


Figura 3.6: Empaquetado SMD-12 fuente DCDC aislada TRACO.

3.1.4. Fuente DC-DC Aislada

Como se menciona en la secci3n 2.6 en la arquitectura del diseno se opta por alimentar de manera independiente cada bloque de conmutaci3n, sin prescindir de una alternativa de bootstrap como se presenta adicionalmente en la figura C.2. De esta forma cada bloque de conmutaci3n recibe su alimentaci3n aislada de 12V independiente para alimentar su chip IC-GaN respectivo. Se considera que la alimentaci3n del sistema de control y el CI sera por un pin de conexi3n externa a la placa con voltaje de 5[V], voltaje estandar en microcontroladores. Por tanto las fuentes de alimentaci3n seran de entrada 5[V] y salida 12[V] aislados para cada bloque de conmutaci3n.

Para su implementaci3n se selecciona como alternativa una fuente TRACO POWER TES 1-0512V de alta confiabilidad con una potencia 1[W] y 84[mA] corriente de salida. La potencia requerida por cada bloque de conmutaci3n se refleja en el consumo del IC-GaN y el aislador digital, los cuales presentan un consumo de 30[mA] y 5[mA] respectivamente, de modo que no limitaciones de potencia con dicha fuente.

En la figura 3.6 se aprecia la fuente TRACO de montaje SMD de TES 1V Series.

Otra alternativa de soluci3n de fuentes es MTU1S0512MC de Murata [32](ver figura 3.7), la cual presenta un Empaquetado de menor tamano, sin embargo no fue implementada debido a falta de stock al momento de la compra.

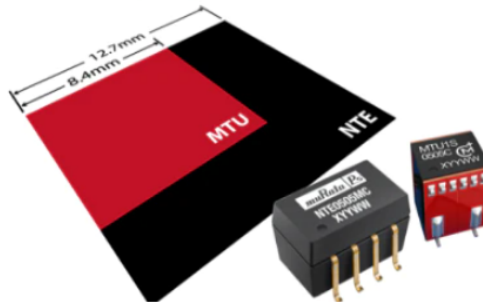


Figura 3.7: Imagen comparativa MTU con NTE, similar a empaquetado TRACO.

3.1.5. Componentes SMD

Dentro de la categoría de componentes SMD, en particular componentes pasivos tales como resistencias y capacitancias se implementará componentes con valores de exactitud de 5 % o inferiores. Respecto de sus dimensiones se contempla utilizar tamaños adecuados a la escala de dimensión del LMG3411, el aislador Digital y la fuentes aisladas. Por ello los tamaños a utilizar serán principalmente empaquetado de tamaños 0805, 1206[inch], los cuales son de tamaño adecuado para un prototipo inicial y también apropiados para su manipulación de soldado tanto en máquinas pick and place como soldado manual sin necesidad de lupa.

Un ámbito relevante a considerar es utilizar componentes que estén enfocadas a aplicaciones de la industria automotriz. en este ámbito se contempla la relevancia de componentes con certificaciones como AEC-100 o AEC-200 [33]. las cuales presentan características de mayor tolerancia a entornos de estrés en entornos hostiles tales como dentro de un EV, donde deba soportar mayores temperaturas de operación. En particular algunas de las pruebas realizadas a componentes de categoría AEC-200 son, pruebas de sobre-voltaje, pruebas de estrés asociado a vibraciones externas, pruebas de retardo de llama, libres de plomo, entre otras [34].

Para el caso de las capacitancias SMD se sugiere utilizar capacitancias de calidad X5R u X7R, pues estas capacitancias son apropiadas para un rango de temperaturas desde -55°C hasta 75°C u 125°C respectivamente, además su valor de variabilidad de la temperatura no supera el 15 %, lo cual es por debajo de los demás tipos de tecnologías para capacitancias. En la figura 3.8 se aprecia una curva de como varia la capacitancia de los componentes SMD en función de la temperatura según su tecnología [37].

3.1.6. Conectores de potencia

Para la implementación de conectores de potencia se seleccionó los conectores 1756498 y 1804807 de Phoenix Contact, verticales y horizontales respectivamente. Estos conectores soportan corrientes de hasta 20[A] y voltajes de hasta 600[V], lo cual los hace adecuados para la conexión de potencia, pues dentro del diseño como se ha mencionado el rango de operación llegará hasta máximo de 10.6[A], debido a la limitación de la bobina Inalámbrica.

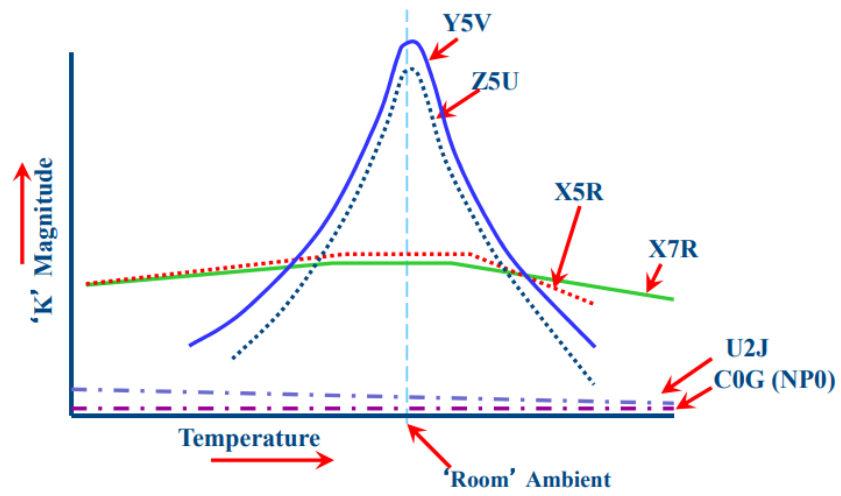
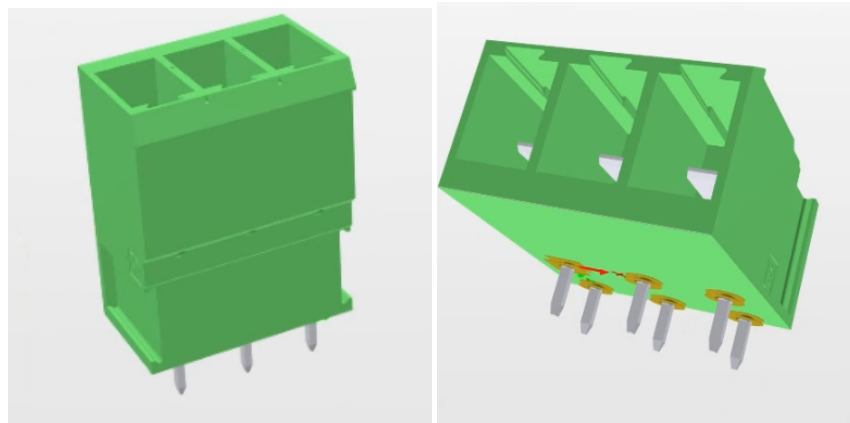


Figura 3.8: Capacitancia relativa vs Temperatura [37].



(a) Conector PC 1756498.

(b) Conector PC 1804807.

Figura 3.9: Conectores de potencia Phoenix Contact [35]

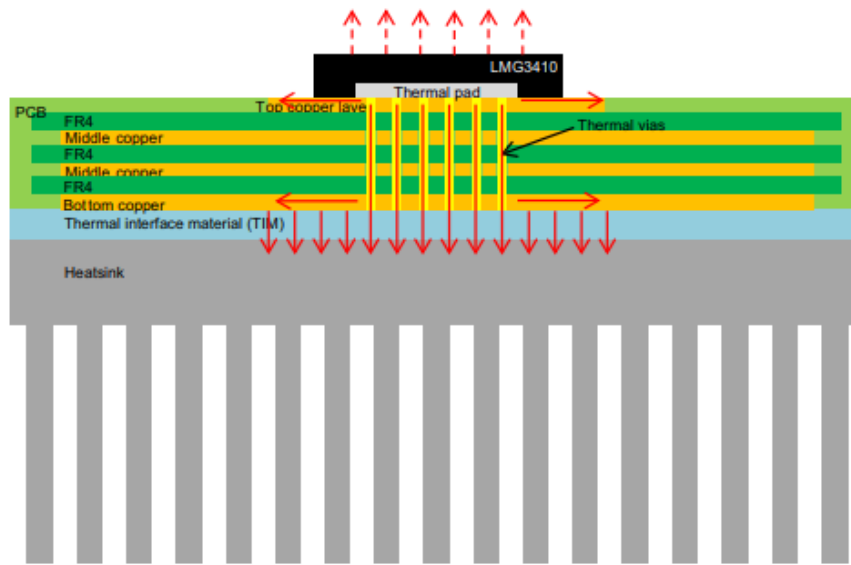
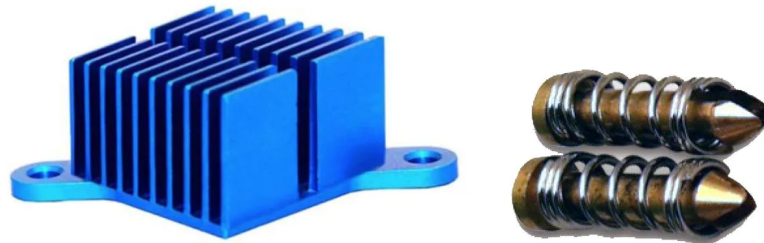


Figura 3.10: Vista transversal de PCB y sistema térmico [38].



(a) Disipador térmico ATS.

(b) Anclaje Push Pin ATS.

Figura 3.11: Disipador térmico y anclaje [39]

3.1.7. Componentes Térmicos

Para la disipación de calor de los LMG3411 Texas Instruments propone una disipación por debajo de la PCB, como se aprecia en la figura 3.10, la PCB requerirá tener vías térmicas para lograr transferir de manera más rápida el calor hacia la capa de abajo. Dado que los LMG3411 de área reducida, es conveniente utilizar un disipador de mayor tamaño que logre cubrir el área para disipar el calor sobre dos de ellos, esto siempre y cuando se utilice un material de interfaz térmico (TIM), pues este material es requerido para aislar eléctricamente la conexión entre los LMG3411, la PCB y los disipadores, en caso contrario el disipador puede contribuir en generar capacitancias parásitas que perjudique el circuito.

ATS-CPX030030030-173-C2-R0 de Advanced Thermal Solutions es el disipador a

implementar en este prototipo, sus dimensiones físicas son 30 x 30 x 30[mm], este disipador logra cubrir el área de dos LMG3411 y utiliza un anclaje "pushpin" ATS-HK91-R0 de su misma línea que no requieren ser atornillados. Respecto al TIM se utiliza un pad Taica modelo COH-1706-200-05-1NT la aislación térmica del sistema, este pad de gel de silicona posee una conductividad térmica de 3.8 [W/m-K] y quedara sujeto entre el disipador y la PCB por medio de el anclaje push pin.

3.1.8. Lista de materiales Celda

La tabla 3.1 presenta una lista de materiales (BOM) con los componentes principales y ya determinados para la fabricación de la celda.

El anexo A.12 presenta una lista mas extensa considerando componentes pasivos, conectores, auxiliares y mecánicos.

Qty	Designator	Description	Value	Manufacturer	Part Number
4	IC1,IC2, IC3,IC4	Single GaN + Gate Driver	600-V 12-A	Texas I.	LMG3411R050RWHT
4	IC5,IC6, IC7,IC8	Digital Isolator 3/1 Channel	3/1 I/O	Sky Works	SI8641ED-B-IS
4	PS1,PS2, PS3,PS4	DC/DC Isolator 1W 12/5V I/O	12/5V ISO	TRACO P.	TES 1-0512V
2	C21,C22	Cap. Electrolytic 22 μ F, 450V	22 μ F	Cornell D,	AEB226M2WS44T-F
2	C23,C24	Cap MLCC 0.47 μ F, 1kV	0,47 μ F	Knowles S.	2220Y1K00474KETWS2
4	C25,C26, C27,C28	Cap MLCC 0.15 μ F, 1kV	0.15 μ F	KEMET	C2225C154KDRACAUTO

Tabla 3.1: Lista de Materiales.

3.2. Circuito Esquemático Altium Designer

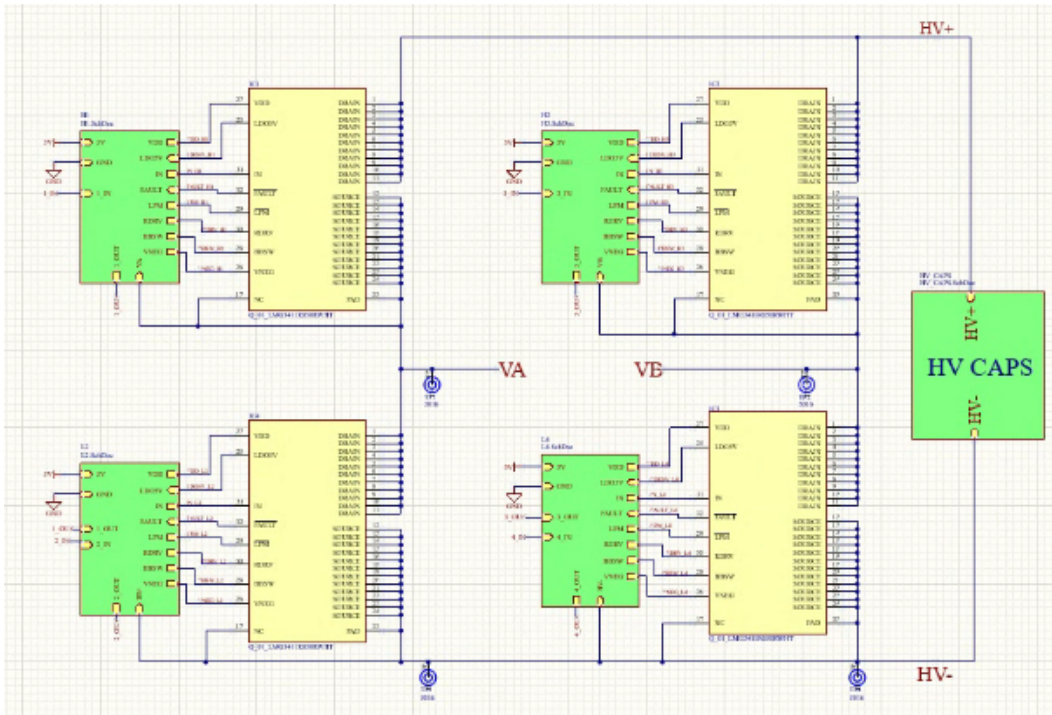


Figura 3.12: Circuito Esquemático Altium [A.1].

3.3. Diseño de PCB

3.3.1. Consideraciones

Dentro de la selección de componentes SMD se cotizó componentes desde tamaños mínimos de 0402, 0603 [pulg], principalmente resistencias, las cuales se consideró que son tamaños muy pequeños para realizar la implementación de ellos en la tarjeta prototipo, por ello se ajustó como tamaño mínimo de componentes SMD la medida de 0805 [pulg], teniendo en su mayoría componentes SMD de escala 0805[pulg] y 1206[pulg]. De esta manera se facilitará la etapa de soldar los componentes a la tarjeta prototipo.

Dado lo anterior los componentes de la lista de materiales de tamaños bajo el nuevo tamaño mínimo establecido fueron cambiados por componentes de las nuevas escalas mencionadas

3.3.2. Tamaño Vías

Una vía es un agujero que pasa a través de toda las capas de la tarjeta electrónica. En esta sección mencionaremos algunas de las medidas que se utilizaron para el diseño de la tarjeta. Se destaca que desde las limitaciones de la fábrica (PCBWAY), la medida mínima de agujeros es de 10[mill] o 0.2[mm], dentro de nuestros valores, evitaremos acercarnos

abruptamente a este límite y mantener cierto margen de seguridad.

3.3.3. Diseño 4-Layers

Para el diseño de un prototipo de electrónica de potencia se contempla la utilización de 4 capas de PCB, como sugiere también el fabricante del IC-GaN [38]. Se considera la top layer para el montaje de componentes superficiales, la mayor parte de componentes como también para el ruteo de las señales de control. Las capas internas son utilizadas para generar planos para las tierras aisladas de cada bloque de conmutación. Otro beneficio de utilizar una PCB de mas de 2 capas es poder utilizar mas capas para permitir el flujo de pistas de potencia sin la necesidad de tener que generar pistas excesivamente anchas en top layer, de esta forma el diseño puede mantener un tamaño acorde a las dimensiones de los componentes.

3.3.4. Test Point

Se considero vías de Diámetro 1.5[mm] y agujero de 1[mm], estas son las vías poseen un tamaño mayor pues se utilizaran para conectar puntar de Osciloscopio para realizar las mediciones de las señales y voltajes de alimentación. Las puntas de osciloscopio poseen un diámetro entre 0.8-0.9[mm], por lo que con agujeros de 1[mm] es posible tomar mediciones desde el agujero sin problemas.

3.4. Montaje de PCB

- PCB real

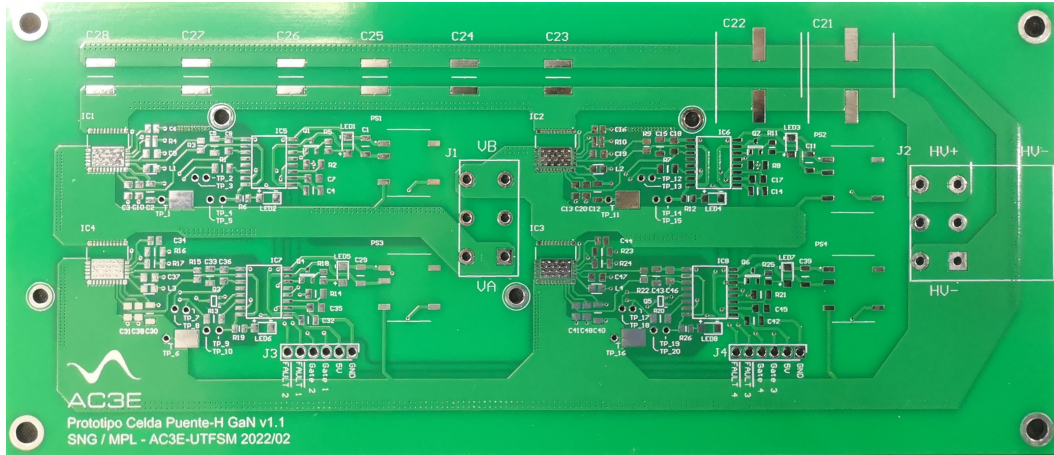


Figura 3.13: PCB prototipo sin componentes.

- Stencil para aplicar pasta de soldar a componentes SMD.

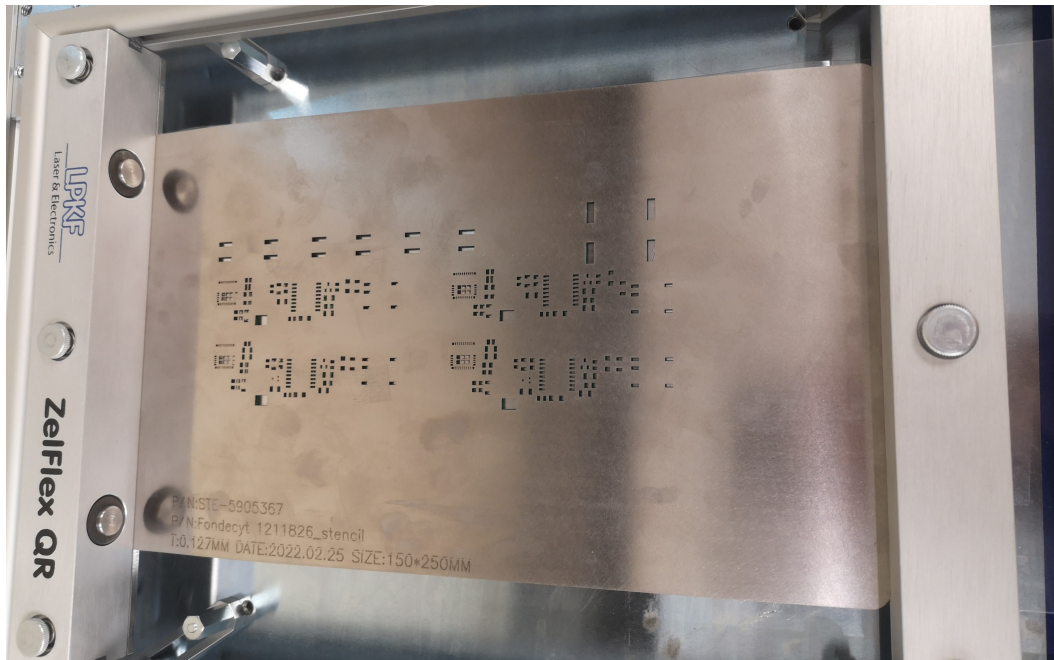


Figura 3.14: Montaje Stencil.

- PCB lista para soldar componentes

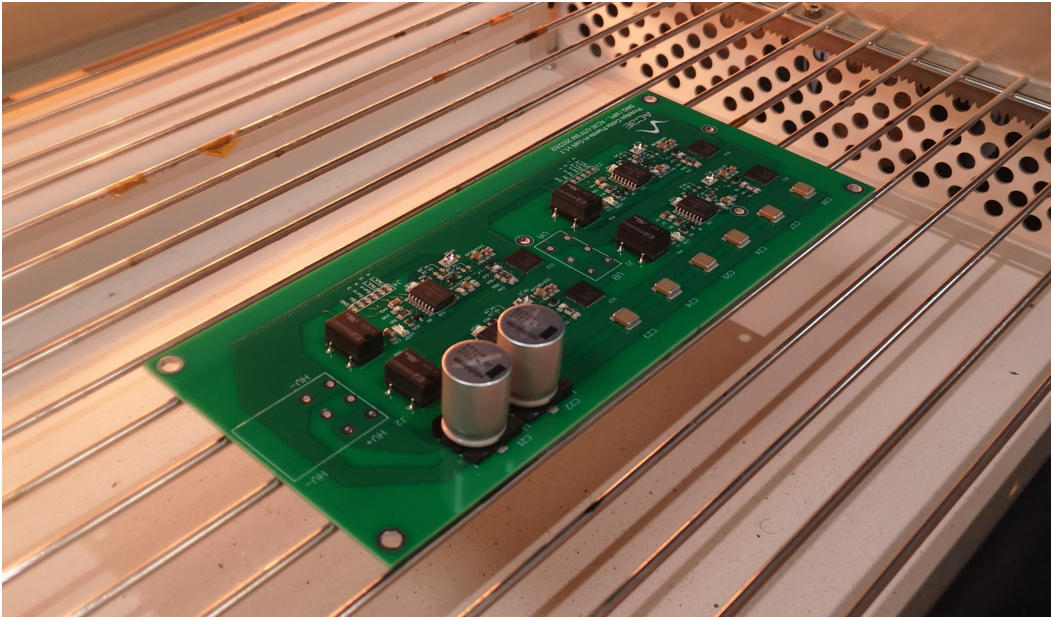


Figura 3.17: PCB en horno de reflujo.

- Prototipo listo para pruebas experimentales.

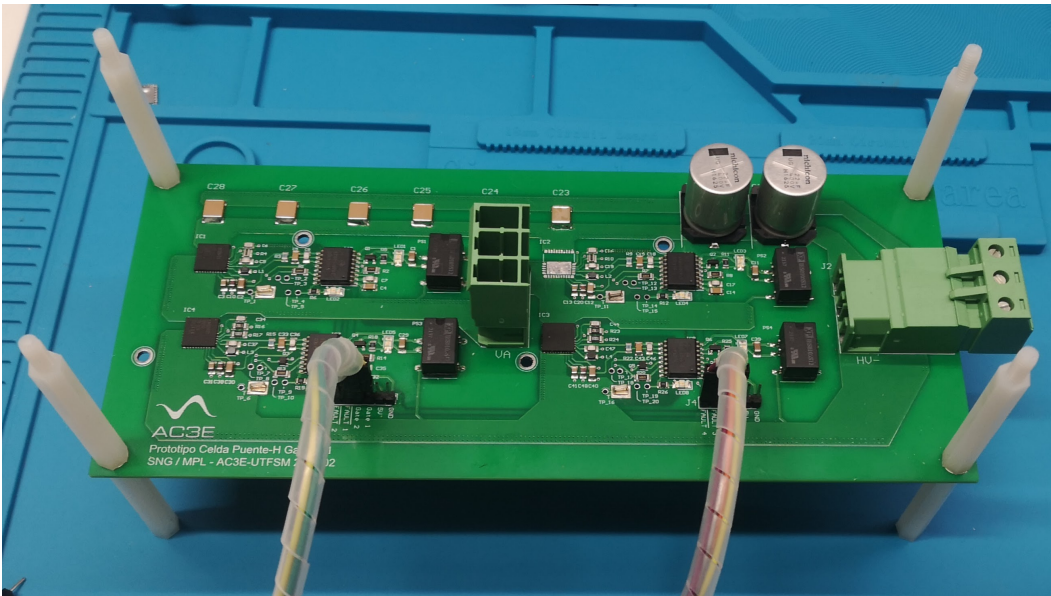


Figura 3.18: PCB con componentes.

PRUEBAS EXPERIMENTALES

Este capítulo consiste en la realización de las pruebas experimentales sobre la PCB diseñada con el fin de corroborar el correcto montaje del diseño y verificar su operación. Se detallará en orden las pruebas y procedimientos a realizar, incluyendo los instrumentos requeridos para cada prueba con el fin de validar el correcto funcionamiento del diseño y detectar fallas de implementación.

4.1. Test Point

La figura 4.1 muestra la PCB señalando sus cuatro bloques de conmutación. Cada uno de ellos cuenta con 5 Test points, incluida su tierra aislada. En la figura 4.3 podemos apreciar la ubicación de los puntos de prueba respectivos para bloque de conmutación según corresponda. La tabla 4.1 especifica el detalle de cada uno de ellos.

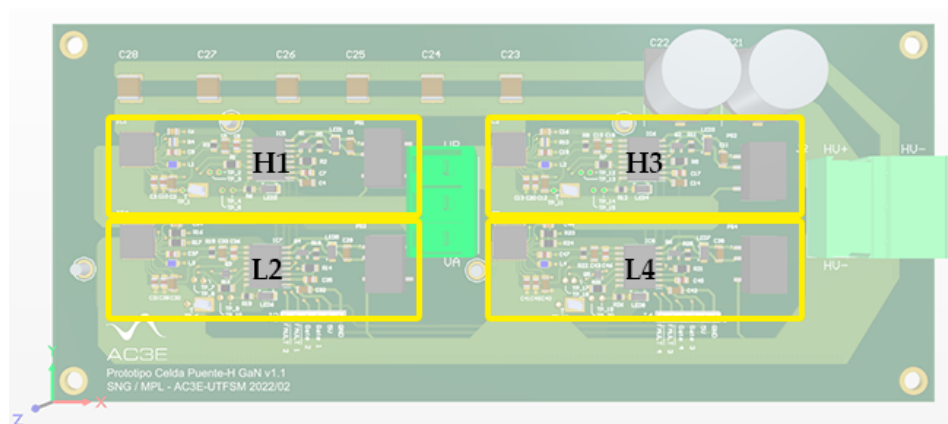


Figura 4.1: ubicación de bloques de conmutación en PCB.

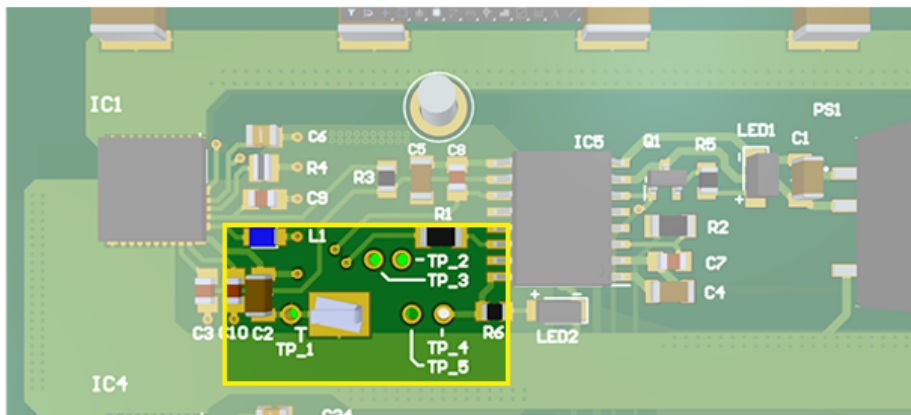


Figura 4.2: Ubicación de Test Points en cada bloque de conmutación.

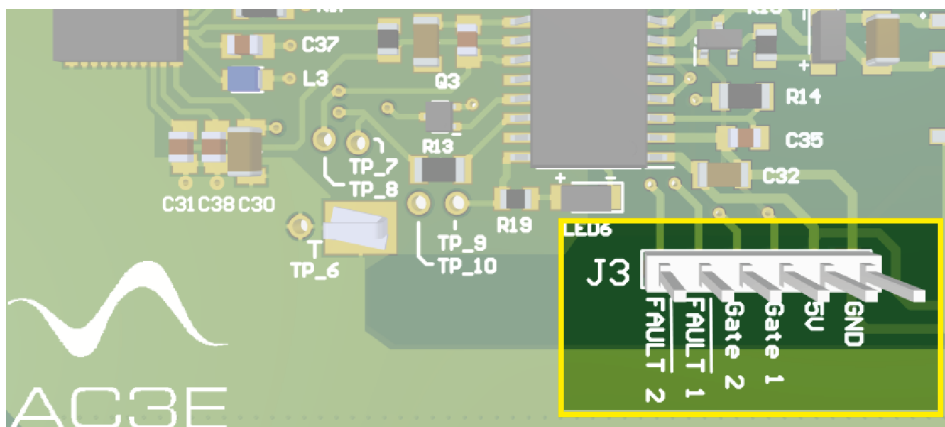


Figura 4.3: Ubicación conectores de alimentación y control.

Test Point	Nombre	Descripción
TP_1/6/11/16	ISO.GND	Tierra aislada BC
TP_2/7/12/17	IN	Señal de entrada Gate Driver BC
TP_3/8/13/18	FAULT	Señal de salida falla de Gate Driver LMG3411 BC
TP_4/9/14/19	LDO5V	5V Alimentación Aislador Digital BC
TP_5/10/15/20	ISO_12V	12V Alimentación Gate Driver IC BC

Tabla 4.1: Tabla de Test Points

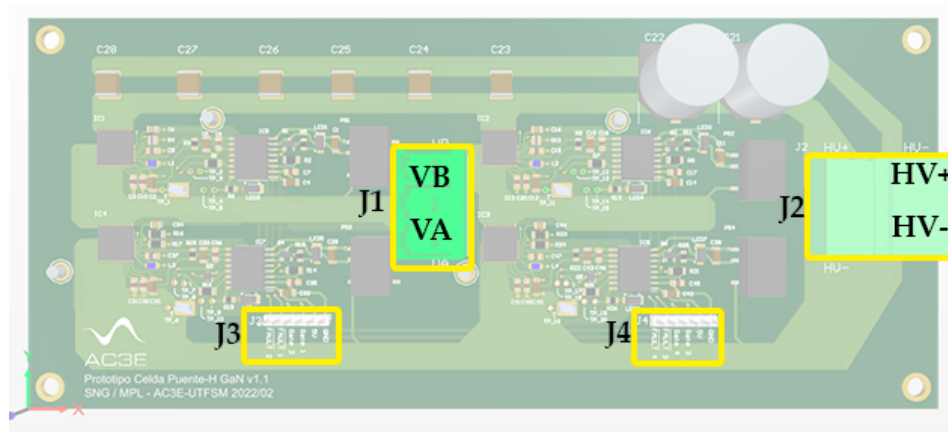
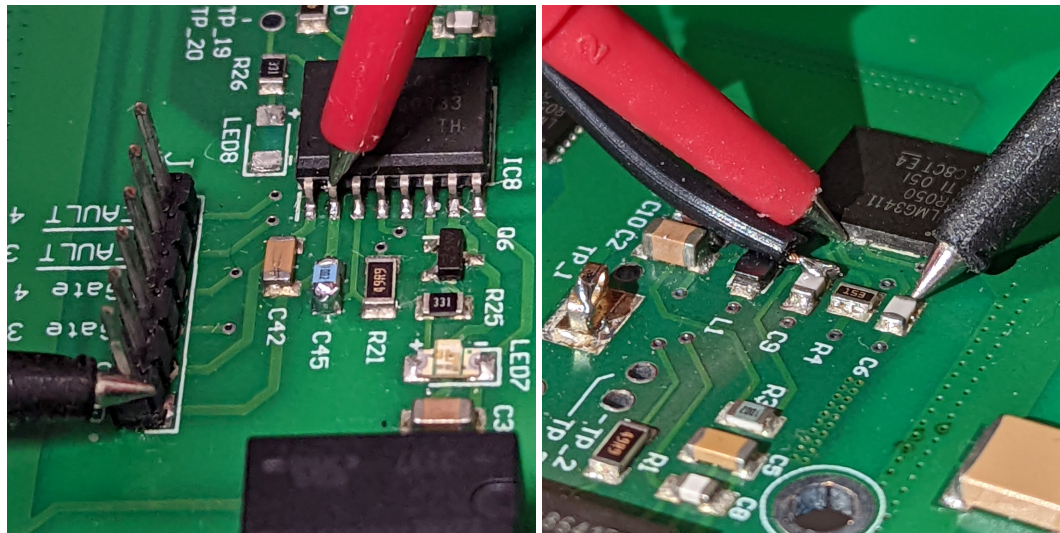


Figura 4.4: Ubicación conectores de potencia y control en PCB.

Conector	Nombre	Descripción
Potencia		
J1	VA	Punto medio de medio puente H1-L2
J1	VB	Punto medio de medio puente H3-L4
J2	HV+	Voltaje positiva DC- Link
J2	HV-	Voltaje Negativa DC-Link
Control		
J3/J4	GND	Tierra general de control
J3/J4	5V	Entrada 5V alimentación externa
J3	Gate 1	Señal de entrada externa bloque H1
J3	Gate2	Señal de entrada externa bloque L2
J3	Fault 1	Señal de Falla LMG3411 bloque H1
J3	Fault2	Señal de Falla LMG3411 bloque L2
J4	Gate 3	Señal de entrada externa bloque H3
J4	Gate 4	Señal de entrada externa bloque L4
J4	Fault 3	Señal de Falla LMG3411 bloque H2
J4	Fault 4	Señal de Falla LMG3411 bloque L4

Tabla 4.2: Tabla de conectores y descripción.



(a) Continuidad en pines de alimentación.

(b) Continuidad en señales de control LMG3411.

Figura 4.5: Pruebas de continuidad

4.2. Pruebas de continuidad

Para garantizar el correcto ensamble de los componentes de la placa en la etapa de montaje detallada en el capítulo 3, se debe realizar las pruebas de continuidad sobre todas las pistas de la PCB, de esta forma se descarta problemas de soldadura en frío y problemas de conductividad entre componentes.

Equipos requeridos:

- Multímetro en modo continuidad.
- Cables de Multímetro con punta fina.

Procedimiento:

Utilizar multímetro en modo continuidad y medir la continuidad de toda las señales de la PCB. Se recomienda verificar la conexión de DC-Link, pistas de potencias y luego validar el correcto funcionamiento de señales de alimentación, recorrido de señales hasta el aislador y finalmente verificación minuciosa de conexión entre componentes SMD y los LMG3411 para cada uno de los bloques de conmutación. En la figura 4.5 se muestra algunas pruebas de continuidad utilizando cables de multímetro de punta fina.

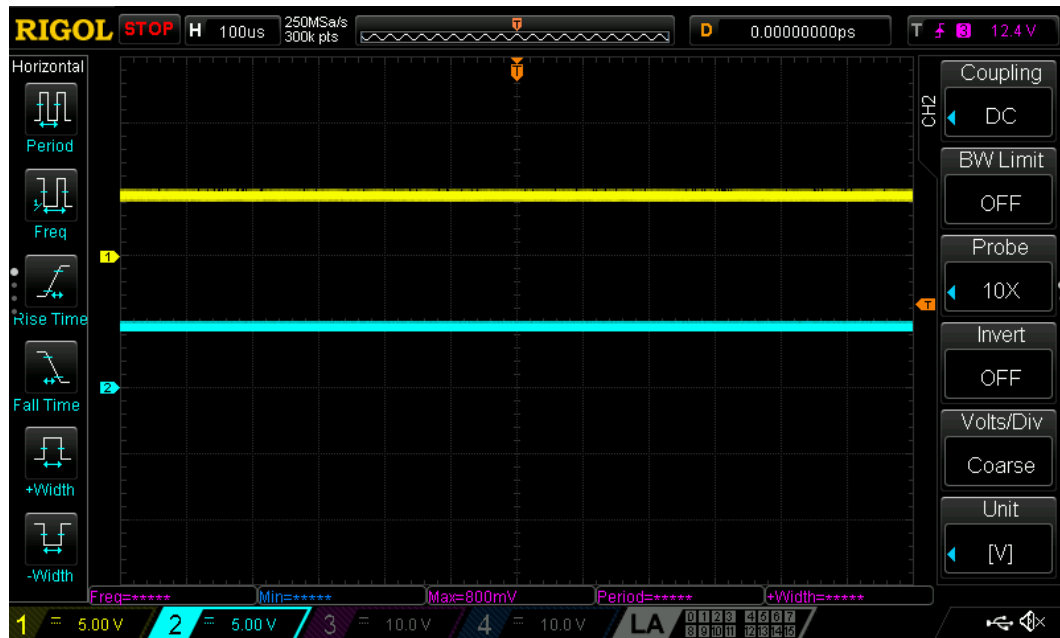


Figura 4.6: Voltajes de entrada 5[V] desde fuente externa hacia Fuente DC/DC y Aislador digital.

4.3. Polarización externa

Esta prueba es la primera prueba de alimentación del circuito y sirve para validar el correcto funcionamiento de las fuentes DC/DC aisladas que alimentan cada uno de los bloques de conmutación. Se espera verificar un correcto voltaje de entrada en las fuentes DC/DC 5V/12V y en el los aisladores digitales.

Equipos requeridos:

- Fuente DC
- Osciloscopio
- Puntas de osciloscopio

Procedimiento:

Configurar fuente DC para voltaje de 5[V] y limitar la corriente a 0.25[A].

Alimentar el circuito conectando la fuente a cualquiera de las dos entradas 5V y GND de los conectores J1 o J2, ver tabla 4.2. Al alimentar la tarjeta se encenderán LEDs rojos en cada bloque de conmutación, este sera un indicador inicial de alimentación externa. Luego se debe medir con osciloscopio el voltaje en los pines de entrada, en los pines de conexión a tierra externa de cada aislador digital y en los pines de entrada de cada una de las fuentes DCDC aisladas para cada uno de los cuatro bloques de conmutación respectivo.

Importante mencionar que como esta prueba verifica el voltaje externo, todas las mediciones de este procedimiento deben ser realizadas conectadas a tierra GND, ver tabla 4.2.

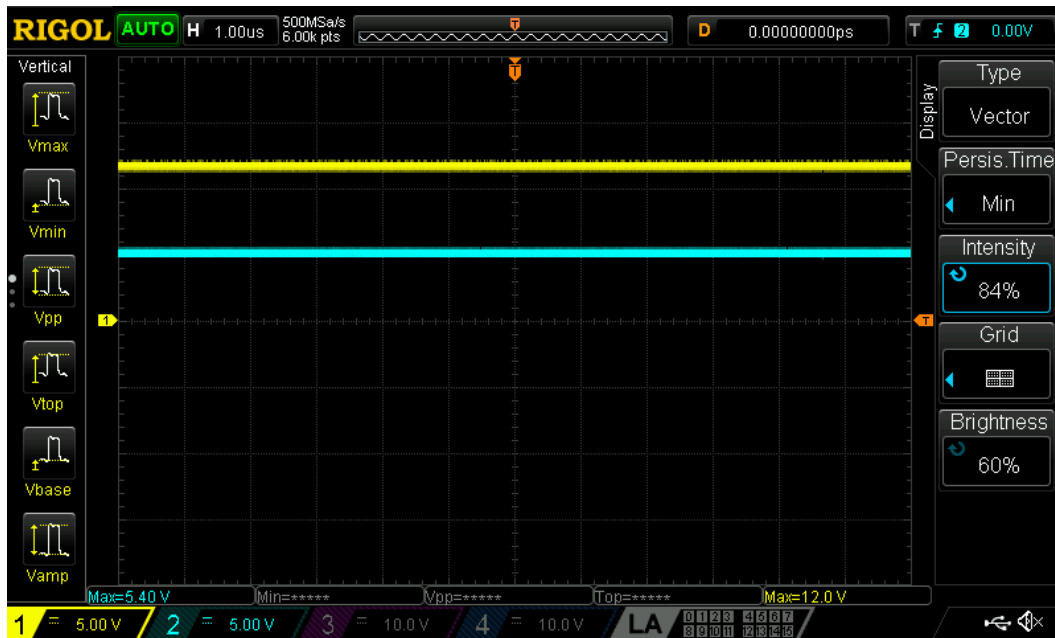


Figura 4.7: Voltajes de salida de fuente DC/DC y LDO 5V LMG3411.

4.4. Polarización bloques de conmutación

Luego de la prueba anterior se procede a verificar los voltajes internos de cada bloque de conmutación. Estos son los 12V aislados de las fuentes DC/DC que alimentan al IC-GaN LMG3411, y el voltaje LDO5V de salida de este último que es utilizado para alimentar internamente al aislador digital.

Equipos requeridos:

- Fuente DC
- Osciloscopio con al menos dos canales activos.
- Puntas de osciloscopio.

Procedimiento:

Luego de tener la PCB polarizada externamente. Conectar la tierra del osciloscopio a la tierra aislada (*ISO_GND*) respectiva del bloque de conmutación. Utilizar el canal 1 para medir el voltaje *ISO_12V* y el canal dos para medir el voltaje *LDO5V*. Realizar esta medición para cada uno de los cuatro bloques de conmutación. La figura 4.7 muestra las señales esperadas para un bloque de conmutación. Se hace énfasis en corroborar que el voltaje *LDO5V* este sobre su valor mínimo según Datasheet, de lo contrario puede provocarse una falla por UVLO. Si este ocurre, **corroborar que los LEDs 2, 4, 6 y 8 estén desconectados del circuito.**

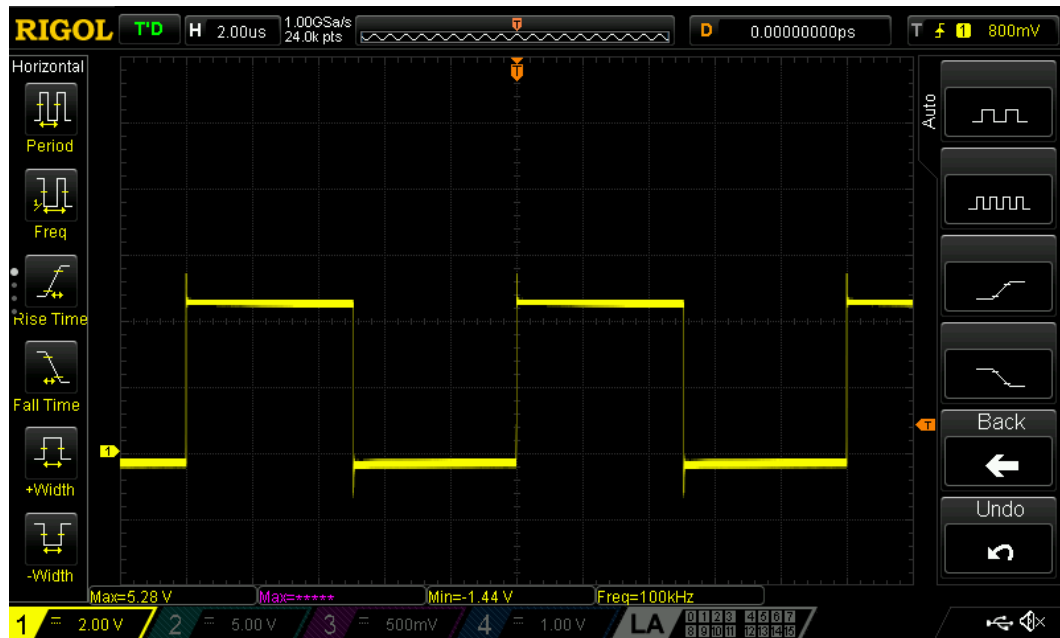


Figura 4.8: Voltajes de 100[kHz] de salida de Aislador digital.

4.5. Aislador Digital

Una vez se tenga las pruebas de polarización por cada bloque de conmutación, se procede a realizar las pruebas a cada aislador digital para validar que las señales Gate1, Gate 2, Gate 3 y Gate 4 entren correctamente dentro de cada bloque de conmutación hacia los LMG3411.

Equipos requeridos:

- Fuente DC
- Osciloscopio
- Puntas de osciloscopio
- Generador de señales sobre 10MHz
- Puntas para generador de señales de su mismo valor de impedancia

Procedimiento: Generar pulsos cuadrados de 3 a 5[V] con ciclo de trabajo 50 % y frecuencia dentro del rango de 100[kHz] hasta los [MHz]. Medir dichas señales con el osciloscopio, una vez medida las señales se procede conectar las puntas del generador a tierra, pin GND y a enviarlas por el pin GATE de los conectores de control J3 o J4 según corresponda al bloque de conmutación, ver tabla 4.2. Una vez conectada las señales se debe de conectar la tierra de osciloscopio a su respectivo *ISO_GND* del bloque de conmutación y medir el Test point *IN_H1*, *IN_L2*, *IN_H3*, *IN_L4* según corresponda. En las figuras 4.8 y 4.9 podemos ver las señales de entrada al bloque de conmutación desde el aislador digital hacia el Gate-Driver del LMG3411.

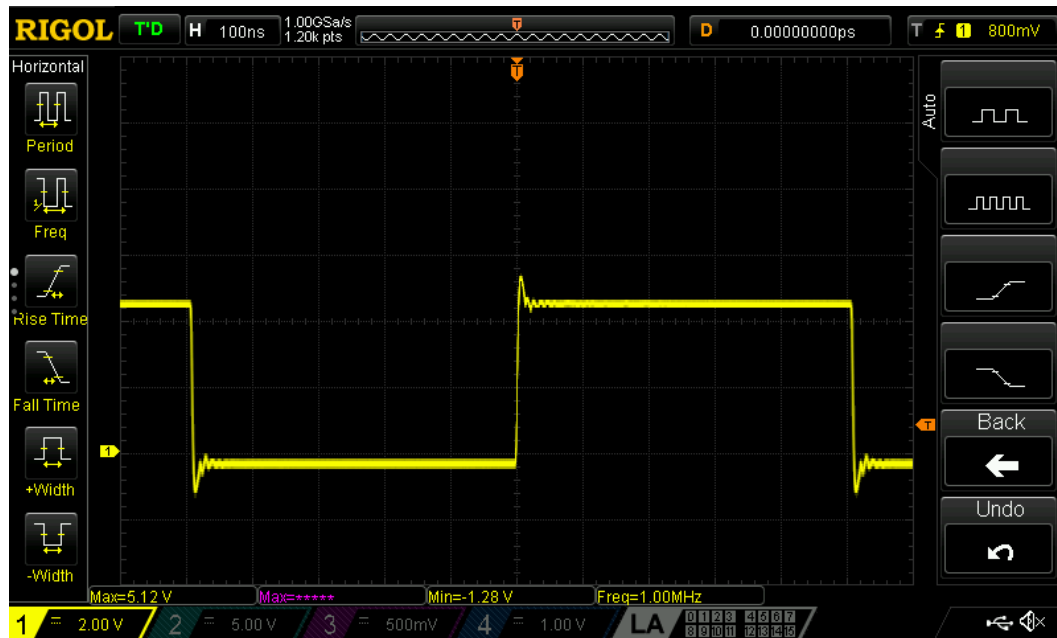


Figura 4.9: Voltajes de 1[MHz] de salida de Aislador digital.

Importante: Corroborar que las señales de salida del aislador digital al no tener entrada conectada sean señales pull-down y no pull-up, pues esto puede ocasionar un cortocircuito al realizar la prueba de potencia. En caso de tener señales en alto al no tener señal de entrada se debe de añadir una resistencia de 10[K] en paralelo al capacitor de entrada a la señal IN de cada aislador. De esta manera se logra generar incluir una resistencia pull-down que repara el problema.

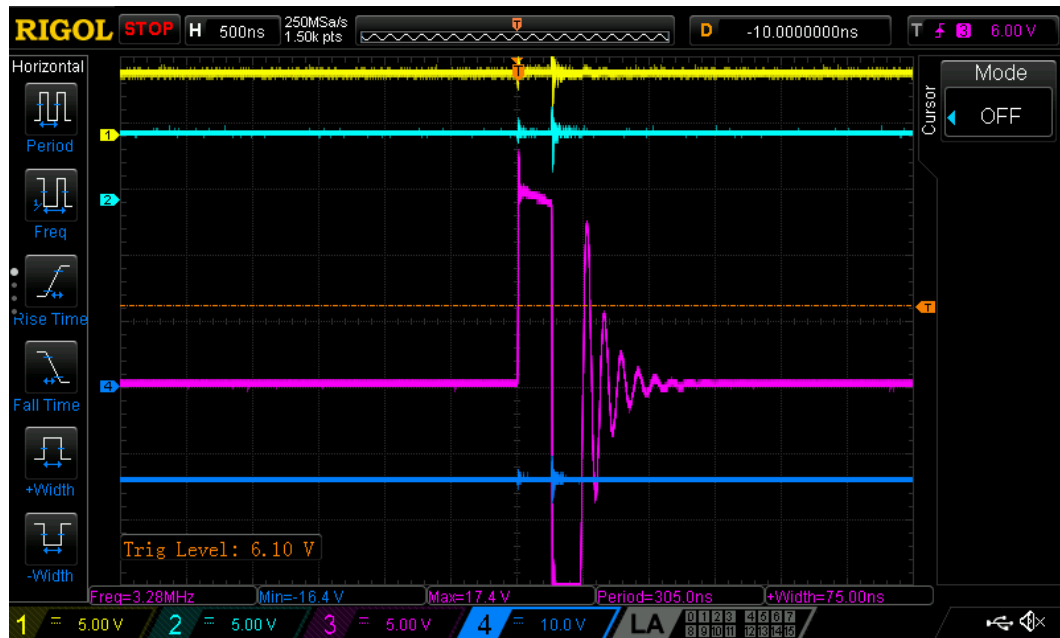


Figura 4.10: Voltajes de Gate Driver LMG3411.

4.6. Procedimiento de partida del IC-GaN

Con esta prueba se espera verificar el correcto funcionamiento del Gate-driver interno del LMG3411 midiendo las señales internas del chip. Logrando poner en operación el buck-boost cargando el capacitor de V_{NEG} y en consecuencia dejando la señal de \overline{FAULT} en alto, lo cual valida que el driver esta operativo para realizar la conducción por el transistor GaN

Equipos requeridos:

- Fuente DC
- Osciloscopio con 4 canales activos
- Puntas de osciloscopio
- Generador de señales sobre 10MHz
- Puntas para generador de señales de su mismo valor de impedancia

Procedimiento:

Una vez verificado las pruebas anteriores y teniendo el IC-GaN polarizado se debe de medir señales LPM \overline{FAULT} $BBSW$ V_{NEG} . para cada bloque de conmutación. Para ello se debe de conectar la tierra del osciloscopio a su respectiva tierra aislada $ISO.GND$ y medir las cuatro señales de control señaladas.

Se espera ver $LPM = 5[V]$ ($LDO5V$) $\overline{FAULT} = 5[V]$ (Sin falla), $BBSW$ Pulsos de carga y descarga del inductor, V_{NEG} Capacitor de BuckBoost cargado a $-14V$ aproximadamente. La figura 4.10 muestra las señales esperadas para el GD, ordenadas de arriba hacia abajo estas son. LPM - \overline{FAULT} - $BBSW$ - V_{NEG} .

4.7. Prueba de potencia

Una vez se tenga operativo un semi puente compuesto por un bloque de conmutación superior e inferior, se procede a realizar la prueba de potencia. Esta prueba consiste en conectar una carga RL a un semi puente de la placa prototipo de manera de generar un circuito Buck y validar correcto funcionamiento de la corriente que fluye por la PCB. En el anexo B se presenta la simulación del circuito en PLECS donde se puede tener como referencia para ver los voltajes DC y corrientes esperados.

Equipos requeridos:

- Fuente DC
- Fuente de potencia DC
- Osciloscopio
- Puntas de osciloscopio
- Generador de señales sobre 10MHz
- Puntas para generador de señales de su mismo valor de impedancia
- Arreglo resistivo de 30 [Ohm] de al menos 50[W]
- Inductancia de potencia de 10 [mH]
- Amperímetro de potencia para osciloscopio.

Procedimiento:

Conectar una carga RL entre VA o VB y HV – según sea el caso del semi puente a utilizar. Generar un pulso de disparo de 3[V], ciclo de trabajo 50% y verificar su correcta señal con osciloscopio. Una vez validado el pulso de disparo a entregar al circuito, polarizamos el circuito y realizamos la prueba del aislador digital para el transistor superior, luego de verificar que el pulso llega a la compuerta gate del transistor se debe desconectar, manteniendo dicho canal de osciloscopio conectado para la siguiente prueba. Configurar el voltaje de la fuente de potencia conectada al DC-Link en 30[V] para una primera prueba. Conectar a un canal de osciloscopio las puntas diferenciales que deben medir el voltaje total por la resistencias de la carga. Con un tercer canal medir la corriente que atraviesa la carga.

Una vez este todo los instrumentos de medición conectados y el sistema alimentado se conecta nuevamente la señal de disparo al transistor superior para generar el flujo de potencia. Calibrar los instrumentos y medir el voltaje y corriente media en la resistencia de salida para comprobar comparar los resultados obtenidos con las señales de simulación.



Figura 4.11: Voltajes y corriente en resistencia de salida.

CONCLUSIÓN Y TRABAJO FUTURO

5.1. Conclusiones

En esta memoria se logro realizar una síntesis de los tópicos relacionados con cargadores EV, que convergen en materializar un diseño que da solución al problema. Las etapas de esta solución comprendieron el diseño electrónico en software, cotización de materiales y alternativas de compra, implementación del diseño y se finiquita con una etapa de pruebas experimentales.

En primer lugar se investigo y recopiló información en distintos ámbitos asociados a la electrónica de potencia sobre el estado del arte actual de las tecnologías asociadas a cargadores EV y el futuro de su industria que crece año tras año. Estas tecnologías comprendieron principalmente convertidores MMC, sistemas WPT, transistores de conmutación.

En segundo lugar se desarrollo una etapa de diseño de esquemático y PCB en software Altium Designer. En paralelo se cotizo alternativas de componentes en el mercado basándose en criterios de selección, entre ellos el rendimiento tecnológico y tamaño de área reducido. Se logro obtener el diseño de un circuito esquemático realizando un conjunto de planos y posteriormente un diseño de PCB de cuatro capas con pistas de potencias. Esto se obtuvo realizando dos iteraciones de diseño, donde la versión 1.1 fue enviada a fabricar al extranjero y ensamblada en el AC3E.

En tercer lugar se realizo el montaje de la PCB soldando los componentes seleccionados previamente en una primera etapa en horno de reflujo. En la medida de lo requerido se somete la placa a una etapa de soldado manual con estación de soldar.

En ultimo lugar se realizo una etapa de pruebas experimentales para validar el funcionamiento del diseño implementado. Esto comprende tanto realizar pruebas metódicas que corroboren la funcionalidades propuestas y realizar modificaciones puntuales en el caso de

ser necesario.

Respecto a las pruebas iniciales se procedió a validar los módulos de la arquitectura, figura 2.11. En primer lugar se realizó la prueba de continuidad sobre toda las pistas de la PCB. En esta prueba se realizaron correcciones menores en algunos componentes pasivos SMD los cuales presentaron soldadura en frío, esto se corrigió re-soldándolos manualmente.

Las siguientes dos pruebas realizadas fueron de polarización externa y polarización interna del BC. Las pruebas de polarización externa fueron las esperadas. Por otra parte las pruebas realizadas sobre el BC presentaron una irregularidad en particular en el voltaje LDO5V, este voltaje medido a 4.4[V] estaba bajo el umbral permitido causando accionar la señal de falla debido a un una falla UVLO. Este problema fue causado debido a que este voltaje además de estar polarizando el aislador digital internamente, se diseñó para que polarizara un diodo LED de encendido, el cual superaba la corriente permitida por dicha fuente lo que ocasionaba una caída de tensión y falla UVLO. Por tanto la solución fue desconectar los LEDs 2, 4, 6, 8 de la PCB. De esta manera la fuente LDO5V vuelve a su operación normal, eliminando la falla.

A continuación se realizó la prueba a los aisladores digitales. Se realizó la prueba con éxito en la medida en que había una señal de entrada sobre el aislador. Sin embargo al momento de medir la salida del aislador sin tener señal de entrada conectada, se encontró que esta estaba en alto. situación que es perjudicial para los transistores, pues podría provocar un corto circuito si se enciende el DC-Link y se opera con ellos. Se evidencio que esto ocurría ya que el modelo comprado presentaba la característica de entregar una salida pull-up para entradas en alta impedancia. Como solución a dicha problemática se optó por añadir una resistencia de pull-down en paralelo al capacitor de filtro de entrada al canal de entrada del aislador digital(C7,C17,C35,C45), dirigido hacia la compuerta del transistor, la figura A.13 evidencia en físico la solución implementada. Esta solución fue implementada con resistencias de 10[k Ω] extras de la lista de materiales A.12.

La siguiente prueba se relaciona con la validación de las señales del GD del IC-GaN. Mientras se realizó esta pruebas se detectó el siguiente problema: la señal se falla estaba en bajo, la cual se debía a que la señal VNEG de salida del buck boost interno no estaba entregando el voltaje necesario para realizar el procedimiento de apagado del GaN. Se intentó conmutar manualmente la señal LPM para evaluar el comportamiento del controlador interno del buck boost, los resultados no fueron concluyentes. Luego se decidió realizar una comparativa en otro IC-GaN en otro BC y se obtuvieron las señales correctas de operación que se aprecian en la figura 4.10.

En consecuencia, el problema radicaba en la incorrecta operación del convertidor buck boost. Se concluyó que el modo de conmutación del IC-GaN con falla presentaba su convertidor buck boost en modo burst, como se aprecia en las figuras A.15, A.16. La imposibilidad de cambiar el estado burst debido a que no se puede analizar dentro del chip el estado del controlador del buck boost determina que la única solución factible es el cambio del componente con el driver dañado.

Respecto a las pruebas de potencia se logro solo evaluar la operación del semi puente, los cuales se obtuvo resultados de voltajes y corrientes medias similares a los esperados en la simulaciones de PLECS (Ver Anexo B). Aunque con un voltaje Ringing de aproximada

25[V] por conmutación. Se pensó que estas oscilaciones de tipo de carga RLC debido a capacitancias parásitas que pueden estar presentes en la PCB y parcialmente por el transistor inferior en apagado. Sin embargo verificando el datasheet del IC-GaN se corrobora que estos ringing son intrínsecos del IC-GaN y son mas notorios de apreciar al haber realizado pruebas con voltajes bajos, ver figuraC.5. En una operación ideal del convertidor, se sugiere aumentar el voltaje de operación para minimizar la incidencia de este ringing al utilizar voltajes de un orden de magnitud superior, Voltajes sobre 100[V] o hasta un máximo de 400[V]. Estas evaluación a mayor escala de potencia quedan para un trabajo futuro.

Algunos de los inconvenientes presentados en los bloques BC y de alimentación estuvieron relacionados a problemas con las conexión de los cables de polarización que provocaban abruptas bajas de voltaje en el sistema de control lo cual fue perjudicial para los IC al momento de realizar de estar operando, teniendo como consecuencia el daño de algunos gate drivers, los cuales al estar integrados en el chip no son posibles de reparar en contra parte con haber utilizado controladores con componentes discretos. Este tipo de complicaciones practicas no fueron previstas desde el ámbito del diseño y se fueron evidenciando mientras se iba probando el prototipo.

5.2. Trabajo Futuro

Dentro de los trabajos a futuro directos para el presente proyecto sería corroborar el funcionamiento del circuito semi puente para corrientes mas grandes. La prueba del puente completo para corroborar la correcta funcionalidad del prototipo.

Dentro de las mejoras para lograr una implementación mas robusta, y así el buen funcionamiento de los IC-GaN, se recomienda en primer lugar incluir al fabricante de PCB entregarlas con los IC-GaN soldados previamente. Esto disminuirá la probabilidad de problemas asociados a mal posicionamiento de los pines. Aunque en este caso esta decisión podría elevar el costo de fabricación.

Es importante realizar una verificación que permita garantizar la robustez del cableado eléctrico evitando que esta sea una de las causas por las cuales el GD u otras componentes resulten dañadas por una rápido corte de polarización mientras estos están en operaciones de potencia.

El prototipo desarrollado sirve como punto de partida para el análisis en trabajos de investigación como también una referencia para la realización de nuevos diseños de celdas.

Respecto de el desarrollo de nuevos diseños es posible generar una futura placa de similar arquitectura utilizando nuevas tecnologías de la misma compañía como es el nuevo modelo LMG342xR030 [41]. Este nuevo IC-GaN de similares características al LMG3411 pero con la posibilidad de operar a una corriente de hasta 55[A], permitiendo así generar un diseño de MMC a mayor escala de potencia utilizando la misma topología de la figura 1.4.

Además en de futuros diseño se debería considerar la implementación que sea compatible con microcontroladores de tiempo real de la familia C2000 [41]. De modo de generar conectores dedicados para su vinculación expedita con placas de desarrollo de dicha familia o bien integrar dicho microcontrolador como parte de la PCB para realizar

un control con mayor precisión en lo relacionado con la generación de pulsos de disparo hacia los bloques de conmutación.

APÉNDICE: DISEÑO PCB

En esta sección se presentan documentación adicional para complementar y mostrar en mayor detalle el trabajo desarrollado. Se adjuntan los circuitos esquemáticos de Altium Designer con sus identificadores definitivos implementados en el diseño real, se adjunta además figuras con las capas de la PCB diseñada en escala real y la lista de materiales.

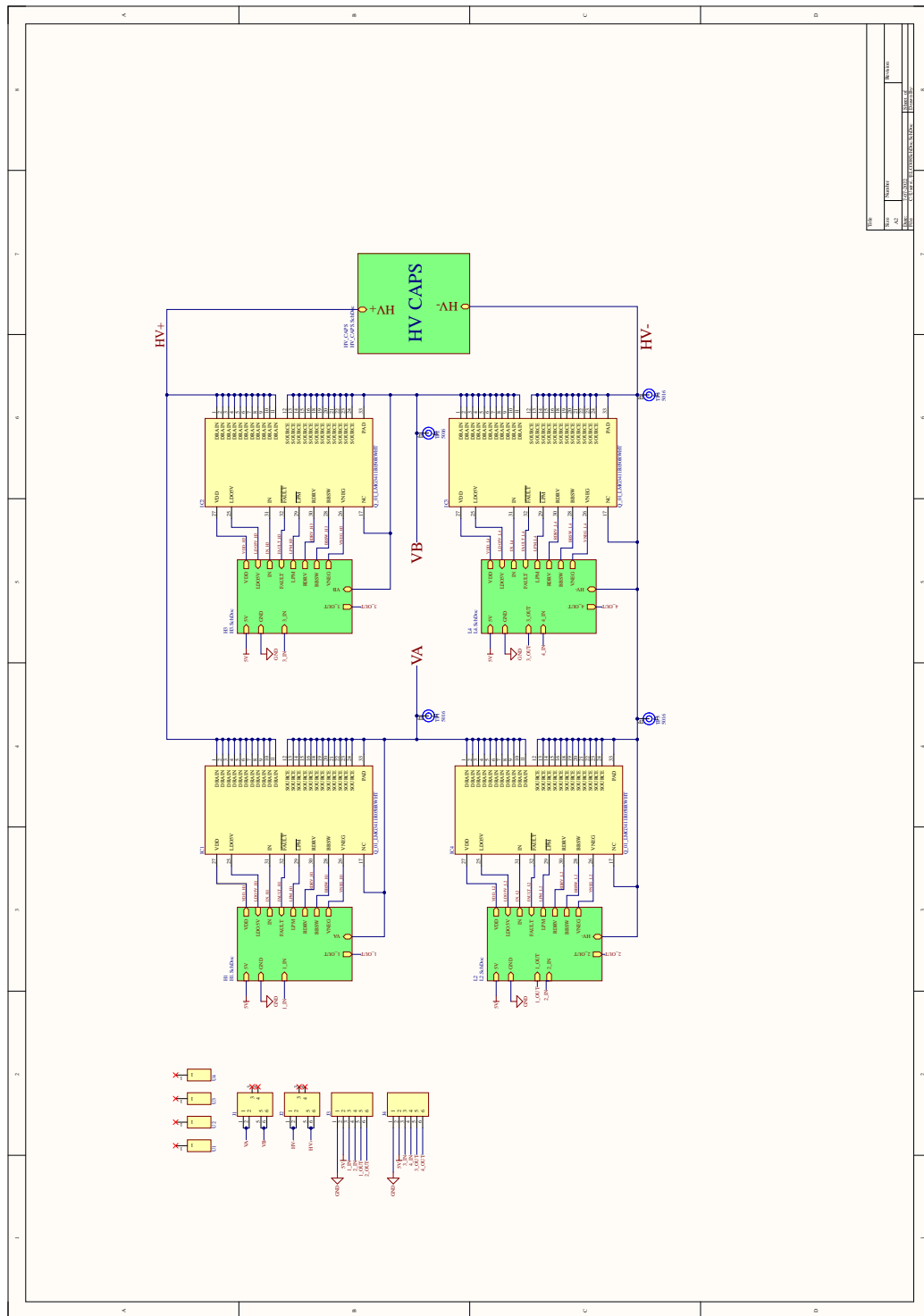


Figura A.1: Circuito esquemático Celda H-Bridge.

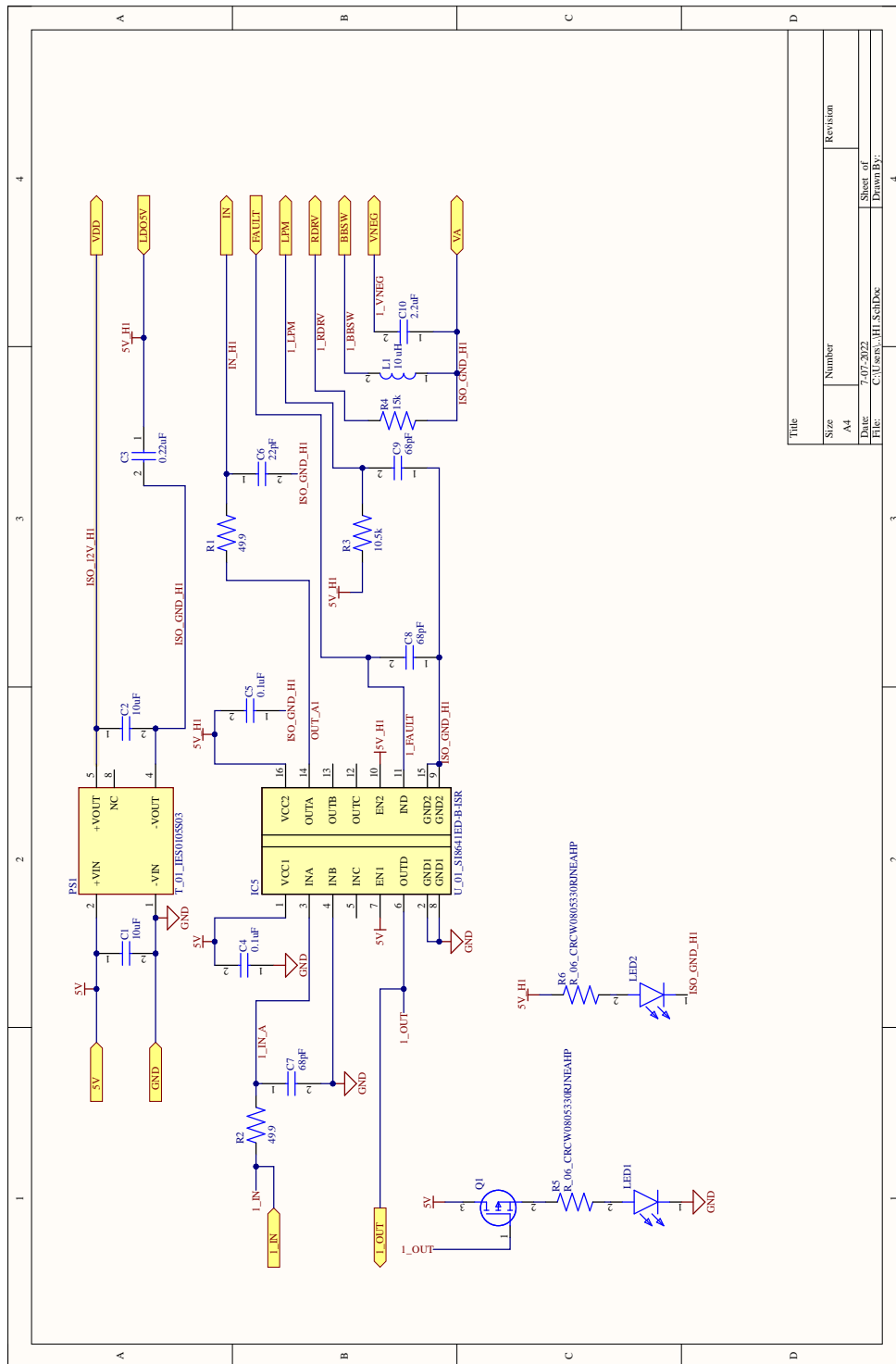
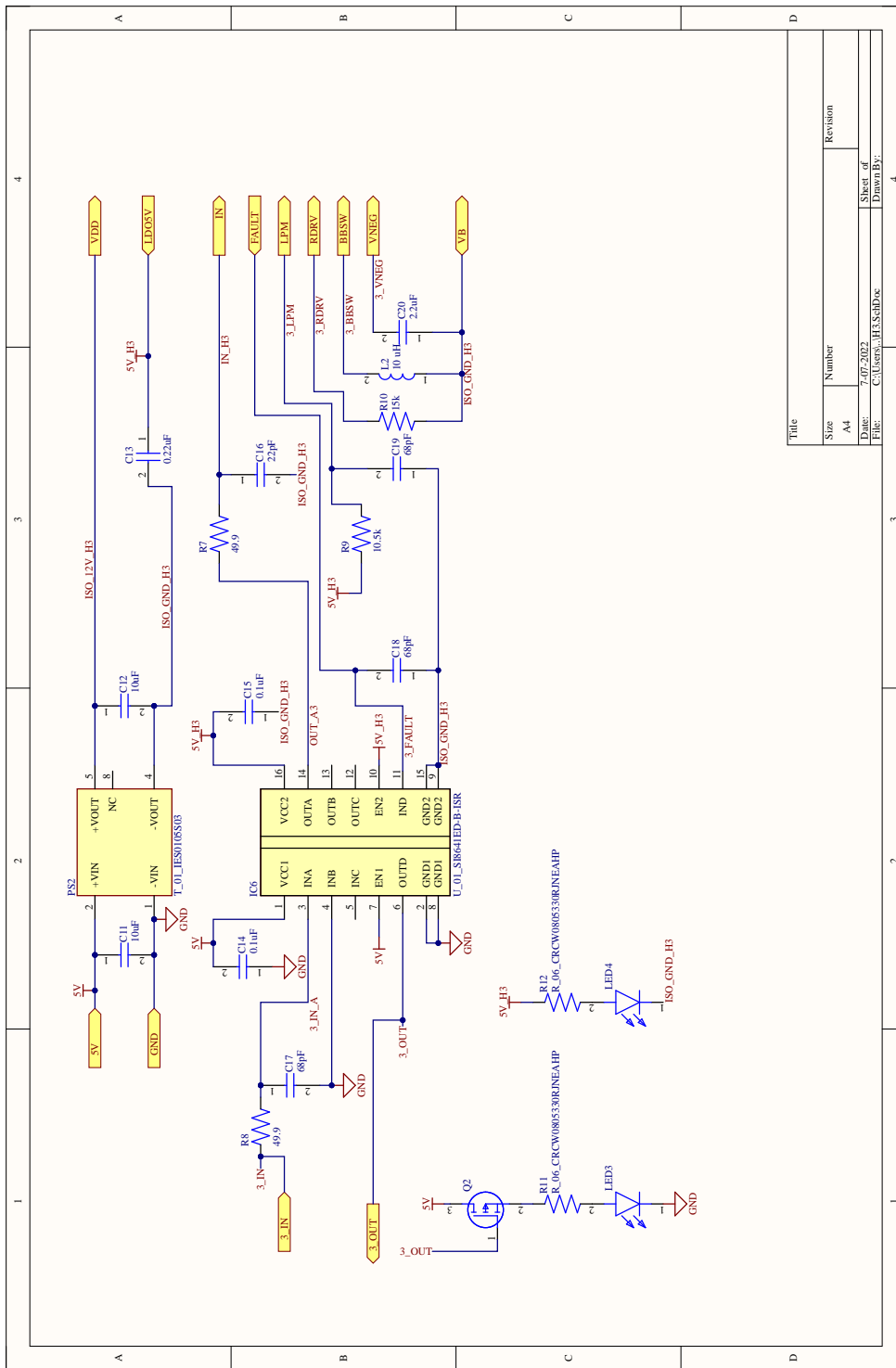


Figura A.2: Circuito esquemático Bloque de conmutación H1.



Title	
Size	Number
A4	Revision
Date	7-07-2012
File	C:\Users_jh3\ScadBox
Sheet of	4
Drawn By:	

Figura A.4: Circuito esquemático Bloque de conmutación H3.

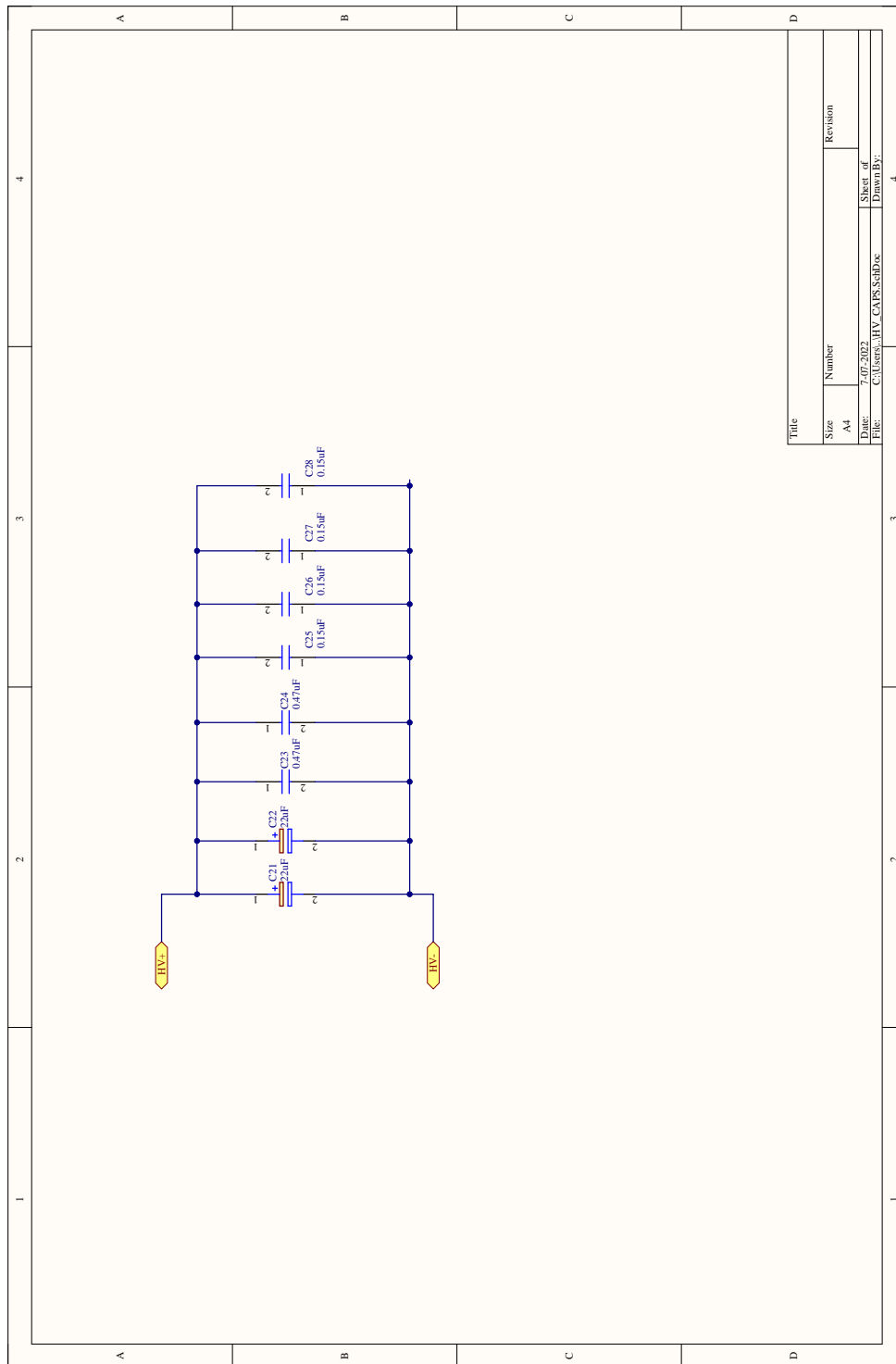


Figura A.6: Circuito esquemático DC-Link.

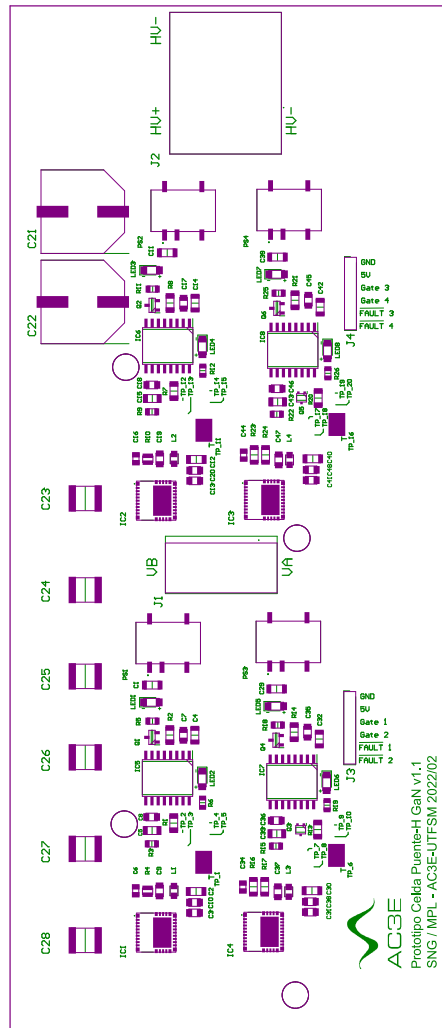


Figura A.7: PCB Capa Overlay.

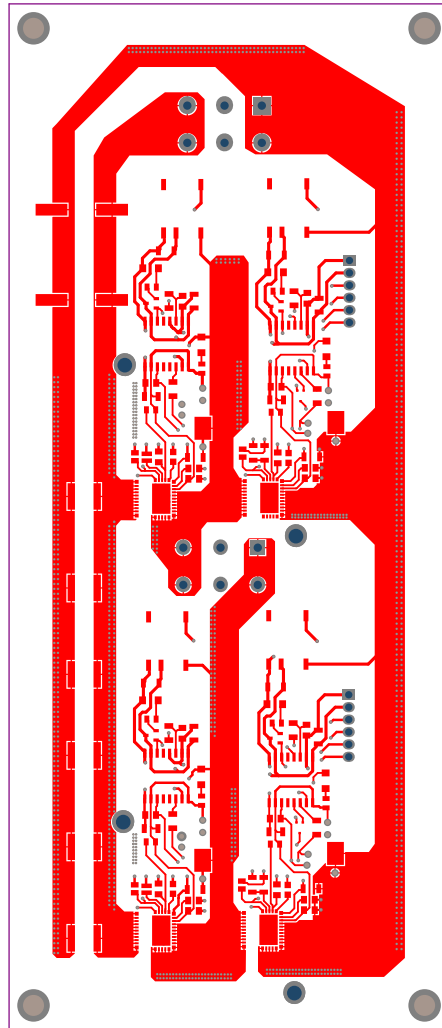


Figura A.8: PCB Capa 1, Superior.

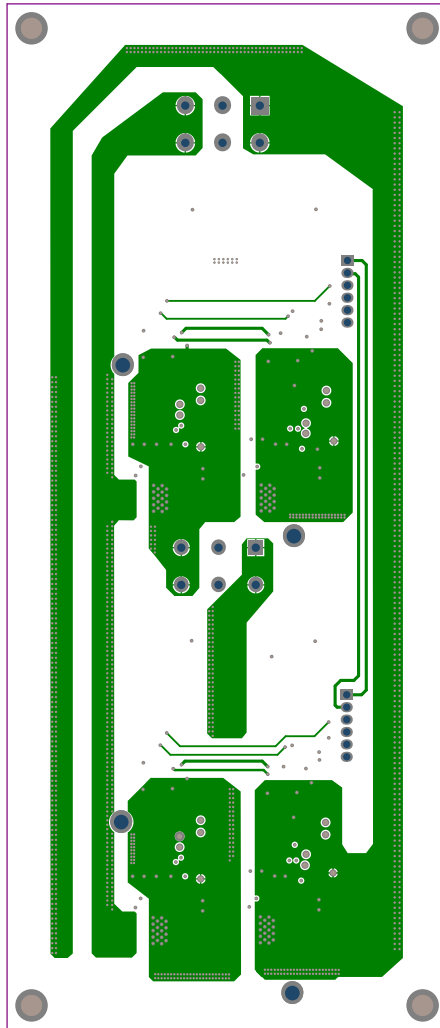


Figura A.9: PCB Capa 2, Intermedia superior.

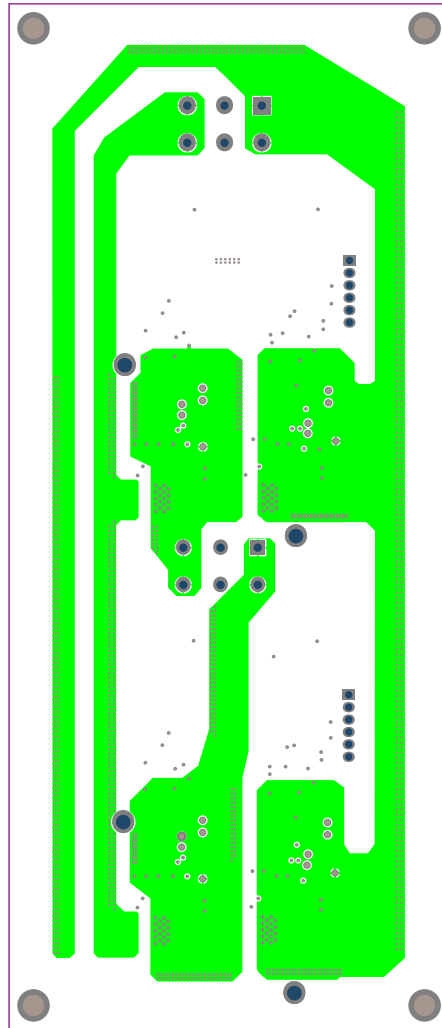


Figura A.10: PCB Capa 3, Intermedia inferior.

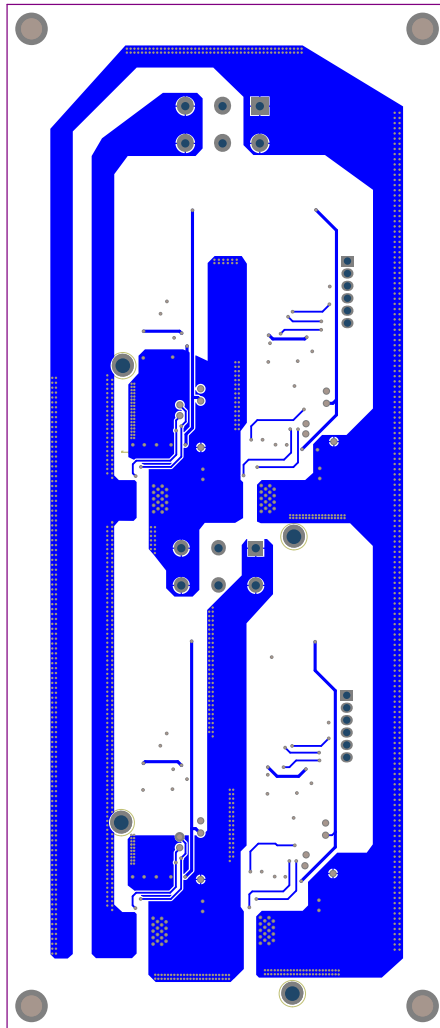


Figura A.11: PCB Capa 4, Inferior.

N°	Qty	Reference	Description	Value	Codigo SCHLib	Part Number	Dimension[mm]
1	1	L1	Wireless Coil 1 Layer 6.3uH 10.6A	6.3uH	NO PCB	AWCCA-50N50H35-C02-B	50.0x50.0x3.5
2	4	IC1,IC2,IC3,IC4	600-V 12-A Single Channel GaN with integrated gate driver	600-V 12-A	Q_01	LMG3411R050RWHT	8.0x8.0x2.5
3	4	IC5,IC6,IC7,IC8	Digital Isolator (16-SSOP) High Speed, Triple-Channel	2/1 Channel I/O	U_01	SI8641ED-B-ISR	4.9x3.9x2.7
4	4	PS1,PS2,PS3,PS4	DC/DC Isolator 1W 12/5V I/O	12/5V I/O	I_01	TES 1-0512V	16.3x8.0x8.0
5	2	C23,C24	CAP. CERM 0.47uF 1000V (2220)	0.47uF	CAP_01	2220Y1K00474KETWS2	5.7x5.0x4.2
6	4	C25,C26,C27,C28	CAP. CERM 0.15uF 1000V (2225Rev)	0.15uF	CAP_02	C2225C154KDRACAUTO	5.6x6.4x2.5
7	8	C4,C5,C14,C15,C32,C33,C42,C43	0.1uF/50V 1206 MLCC X7R 10%	0.1uF	CAP_04	C1206C104K5RACAUTO	3.2x1.6x1.9
8	12	C7-C9,C17-C19,C35-C37,C45-C47	CAP. CERM. 68 pF 50 V (0805)	68pF	CAP_05	C0805C680J5GACAUTO	2.0x1.25x1.25
9	4	C6,C16,C34,C44	CAP. CERM. 22 pF 50 V 1% (0805)	22pF	CAP_06	C0805X220F5GACAUTO	2.0x1.25x1.25
10	8	C1,C2,C11,C12,C29,C30,C39,C40	CAP. CERM. 100uF 25V 1206	100uF	CAP_07	CGA5L1X7R1E106K160AE	3.2x1.6x1.9
11	4	C3,C13,C31,C41	CAP CER 0.22uF 150V X7R 0805	0.22uF	CAP_08	CL21B224KBF4PNG	2.0x1.25x1.25
12	4	C10,C20,C38,C48	CAP CERM 2.2 uF 25 V X7R 0805	2.2uF	CAP_09	C0805C225K3RACAUTO	2.00x1.25x1.4
13	2	C21,C22	SMD 450V 22uF 18X21.5	22uF	CAP_10	AEB226M2WS44T-F	18X21.5X21
15	8	R1,R2,R7,R8,R13,R14,R20,R21	RES. 49.9. 1%, 0.063 W, (0805)	49.9 Ohm	R_01	SFR01M2PF49R9	1.0x0.5x0.35
16	4	R3,R9,R15,R22	RES. 10.5K 1%, 0.1W (0805)	10.5K Ohm	R_02	ERJ2RKF10R9X	1.0x0.5x0.40
17	2	R4,R10	RES. 15 k. 5%, 0.2 W 1220	15k Ohm	R_03	LTR10EZFJ153	1.0x0.5x0.35
18	2	R16,R23	RES. 17.8 k. 1%, 250mW 1206	17.8k Ohm	R_04	AC1206FR-0717K8L	3.2x1.6x1.9
19	2	R17,R24	RES. 100 k. 1%, 250mW 1206	100k Ohm	R_05	AC1206FR-07100KL	3.2x1.6x1.9
20	4	R5,R6,R11,R12,R18,R19,R25,R26	RES 0805 330ohm 12W 5%	330 Ohm	R_06	CRCW0805330RJNEAHP	2.0x1.25x0.5
22	4	L1,L2,L3,L4	Inductor, 10 uH, 0.5 A, 0.85 ohm, SMD	10uH	L_01	74404020100	
21	2	Q3,Q5	MOSFET N-CH 30V 140MA SOT323-3	30V 1400mA	Q_02	RSF014N03TL	2.0x1.7x0.77
23	4	Q1,Q2,Q4,Q6	MOSFET P-CH 30V 580mA	30V 580mA	Q_03	DMP31D7L-7	
24	4	LED1-LED8	LED SMD 1206	1.9V 20mA	D_01	SML-S13VTT86	3.2x1.6x1.55
CONECTORES Y MECANICA							
25	1	J1	Header, VERT 2.54mm, 10x1,Gold	10x1 pin	CON_01	6-146281-0	TE Connectivity
26	2	J2	conector 6x2	6x2 pin	CON_02	87220-6	TE Connectivity
27	3	J4	Con Potencia 600V 15A 3SLOT RIGHT	3x1 pin	CON_03	1756498	Phoenix Contact
28	4	J5	spacers plasticos	diámetro agujero 30mm x 30mm	SPACER	4840	Keystone Electronics
30	2	H1	heat sink 30x30x30mm agujero 3.175mm	30mm x 30mm	H_01	ATS-CPX030030030-173-C2-R0	Advanced Thermal Solutions
31	4	H2	Spring Screw para ATS Heat Sink	12.7x15.1x17.9mm	H_02	ATS-HK91-R0	Advanced Thermal Solutions
34	4	H3	12x12 heatsink	12x12x18mm	H_03	HS803-121218	CUI Devices
35	1	H4	pad 200x200mm3.8W/mK	3.8W/mK	H_04	COH-1706-200-05-1NT	Taicai
36	1		pastia adhesiva		NO PCB	TC-2810-50ML	3M Electronic Specialty

Figura A.12: BOM.



Figura A.13: Resistencia pull-down sobre capacitor C17.

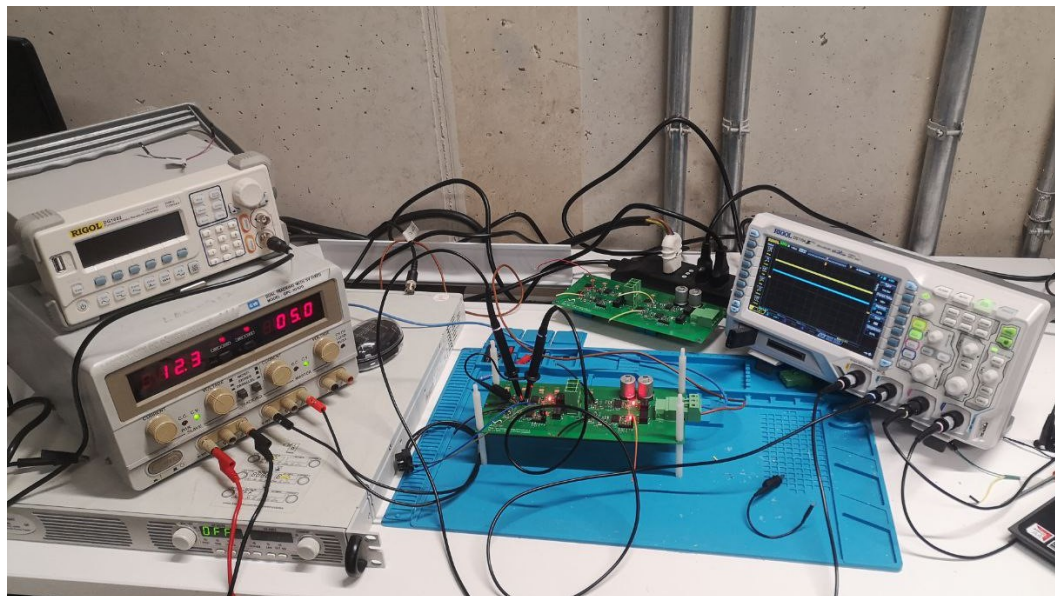


Figura A.14: Fotografía de estación de pruebas.

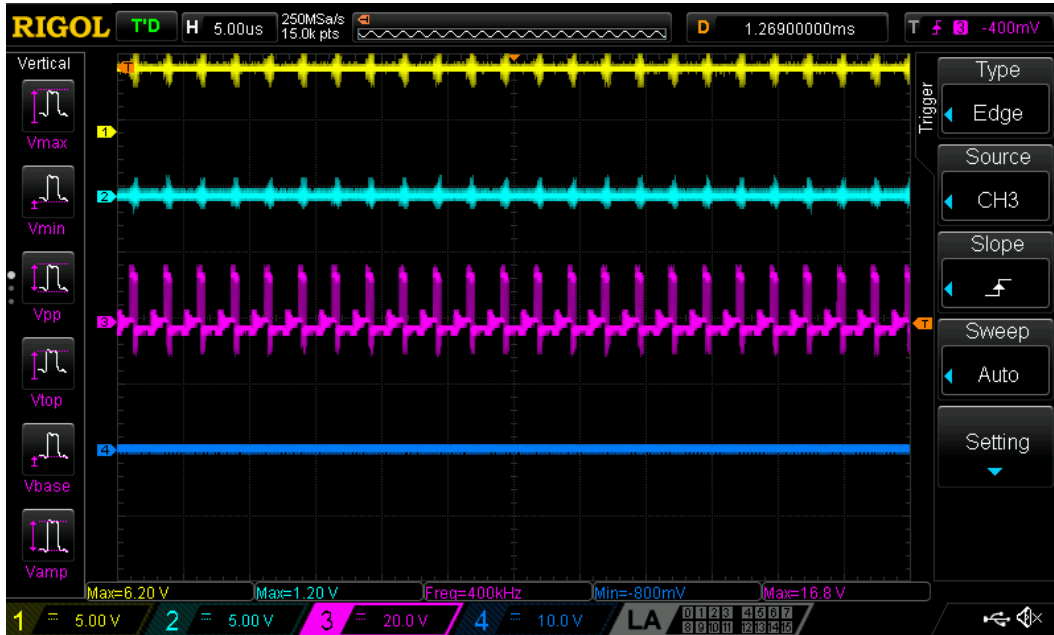


Figura A.15: Señal BBSW modo burst.

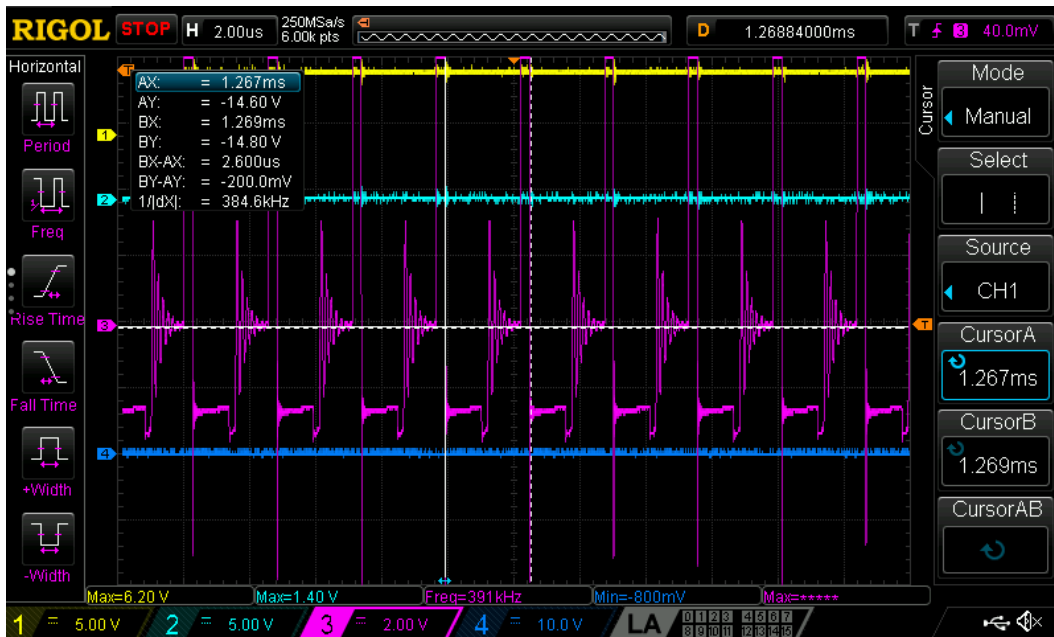


Figura A.16: Señal BBSW modo burst con cursor.

APÉNDICE: SIMULACIÓN

Esta sección mostrará una simulación de un circuito semi puente con una carga de prueba RL para tener una referencia de los voltajes y corrientes medios esperables al momento de realizar las pruebas a la PCB prototipo.

En esta simulación utilizaremos al igual que en la prueba real una resistencia de $30[\Omega]$ y una inductancia de $10[\text{mH}]$. Se harán pruebas con pulsos de ciclo de trabajo de 50% y un voltaje DC de $50[\text{V}]$.

La figura B.1 muestra el circuito semi puente a simular con su respectiva carga y scopes. No confundir que para la simulación se utilizo dispositivos "IGBT" solamente por falta de dispositivos GaN en el software.

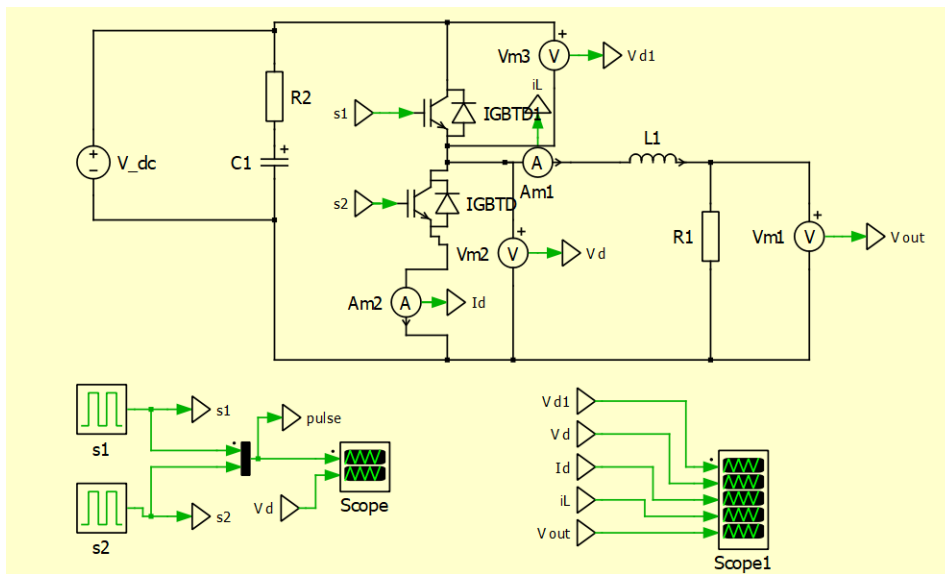


Figura B.1: Esquemático PLECS para prueba de potencia.

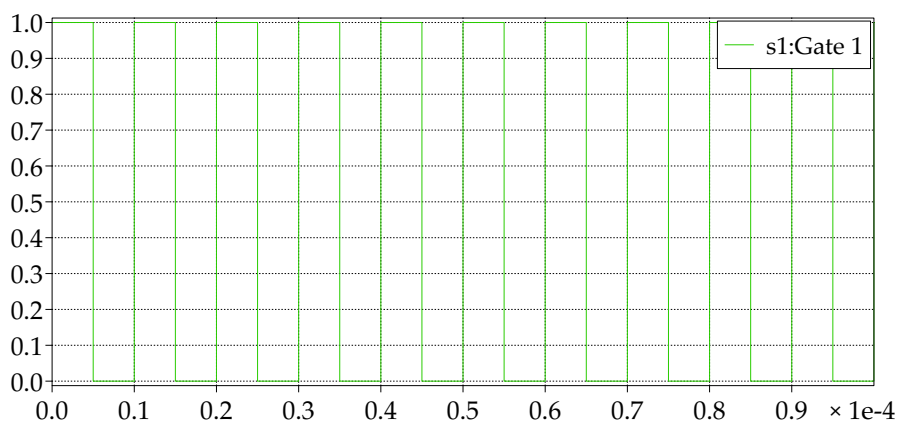


Figura B.2: Señal de disparo.

La figura B.2 muestra la señal de disparo del transistor superior quien esta encargado de generar la conmutación para el reductor y las figuras B.3 y B.4 muestran las señales de salida obtenidas para tener una referencia en condiciones ideales de los valores medios a obtener. Midiendo con cursores los valores obtenidos de voltaje medio en estado estacionario son de 25[V] con una corriente de 800[mA]

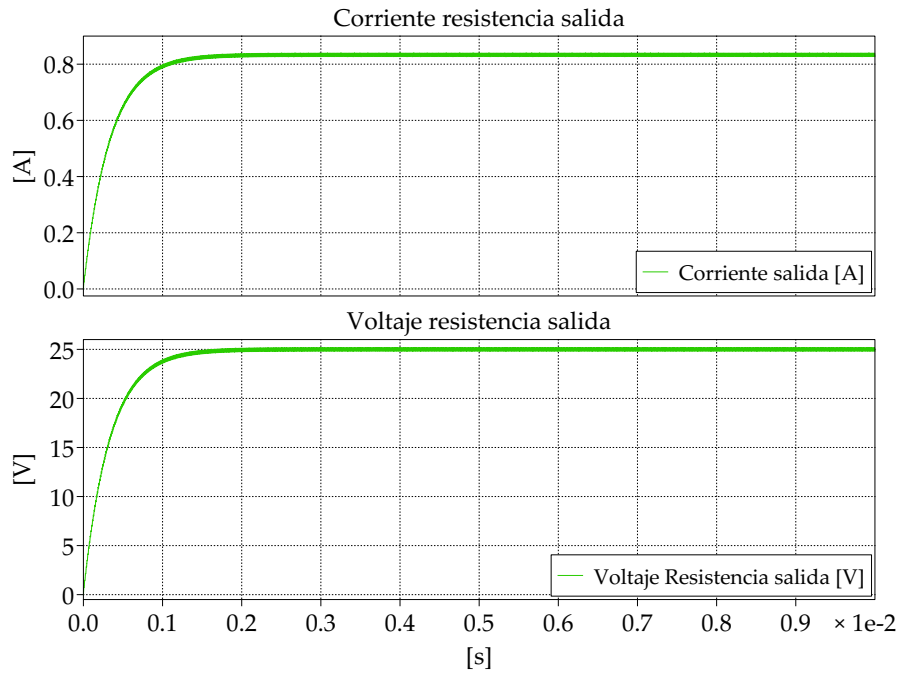


Figura B.3: Señales de salida.

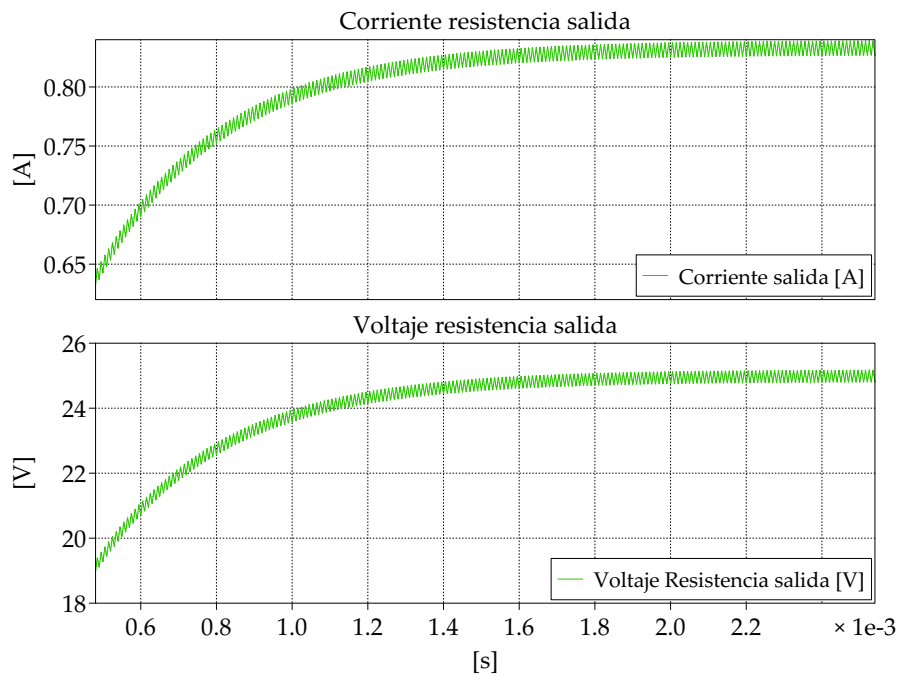






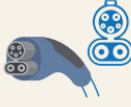
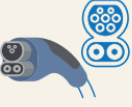
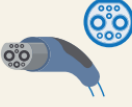
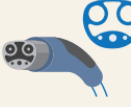







Figura B.4: Zoom señales de salida.

TABLE 2 – DC CHARGING STANDARDS.					
	 CHAdeMO	 CCS-1	 CCS-2	 GB/T	 TESLA
Maximum power*	400 kW	350 kW	350 kW	237.5 kW	350 kW
Typical power†	50 kW	312 kW	350 kW	60 kW	250 kW
Output voltage	50–1,000 V	200–1,000 V	200–1,000 V	250–950 V	300–480 V
Maximum current	400 A	500 A	500 A	250–400 A	800 A
Communication	CAN	PLC	PLC	CAN	CAN
Region	Global	United States, South Korea	Europe, Australia	China, India	Global
Related standards	• IEC 61851-23/4 • IEC 62196-3 • JEVS G105-1993	• IEC 61851-23/24 • IEC 62196-3 • SAE J1772-2017	• IEC 61851-23/24 • IEC 62196-3	• GB/T 20234-3-2015 • IEC 62196-3	• IEC 62196-3
Vehicle to device	Yes	Under development	Under development	Under development	No
Plug type					
Time/100 km‡	13.73 min	4.4 min	1.96 min	11.44 min	2.74 min
Range/5 min§	36.4 km	113.54 km	254.73 km	43.67 km	181.95 km
Examples	 Delta Ultra Fast Charger: 50–550 V, 125 A (CHAdeMO); 170–1,000 V, 300 A (CCS); 150 kW maximum	 Charge Point Express Plus: 200–1,000 V, 390 A, 156 kW	 ABB Terra HP: 150–920 V, 500 A, 350 kW	 ABB Terra GB 184MVZ: 200–750 V, 300 A, 3 × 60 kW	 V3 Supercharger: 450 V, 250 kW

*Based on the maximum rating specified in the standard.
†Maximum power in the market.
‡The calculation is an approximation assuming the power is kept constant during the charging process using the commercial example.
§The comparison is made considering the 50-kWh usable battery capacity of the Tesla Model 3 Standard Range Plus, its 409 km WLTP range, and the rated power of the commercial example.
JEVS: Japanese Electric Vehicle Standard.

Figura C.1: Cargadores DC comerciales actuales para EV [14].

BIBLIOGRAFÍA

- [1] Laura Soares Hao Wang, "A study on renewed perspectives of electrified road for wireless power transfer of electric vehicles" *Renewable and Sustainable Energy Reviews* Volume 158, April 2022, 112110
- [2] M.A. Perez, S. Bernet, J. Rodriguez, S. Kouro, and R. Lizana, "Circuit topologies, modeling, control schemes, and applications of modular multilevel converters," *Power Electronics, IEEE Transactions on*, 30(1):4–17, Jan 2015.
- [3] Muhammad H. Rashid, "Power Electronics Handbook," Chapter 22, Chapter 34, Elsevier Science,
- [4] O. N. Nezamuddin, C. L. Nicholas and E. C. d. Santos, "The Problem of Electric Vehicle Charging: State-of-the-Art and an Innovative Solution" *IEEE Transactions on Intelligent Transportation Systems*, vol. 23, no. 5, pp. 4663-4673, May 2022.
- [5] S. Li and C. C. Mi, "Wireless Power Transfer for Electric Vehicle Applications," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 3, no. 1, pp. 4-17, March 2015
- [6] Chirag Panchal, Sascha Stegen, Junwei Lu, "Review of static and dynamic wireless electric vehicle charging system," *Engineering Science and Technology, an International Journal*, Volume 21, Issue 5, 2018.
- [7] F. Musavi, M. Edington and W. Eberle, "Wireless power transfer: A survey of EV battery charging technologies," 2012 IEEE Energy Conversion Congress and Exposition (ECCE), 2012, pp. 1804-1810
- [8] S. Srdic and S. Lukic, "Toward Extreme Fast Charging: Challenges and Opportunities in Directly Connecting to Medium-Voltage Line," in *IEEE Electrification Magazine*, vol. 7, no. 1, pp. 22-31, March 2019.
- [9] T. Yiyun, L. Can, C. Lin and L. Lin, "Research on Vehicle-to-Grid Technology" 2011 International Conference on Computer Distributed Control and Intelligent Environmental Monitoring, 2011, pp. 1013-1016, doi: 10.1109/CDCIEM.2011.194.
- [10] M. Yilmaz and P. T. Krein, "Review of Battery Charger Topologies, Charging Power Levels, and Infrastructure for Plug-In Electric and Hybrid Vehicles," *IEEE Transactions on Power Electronics*, vol. 28, no. 5, pp. 2151-2169, May 2013.

- [11] M. Y. Metwly, M. S. Abdel-Majeed, A. S. Abdel-Khalik, R. A. Hamdy, M. S. Hamad and S. Ahmed, "A Review of Integrated On-Board EV Battery Chargers: Advanced Topologies, Recent Developments and Optimal Selection of FSCW Slot/Pole Combination," IEEE Access, vol. 8, pp. 85216-85242, 2020.
- [12] S. Rivera, S. Kouro, S. Vazquez, S. M. Goetz, R. Lizana and E. Romero-Cadaval, "Electric Vehicle Charging Infrastructure: From Grid to Battery," IEEE Industrial Electronics Magazine, vol. 15, no. 2, pp. 37-51, June 2021,
- [13] Prasanth Venugopal, Aditya Shekhar, Erwin Visser, Natalia Scheele, Gautham Ram Chandra Mouli, Pavol Bauer, Sacha Silvester, "Roadway to self-healing highways with integrated wireless electric vehicle charging and sustainable energy harvesting technologies," Applied Energy, Volume 212, 2018, Pages 1226-1239.
- [14] S. Rivera, S. Kouro, S. Vazquez, S. M. Goetz, R. Lizana and E. Romero-Cadaval, "Electric Vehicle Charging Infrastructure: From Grid to Battery," IEEE Industrial Electronics Magazine, vol. 15, no. 2, pp. 37-51, June 2021,
- [15] Texas Instruments, Michael Seeman, Dave Freeman.
"Wide-bandgap semiconductors: Performance and benefits of GaN versus SiC "
<https://www.ti.com/lit/an/slyt801/slyt801.pdf>
- [16] A. Rodriguez, M. Fernandez, A. Vázquez, D.G. Lamar, M. Arias y J. Sebastián "Comparativa de transistores de SiC de alta tensión en un elevador para frecuencias desde 100kHz a 1MHz"
- [17] Texas Instruments, Michael Seeman, Dave Freeman. "Advancing power supply solutions through the promise of GaN."
<https://www.ti.com/lit/wp/sszy017/sszy017.pdf?ts=1649198012731>
- [18] Infineon. Datasheet MOSFET SiC IMW65R107M1H 650-V 107-mΩ
https://www.infineon.com/dgdl/Infineon-IMW65R107M1H-DataSheet-v02_00-EN.pdf?fileId=5546d4626f229553016f85d01cd50485
- [19] GaN System. Datasheet MOSFET GaN GS66506T 650-V Top-side cooled 650 V E-mode GaN transistor
https://www.mouser.cl/datasheet/2/692/GS66506T_DS_Rev_200402-1837976.pdf
- [20] Texas Instruments LMG3411R050 .
600-V 50mΩ GaN with integrated driver and cycle-by-cycle overcurrent protection
<https://www.ti.com/product/LMG3411R050>
- [21] Würth Elektronik. Datasheet WE-WPCC Wireless Power Charging Transmitter Coil 760308111.
<https://www.we-online.com/katalog/datasheet/760308111.pdf>
- [22] ABRACON. Datasheet Wireless Charging Coil AWCCA-50N50H50-C02-B .
<https://abracon.com/Magnetics/wireless/AWCCA-50N50.pdf>
- [23] Altium Limited. Altium Designer 21
<https://www.altium.com/es>

- [24] Texas Instruments. *Datasheet LMG341xR050 600-V 50-mΩ GaN with Integrated Driver and Protection*
<https://www.ti.com/lit/ds/symlink/lmg3410r050.pdf>
- [25] Texas Instruments. *User Guide Using the LMG341xEVM-018 half-bridge and LMG34XXBB-EVM breakout board EVM*
<https://www.ti.com/lit/ug/snou165a/snou165a.pdf>
- [26] Texas Instruments. *ISO773x-Q1 High-Speed, Robust-EMC Reinforced Triple-Channel Digital Isolators*
<https://www.ti.com/lit/ds/symlink/iso7731-q1.pdf>
- [27] SKYWORKS. *Si864x Data Sheet*
<https://www.skyworksinc.com/-/media/SkyWorks/SL/documents/public/data-sheets/si864x-datasheet.pdf>
- [28] Cornell Dubilier. *SMT Aluminum Electrolytic Capacitors - High Voltage, 105 °C*
https://www.mouser.cl/datasheet/2/88/CDUB_S_A0011842669_1-2540227.pdf
- [29] Murata. *Equivalent Capacitance and ESR of Paralleled Capacitors*
https://www.power-mag.com/pdf/feature_pdf/1387888355_Murata_Feature_Layout_1.pdf
- [30] Knowles Syfer. *StackiCap™ Capacitors-X7R*
https://www.mouser.cl/datasheet/2/218/SMD_High_and_Std_StackiCap_P62-1316331.pdf
- [31] TRACO POWER. *DCDC Converter, TES 1V Series, 1Watt*
<https://www.mouser.cl/datasheet/2/687/tes1v-519404.pdf>
- [32] Murata Power Solutions. *MTU1 Series*
https://www.mouser.cl/datasheet/2/281/1/kdc_mtu1-2940959.pdf
- [33] Automotive Electronics Council. *AEC Documents*
<http://www.aecouncil.com/AECDocuments.html>
- [34] Automotive Electronics Council. *STRESS TEST QUALIFICATION FOR PASSIVE COMPONENTS, AEC-Q200 REV D*
http://www.aecouncil.com/Documents/AEC_Q200_Rev_D_Base_Document.pdf
- [35] Phoenix Contact *PCB connectors Website*
<https://www.phoenixcontact.com/en-us/products/pcb-terminal-blocks-and-pcb-connectors/pcb-connectors>
- [36] Phoenix Contact *PCB header - PC 4/3-G-7,62*
https://www.phoenixcontact.com/en-us/products/pcb-header-pc-4-3-g-762-1804807?utm_source=pdf&utm_medium=pdf
- [37] KEMET *Ceramic Capacitors (MLCCs) Design and Characteristics*
<https://www.psmma.com/sites/default/files/uploads/files/Ceramic%20Capacitor%20Basics.pdf>

- [38] Texas Instruments. *High Voltage Half Bridge Design Guide for LMG3410x Family of Integrated GaN FETs*
<https://www.ti.com/lit/an/snoa946a/snoa946a.pdf>
- [39] Advanced Thermal Solutions. *pushPIN™ Heat Sink*
<https://www.mouser.cl/datasheet/2/596/ats-cpx030030030-173-c2-r0-1713965.pdf>
- [40] Taica. *Sheet-type Thermal Conductive GEL COH-1706*
https://www.mouser.cl/datasheet/2/780/COH_1706_English-1669969.pdf
- [41] Texas Instruments. *LMG342xR030 600-V 30-mΩ GaN FET With Integrated Driver, Protection, and Temperature Reporting*
<https://www.ti.com/lit/ds/symlink/lmg3422r030.pdf>
- [42] Texas Instruments, Cody J. Watkins. *Achieve Power-Dense and Efficient Digital Power Systems by Combining TI GaN FETs and C2000™ Real-Time MCUs*
<https://www.ti.com/lit/wp/spry340/spry340.pdf>