

UNIVERSIDAD TÉCNICA FEDERICO SANTA MARÍA

DEPARTAMENTO DE ELECTRÓNICA

VALPARAÍSO-CHILE



SISTEMA DE DISPARO PARA DETECTORES STGC

HERNAN ELIAS OYANADEL GALLARDO

MEMORIA DE TITULACIÓN PARA OPTAR AL TÍTULO DE INGENIERO
CIVIL ELECTRÓNICO

PROFESOR GUÍA
DR. CÉSAR SILVA JIMÉNEZ

PROFESOR CO-REFERENTE
DR. SERGEY KULESHOV

MARZO, 2020

AGRADECIMIENTOS

Primero que todo agradezco a mi madre, padre y hermanas, por otorgarme en las mejores condiciones de vida que han podido y por fomentar el desarrollo y crecimiento intelectual que motivaron mis estudios básicos, secundarios y superiores.

A mis amigos del colegio: Sebastián O., Raul y Martín que hicieron mucho más tolerable el paso por una educación media llena de cambios y descubrimientos y que sin darse cuenta, incentivaron mi elección por la ingeniería.

A toda la pensión Kawaii: Ernesto, Rodrigo, Karinna, Natalia, Constanza, Diego, Daniel H., Vicente, Alvaro y Paula. Por todos los años de gran convivencia y diversión.

A mis amigos universitarios: Daniel T., Cristóbal, Matías, Daniel G. y Sebastián R. Por todas las aventuras y “horas de estudio”. Mención especial a mi padrino Hector y a mi hermano Arturo, unidos por una iniciativa estudiantil del departamento de electrónica y que resultó ser tan real como una familia de verdad.

Al centro basal CCTVal por proporcionar los fondos necesarios para el desarrollo de este proyecto y al equipo de trabajo del SiLab, con quienes he compartido en los últimos tres años.

Finalmente y por sobre todo a mi pareja, Jairo por todos los años de apoyo, cariño y contención emocional que me ayudaron a superar los desafíos de la vida universitaria.

RESUMEN

Los sTGC son detectores de ionización gaseosa que permiten localizar partículas cargadas eléctricamente con una resolución milimétrica. Estos detectores poseen una gran cantidad de canales que emiten señales eléctricas luego del paso de una partícula, por lo que una señal de sincronismo es necesaria para hacer la adquisición de los datos.

Alternativamente, un centellador es un material que también responde rápidamente al paso de partículas cargadas, al emitir fotones cada vez que un evento es detectado. Sin embargo, no es posible localizar la posición de la partícula puesto que la luz se propaga isotrópicamente a través de este material.

Esta memoria de titulación surge a partir del proyecto “sTGC para minería” del Centro Científico y Tecnológico de Valparaíso que busca implementar un laboratorio móvil usando detectores sTGC y que permita observar trayectorias de Muones provenientes de rayos cósmicos para obtener información del terreno y minas subterráneas.

En este contexto, se propone un sistema de disparo para este proyecto utilizando un arreglo de detectores centelladores, el cual deberá funcionar de manera rápida con la menor dispersión temporal posible. Para ello, se diseñan y desarrollan módulos electrónicos y se ejecutan pruebas de funcionamiento y desempeño utilizando un prototipo de dimensiones reducidas, que emula los centelladores a utilizar en el sistema real.

Palabras claves: MPPC, Centelladores, Procesamiento analógico de señales, Muones.

ABSTRACT

STGC are gaseous ionization detectors that are capable of locating electrically charged particles with millimetric resolution. These detectors have a large number of channels that emit electrical signals after a particle has been detected, therefore a synchronization signal is required to enable the data acquisition from the detector.

Alternatively, a scintillator is a material that also reacts very fast to charged particles, emitting photons every time an event is detected. However, it is not possible to determine the position of the particle since this light isotropically propagates through the material.

This dissertation derives from a project of “Centro Científico y Tecnológico de Valparaíso” named “sTGC para minería” whose objective is to construct a cosmic Muon mobile laboratory using sTGC detectors to obtain information about the terrain and underground mines.

In this context, a trigger system using an array of fast scintillator detectors is proposed for this project. The system should work fast and with minimal jitter. For this purpose, electronic modules are designed and manufactured. Tests of performance are executed using a prototype with reduced size, which emulates the scintillators to be used in the real system.

Keywords: MPPC, Scintillators, Analog signal processing, Muons.

ÍNDICE DE FIGURAS

2.1.	Diagrama de la disposición de los píxeles en un MPPC.	5
2.2.	Forma de onda para los pulsos de corriente emitidos por el MPPC para distintos niveles de excitación por fotones. Fotografía “Pulse waveforms when using a linear amplifier” propiedad de Hamamatsu Photonics, K. K., obtenida de https://www.hamamatsu.com/us/en/product/optical-sensors/mppc/what_is_mppc/index.html en conformidad al Art. 71-B Ley 20.435.	6
2.3.	Diagrama de bloques para un módulo del sistema.	10
2.4.	Configuración de la conexión lógica para el sistema de disparo.	11
2.5.	Diagrama de conexiones entre los bloques a diseñar.	12
3.1.	Estación de trabajo para el experimento de caracterización de la amplitud de los pulsos de MPPC.	14
3.2.	Caracterización de los pulsos medidos en el MPPC despues de la etapa de pre-amplificación.a). Imagen de persistencia. b).Distribución de la amplitud de los pulsos. Escala de amplitud: 500[mV/div]. Escala temporal: 50[ns/div].	14
3.3.	Esquema que muestra el procedimiento para realizar la técnica de discriminación de fracción constante.	15
3.4.	Esquemático de los componentes utilizados en el módulo pre-amplificador del discriminador de fracción constante.	17
3.5.	Esquemático de los componentes utilizados en el módulo sumador del discriminador de fracción constante.	19
3.6.	Esquemático de los componentes utilizados en el módulo comparador con histéresis del discriminador de fracción constante.	20
3.7.	Esquema genérico de un comparador con histéresis no inversor.	21
3.8.	Esquemático general para la simulación del circuito discriminador de fracción constante.	22

3.9. Forma de onda del pulso de entrada desde el MPPC hacia el discriminador de fracción constante en simulación de funcionamiento.	23
3.10. Forma de onda de la señal de salida proveniente del modulo pre-amplificador en simulación de funcionamiento	23
3.11. Voltajes dentro del módulo sumador para la simulación de funcionamiento. La señal en azul corresponde al voltaje posterior al amplificador de entrada. La señal en rojo corresponde al voltaje posterior a la linea de retardo.	24
3.12. Voltaje de salida del comparador con histéresis para la simulación de funcionamiento.	25
3.13. Señal de entrada al circuito discriminador de fracción constante para la simulación de desempeño.	26
3.14. Voltaje de salida del módulo sumador para la simulación de desempeño	27
3.15. Señal de salida del módulo comparador con histéresis para la simulación de desempeño.	27
3.16. Esquemático del módulo pre-amplificador en el software Altium Designer.	28
3.17. Esquemático del módulo sumador en el software Altium Designer.	29
3.18. Esquemático del módulo comparador con histéresis en el software Altium Designer.	30
3.19. Vista del trazado de componentes y pistas en el diseño del circuito impreso correspondientes al discriminador de fracción constante en el software Altium Designer.	32
3.20. Vista tridimensional de la placa de circuito impreso para el discriminador de fracción constante provista por el software Altium Designer.	32
4.1. Esquema de funcionamiento del detector centellador largo.	33
4.2. Esquemático de los componentes utilizados en el módulo monoestable del compensador de geometría.	36
4.3. Esquemático de los componentes utilizados en el módulo de reinicio del compensador de geometría.	37
4.4. Esquemático de los componentes utilizados en el módulo de descarga del compensador de geometría.	38
4.5. Esquemático de los componentes utilizados en el módulo comparador de salida del compensador de geometría.	39
4.6. Esquemático general, para la simulación del circuito de compensador de geometría	41

-
- 4.7. Formas de onda relevantes en el funcionamiento del módulo monoestable. En azul se muestra la señal proveniente del discriminador de fracción constante. En verde se muestra el voltaje del condensador del flip-flop. En rojo se observa el pulso de salida del monoestable. 42
- 4.8. Formas de onda relevantes en el funcionamiento del módulo de reinicio. En verde y azul se muestran los pulsos de entrada de los canales derecho e izquierdo respectivamente. En rojo se encuentra la señal de reinicio. 43
- 4.9. Formas de onda relevantes en el funcionamiento del módulo de descarga por fuentes de corriente. En azul se encuentra la señal de entrada del canal derecho y en rojo se muestra la corriente a través de la resistencia de descarga. 43
- 4.10. Acercamiento temporal a señales relevantes del módulo de descarga por fuentes de corriente. En verde y azul se muestran las señales de entrada al compensador de geometría y en rojo se muestra el voltaje de condensador principal de descarga. 44
- 4.11. Formas de onda en la salida del modulo comparador y del compensador de geometría para un ciclo de operación normal. En rojo se muestra el voltaje del condensador principal de descarga. En verde, el umbral de comparación y en azul el pulso de salida de este módulo. 45
- 4.12. Corriente en el condensador principal del compensador de geometría. Se incluyen las señales de entradas de ambos canales a modo de comparación 45
- 4.13. Comparación entre formas de onda para las salida lógicas. En azul se ve la señal de voltaje LVTTTL y en rojo la señal de corriente NIM. 46
- 4.14. Voltajes de entrada al compensador de geometría para la simulación de desempeño. Los voltajes en azul corresponden al canal derecho y en rojo se muestran los voltajes para el canal izquierdo 48
- 4.15. Acercamiento temporal al voltaje del condensador principal en el módulo de descarga. También se muestran las señales de entrada de los canales derecho e izquierdo superpuestas. 48
- 4.16. Acercamiento temporal al voltaje de salida del módulo comparador. Se muestra el voltaje del condensador de descarga, el nivel de comparación y la salida del módulo. 49
- 4.17. Formas de onda para las salidas LVTTTL y NIM del compensador de geometría en simulación de desempeño. 50
- 4.18. Esquemático del módulo monoestable implementado en Altium Designer para ambos canales de entrada al compensador de geometría. 51

4.19. Esquemático del módulo de descarga por fuentes de corriente implementado en Altium Designer.	52
4.20. Esquemático del módulo de reinicio implementado en Altium Designer.	53
4.21. Esquemático del comparador y la lógica de salida implementados en Altium designer.	54
4.22. Esquemático del convertidor LVTTTL-NIM implementado en Altium Designer.	55
4.23. Diagrama del controlador LVTTTL-LVDS utilizado en la lógica de salida e implementado en Altium Designer	56
4.24. Vista del trazado de componentes y pistas en el diseño del circuito impreso correspondientes al compensador de geometría en el software Altium Designer.	57
4.25. Vista tridimensional de la placa de circuito impreso para el compensador de geometría provista por el software Altium Designer.	57
5.1. Tarjeta PCB interfaz para la MCU. En la izquierda se muestra el diseño de 3D provisto por el software Altium Designer. En la derecha, la PCB fabricada y montada sobre la CPLD.	61
5.2. Diagrama del hardware descrito en la CPLD.	62
6.1. Terminación de las fibras ópticas WLS en los extremos del centellador. A la izquierda se observa la organización de las fibras y a la derecha el proceso realizado para pulir esta terminación	65
6.2. Fotografías de la luz recibida en las terminaciones de cada canal. En la derecha se observa el canal derecho. En la figura de la izquierda se observa el canal izquierdo.	66
6.3. Fotografía de la estación del trabajo para las pruebas experimentales. Se aprecian los instrumentos utilizados, el detector centellador y la electrónica diseñada.	67
6.4. Formas de onda características del discriminador de fracción constante. A la izquierda se aprecian las señales del módulo sumador. Escala de amplitud: 500[mV/div]. Escala temporal: 50[ns/div]. A la derecha las señales del comparador de salida. Escalas de amplitud: 500[mV/div] en la señal superior y 1[V/div] la inferior. Escala temporal: 20[ns/div].	68

- 6.5. Señales del discriminador de fracción constante en modo persistencia. A la izquierda la salida del módulo preamplificador. Escala de amplitud: 500[mV/div]. Escala temporal: 50[ns/div]. A la derecha se ven las señales del comparador de salida. Escalas de amplitud: 200[mV/div] en la señal superior y 1[V/div] en la inferior. Escala temporal: 20[ns/div]. 69
- 6.6. Salida del módulo preamplificador en modo persistencia utilizando el mínimo nivel de disparo posible. Escala de amplitud: 2[mV/div]. Escala Temporal: 50[ns/div] 70
- 6.7. Diagrama de la etapa preamplificadora. En la izquierda se muestra antes de las modificaciones. En la derecha se ve después de los cambios. 70
- 6.8. Salida del módulo amplificador para los distintos canales. A la izquierda se muestra el canal izquierdo, al igual que a la derecha el canal homónimo. Escala de amplitud: 500[mV/div]. Escala temporal: 20[ns/div]. 71
- 6.9. Esquemático del inyector de carga utilizado en el experimento. 72
- 6.10. Resultados del experimento para determinar el rango dinámico de ambos canales. Se muestra además una regresión de la zona lineal. 73
- 6.11. Salidas del módulo preamplificador en modo persistencia utilizadas para determinar la ganancia por píxel de ambos canales. En izquierda se aprecia el canal izquierdo, mientras que en la derecha el canal del mismo nombre. Escala de amplitud: 2[mV/div]. Escala temporal: 50[ns/div]. 74
- 6.12. Resultados del experimento realizado para medir el voltaje de ruptura en los MPPC de ambos canales. 75
- 6.13. Esquema de disparo para la toma de muestras de los experimentos utilizando Muones provenientes de rayos cósmicos. 76
- 6.14. Distribución de amplitud correspondiente a las salidas analógicas de los módulos preamplificadores en cada canal, para el experimento de caracterización con rayos cósmicos. 76
- 6.15. Ejemplo de los gráficos generados por cada canal para el cálculo de valor promedio y el umbral de 99 % en el voltaje de salida de los pulsos. 78
- 6.16. Valores de eficiencia en la detección de pulsos en distintos puntos del detector previo al cambio de histéresis en el comparador del discriminador de fracción constante. 79
- 6.17. Valores de eficiencia en la detección de pulsos en distintos puntos del detector posterior al cambio de histéresis en el comparador del discriminador de fracción constante. 80

- 6.18. Formas de onda en distintos puntos del compensador de geometría. En la izquierda se muestra la entrada y salida del módulo monoestable, mientras que en la derecha se muestra una imagen en modo persistencia del voltaje en el condensador principal y en la salida del circuito. Escala de amplitud: 2[V/div]. Escala temporal: 20[ns/div] 81
- 6.19. Formas de onda en distintos puntos del compensador de geometría. En la izquierda se muestra un acercamiento temporal al voltaje del condensador con la salida. Escalas de amplitud 2[V/div] para la forma de onda superior y 1[V/div] para la inferior. Escala temporal 10[ns/div]. A la derecha se pueden ver las salidas LVTTL y NIM. Escalas de amplitud: 2[V/div] y 500[mV/div] respectivamente. Escala temporal: 50[ns/div]. 82
- 6.20. Distribución del retardo temporal entre las entradas y la salida del discriminador de geometría con respecto a la señal de disparo en el experimento inicial. En azul se muestra la distribución del canal uno, en rojo la distribución del canal dos y en verde, la salida. 83
- 6.21. Distribución del retardo temporal entre las entradas y la salida del discriminador de geometría con respecto a la señal de disparo luego del cambio en la longitud de los cables y el valor de la resistencia R_{16} . En azul se muestra la distribución del canal uno, en rojo la distribución del canal dos y en verde, la salida. 84
- 6.22. Distribución del retardo temporal entre las entradas y la salida del discriminador de geometría con respecto a la señal de disparo luego de igualar la longitud de los cables. En azul se muestra la distribución del canal uno, en rojo la distribución del canal dos y en verde, la salida. En la izquierda se muestra el histograma para la configuración original y en la derecha con los canales intercambiados 86
- 6.23. Señales de entrada y salida en el experimento de prueba para la unidad de coincidencia multicanal. Escalas de amplitud: 1[V/div] para las señales violeta y roja, 500[mV/div] para la señal azul. Escala temporal: 100[ns/div]. 88
- 6.24. Esquema de organización de las entradas en la unidad de coincidencia multicanal, las capas simbolizan la ubicación de los planos centelleadores originalmente descritos en la sección 2.2. 89

ÍNDICE DE TABLAS

3.1. Especificaciones del circuito integrado MAX4392 utilizado en el módulo sumador.	30
3.2. Especificaciones del comparador MAX9011 utilizado en el módulo comparador con histéresis.	31
3.3. Especificaciones del amplificador integrado de ganancia fija EL5106 utilizado en el módulo comparador con histéresis	31
4.1. Especificaciones del circuito integrado SN74AUP1G74 utilizado en el módulo monoestable.	51
4.2. Especificaciones del circuito integrado SY100EPT22 utilizado en el módulo de descarga.	53
4.3. Especificaciones del circuito integrado SN74LVC1G11 utilizado en el módulo de salida.	54
4.4. Especificaciones del circuito integrado DS90LV011 utilizado en el módulo de salida.	56
6.1. Resultados de experimento de ganancia con inyector de carga de 20[pC]	72
6.2. Resultados del experimento de caracterización de la histéresis en el detector.	78
6.3. Resultados de la caracterización temporal para la unidad de coincidencia multicanal (MCU).	90

CONTENIDO

AGRADECIMIENTOS	I
RESUMEN	III
ABSTRACT	IV
ÍNDICE DE FIGURAS	V
ÍNDICE DE TABLAS	XI
1. INTRODUCCIÓN	1
1.1. Contextualización	1
1.2. Objetivos del proyecto	2
2. ESTADO DEL ARTE Y ARQUITECTURA PROPUESTA	3
2.1. Estado del Arte	3
2.1.1. Materiales centelladores	3
2.1.2. Dispositivos fotomultiplicadores	4
2.1.3. Métodos de ajuste y medición de pulsos	6
2.1.4. Compensación temporal de geometría	8
2.1.5. Arreglos lógicos digitales	9
2.2. Arquitectura propuesta para el proyecto	10
2.2.1. Disposición del detector	10
2.2.2. Conexiones del hardware	11
3. DISCRIMINADOR DE FRACCIÓN CONSTANTE	13
3.1. Diseño del discriminador de fracción constante	16
3.1.1. Módulo pre-amplificador	17
3.1.2. Módulo sumador	18
3.1.3. Comparador con histéresis	20

3.2. Simulación del discriminador de fracción constante	22
3.2.1. Simulación de funcionamiento	22
3.2.2. Simulación de desempeño	26
3.3. Diseño e implementación de circuito impreso (PCB) en software Altium Designer	28
3.3.1. Módulo pre-amplificador	28
3.3.2. Módulo sumador	29
3.3.3. Módulo comparador con histéresis	30
4. COMPENSADOR DE GEOMETRÍA	33
4.1. Diseño del compensador de geometría	35
4.1.1. Módulo Monoestable de entrada	35
4.1.2. Módulo de reinicio	36
4.1.3. Módulo de descarga por fuentes de corriente	37
4.1.4. Módulo comparador y lógica de salida	39
4.2. Simulación del compensador de geometría	40
4.2.1. Simulación de funcionamiento	41
4.2.2. Simulación de desempeño	46
4.3. Construcción de circuito impreso en software Altium Designer	50
4.3.1. Módulo monoestable de entrada	51
4.3.2. Módulo de descarga por fuentes de corriente	52
4.3.3. Módulo de reinicio	53
4.3.4. Módulo comparador y lógica de salida	54
5. UNIDAD DE COINCIDENCIA MULTICANAL	58
5.1. Elección de una topología para la MCU	58
5.2. Diseño de la MCU	60
5.2.1. Construcción de una interfaz de entrada	60
5.2.2. Descripción del Hardware	61
6. CONSTRUCCIÓN DEL SISTEMA DE DISPARO, PRUEBAS Y RESULTADOS	65
6.1. Fabricación del detector centellador y construcción de la estación de trabajo	65
6.2. Pruebas para el discriminador de fracción constante	67
6.2.1. Prueba de funcionamiento inicial	67
6.2.2. Caracterización de la electronica analógica	69
6.2.3. Corrección de la banda de histéresis para el comparador de salida	77

6.3. Pruebas para el compensador de geometría	80
6.3.1. Prueba de funcionamiento	80
6.3.2. Evaluación de la dispersión temporal del compensador de geometría	82
6.4. Pruebas para la unidad de coincidencia multicanal	86
6.4.1. Funcionamiento de las compuertas lógicas	86
6.4.2. Medición de la dispersión perteneciente a la unidad de coincidencia multicanal	88
7. CONCLUSIONES	91
REFERENCIAS	93

INTRODUCCIÓN

1.1. Contextualización

En el contexto de la investigación de física de altas energías y colisiones de partículas, nace el gran colisionador de Hadrones (LHC), a cargo de la Organización Europea para la Investigación Nuclear (CERN). Este centro posee colaboraciones con varias instituciones en distintos lugares del mundo, dentro de las cuales se encuentran la Pontificia Universidad Católica de Chile (PUC) y la Universidad Técnica Federico Santa María (UTFSM) en Chile. En la UTFSM, las actividades relacionadas con la colaboración con CERN son realizadas en el Centro Científico Tecnológico de Valparaíso (CCTVal). Este proyecto de titulación se desarrolla en este centro, específicamente en SiLab, un laboratorio que se dedica a resolver las necesidades que surgen en las investigaciones del Grupo de Física Experimental de Alta Energía. Enfocado a la Electrónica y la Mecánica, entregando soluciones en múltiples disciplinas.

En SiLab se desarrollan los detectores sTGC, llamados así por sus siglas en inglés “small-strip Thin Gap Chamber”, que permite detectar las partículas eléctricamente cargadas que pasan a través de él.

La principal característica de los sTGC es su resolución milimétrica (o incluso de micrones en las últimas versiones del detector) que permite distinguir entre distintas partículas, trazar trayectorias e incluso caracterizar gráficamente la distribución de estas en una imagen.

Los rayos cósmicos corresponden a protones y núcleos atómicos de alta energía que viajan a través del espacio a velocidades cercanas a la de la luz en el vacío. Estos pueden provenir desde el sol, regiones fuera del sistema solar o galaxias lejanas. Cuando un rayo cósmico impacta a la atmósfera terrestre, este se desintegra violentamente, generando una lluvia de partículas secundarias, de las cuales solo algunas llegan a la superficie terrestre.

Una de estas partículas corresponde al Muon, que es una partícula elemental

similar al electrón, con la misma carga eléctrica, pero aproximadamente doscientas veces más masa (específicamente $105.66 \text{ GeV}/c^2$, en comparación con la masa del electrón que es $0.511 \text{ GeV}/c^2$).

Los Muones poseen un poder de penetración en la materia mucho mayor que los electrones, debido a su mayor masa, lo que sumado a su tiempo de vida promedio de $2.2 \text{ } [\mu\text{s}]$ les permite atravesar la atmósfera fácilmente, llegar a la superficie terrestre e incluso calar profundamente en la tierra, siendo detectables en cavernas profundas.

Aprovechando las características de los detectores con alta resolución, particularmente, los sTGC, aparece la técnica de Muongrafía o Tomografía de Muones, con lo cual es posible reconstruir las trayectorias de estas partículas y construir mapas tridimensionales de objetos, utilizando los Muones producidos por los rayos cósmicos que llegan a la atmósfera terrestre.

En el CCTVal, se desarrolla el proyecto sTGC para minería que busca aplicar esta metodología en sectores mineros que necesiten reconocimiento de terrenos y montañas con el fin de detectar cavernas en la mina. Uno de los problemas de estos detectores es que poseen múltiples canales donde partículas pueden ser detectadas, lo que implica un problema para un sistema de adquisición de datos auto disparado, en el caso de que se desee una orientación o trayectoria en particular. Es por esto que dentro de este proyecto se plantea el desarrollo de un sistema de disparo para el funcionamiento y adquisición de datos en los detectores sTGC, que corresponde al trabajo desarrollado en la presente memoria.

1.2. Objetivos del proyecto

La idea para el proyecto sTGC para minería es la construcción de un laboratorio móvil para la tomografía de Muones producidos por rayos cósmicos.

Se pretende utilizar un container de dimensiones $6.1[\text{m}] \times 2.59[\text{m}] \times 2.59[\text{m}]$ en el cual se equiparán detectores en sus seis paredes. En cada pared se dispondrá un plano con cuatro detectores centelladores plásticos de $10[\text{cm}] \times 240[\text{cm}]$, que conformarán el sistema de disparo, con una resolución igual o menor a $1 \text{ } [\text{ns}]$ (utilizando 24 plásticos en total) y en el centro cuatro detectores sTGC, que se utilizarán para la tomografía en sí.

ESTADO DEL ARTE Y ARQUITECTURA PROPUESTA

2.1. Estado del Arte

2.1.1. Materiales centelladores

A lo largo de la historia de la física de partículas, muchos esquemas y materiales para la detección de partículas han ido apareciendo, algunos basados en la observación de trayectorias, como por ejemplo: Las cámaras de niebla, burbujas o de chispas, que permiten la visualización de partículas con carga eléctrica. Actualmente estos sistemas son usados con fines didácticos y ya se encuentran en retiro para dar paso la nueva generación de detectores usando nuevos materiales y electrónica de adquisición para la detección de partículas. Algunos ejemplos de estos corresponden a detectores de ionización gaseosa (como los sTGC), detectores de radiación de Cherenkov y Centelladores.

Actualmente, de los métodos modernos, la técnica de detección más utilizada para partículas cargadas son los detectores basados en materiales orgánicos centelladores [1].

Cuando una partícula cargada pasa a través de un medio, deposita un poco de su energía cinética en el material, aumentando el nivel de energía de los electrones en sus átomos mediante la interacción electromagnética entre el átomo y la partícula. Los materiales centelladores se diferencian del resto debido a que cuando los átomos dejan de estar excitados emiten fotones en longitudes de onda bien acotadas. Este fenómeno se denomina fluorescencia.

En general, un detector de este tipo consiste en material centellador dispuesto de alguna manera específica en conjunto con un sensor de luz que detecta los fotones emitidos por los átomos del material debido al paso de una partícula cargada y convierte esta luz en pulsos eléctricos de corriente que se amplifican y procesan para

obtener información de la partícula detectada. Algunos dispositivos típicos para este propósito son los tubos fotomultiplicadores (PMT) y los recientemente desarrollados sensores de silicio de estado sólido (SiPM).

La mayoría de estos dispositivos poseen su eficiencia de detección máxima en los sectores verdes del espectro visible, sin embargo, los centelladores orgánicos típicamente emiten fotones en longitudes de onda correspondiente a luz ultravioleta o azul, por lo que se debe agregar al detector una fibra óptica WLS (de sus siglas en inglés “wavelength shifter”) que se fabrica con materiales fluorescentes y permite desplazar la longitud de onda de los fotones provenientes del centellador al espectro visible para situarse en el punto de mayor eficiencia del sensor de luz [1].

De los centelladores orgánicos, los sólidos destacan por tener gran capacidad de dopaje, lo que permite mejorar las características del material, su rápida velocidad de decaimiento del orden de decenas de nanosegundos, su facilidad de mecanizado, posibilidad de modularización y relativamente bajo precio [2]. Estas cualidades lo hacen ideal considerando los objetivos de este proyecto.

2.1.2. Dispositivos fotomultiplicadores

Como se mencionó anteriormente, para implementar un detector basado en materiales centelladores, se necesita un dispositivo capaz de captar luz y que transforme este flujo de fotones en una corriente proporcional de electrones. De esta forma se puede trabajar con estas señales utilizando electrónica convencional. Hasta hace algunos años, este trabajo se hacía con tubos fotomultiplicadores, que funcionan utilizando el efecto fotoeléctrico, donde un electrón es liberado desde el cátodo debido a la interacción de un fotón incidente y es acelerado por un campo eléctrico generado con alta tensión. Este electrón cae en un cátodo auxiliar donde interactúa con otros electrones, generando una pequeña corriente proporcional al número de fotones incidentes.

Las principales desventajas de este dispositivo son su alta sensibilidad a los campos magnéticos, su gran tamaño en comparación con la electrónica diseñada para ellos, su elevado precio y finalmente que requieren una fuente de alta tensión para su polarización, típicamente 1000[V] o más [3].

La alternativa moderna, denominada SiPM por sus siglas en inglés “silicon photomultiplier” consiste en una matriz compuesta por fotodiodos de avalancha (APDs) que opera en modo Geiger, es decir, polarizado en reversa por sobre su voltaje de ruptura. La operación en este modo genera un gran campo eléctrico en la zona de agotamiento de la juntura PN. Cuando un fotón incide sobre un APD, se libera

un electrón que es acelerado por este campo eléctrico y provoca una avalancha de electrones, que produce un pequeño pulso de corriente en la salida. [3]. Estos dispositivos poseen varias ventajas sobre los antiguos PMT ya que son inmunes a la influencia de campos magnéticos, su tamaño es reducido y operan con voltajes de polarización menores a 100[V].

Contadores de fotones multipíxel (MPPC)

Un MPPC es una versión moderna de un SiPM, desarrollado por el fabricante Hamamatsu Photonics y corresponde a una matriz de APDs (llamados píxeles, de ahora en adelante) de cátodo común conectados en paralelo y fabricados en un cristal monolítico de silicio [4]. En la figura 2.1 se muestra un diagrama de su configuración.

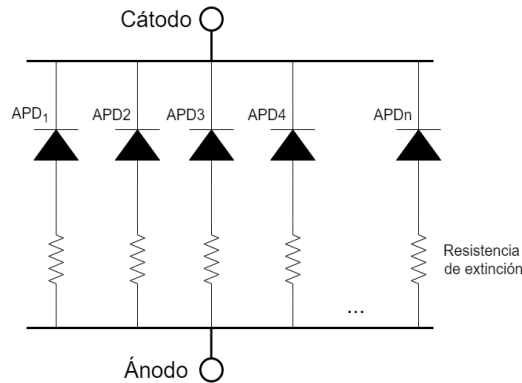


Figura 2.1: Diagrama de la disposición de los píxeles en un MPPC.

Cuando algún fotón incide sobre los píxeles la zona de agotamiento del semiconductor se comporta como un conductor de muy baja resistencia, que bajo un voltaje finito de polarización produce una avalancha de corriente. Esta impide que el píxel siga generando pulsos discretos debido al efecto multiplicativo que tienen los electrones de la avalancha. Para evitar este problema se incluye una resistencia de “quenching” o extinción que termina la avalancha de electrones una vez alcanzada la amplitud de corriente necesaria [4].

Los MPPC poseen una alta ganancia, del orden de 10^7 fotoelectrones emitidos por cada fotón incidente. Este es un número que depende linealmente del voltaje de polarización por sobre la tensión de ruptura del MPPC.

En la figura 2.2 se observan los típicos pulsos de corriente que este dispositivo es capaz de entregar dada la excitación de uno o más fotones.

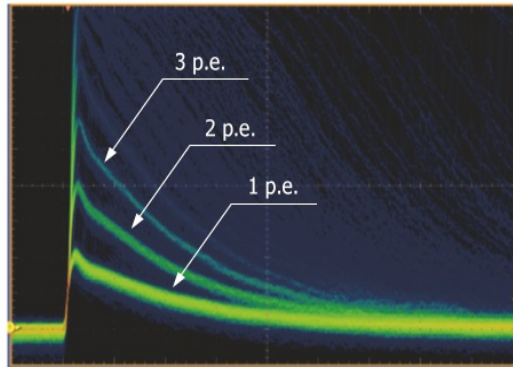


Figura 2.2: Forma de onda para los pulsos de corriente emitidos por el MPPC para distintos niveles de excitación por fotones. Fotografía “Pulse waveforms when using a linear amplifier” propiedad de Hamamatsu Photonics, K. K., obtenida de https://www.hamamatsu.com/us/en/product/optical-sensors/mppc/what_is_mppc/index.html en conformidad al Art. 71-B Ley 20.435.

Una vez obtenidos pulsos de corriente de este estilo, se pueden procesar utilizando electrónica analógica para inferir información acerca de las partículas que atraviesan el detector.

Se debe mencionar también que el MPPC está sujeto a dos fenómenos probabilísticos: Las cuentas oscuras, que corresponden a la generación de avalanchas espontáneas en ausencia de luz producto de la temperatura en el semiconductor. A mayor sobretensión y temperatura es más probable experimentar este fenómeno.

Por otro lado la diafonía, que se produce cuando un píxel se dispara únicamente por la acción de una avalancha en un píxel vecino producto de la incidencia de un fotón. Este fenómeno también es más probable a mayor sobretensión [3].

En el laboratorio donde se trabaja este proyecto, se han utilizado varias veces MPPC para los distintos dispositivos desarrollados, por lo que ya se posee experiencia y algunos circuitos diseñados por otras personas. El ejemplo más notable es una fuente de polarización de alto voltaje, utilizando un convertidor tipo Boost fabricado específicamente para este propósito, que permite obtener voltajes de operación adecuados para los MPPC. Estos circuitos se reutilizarán en este trabajo cuando sea apropiado.

2.1.3. Métodos de ajuste y medición de pulsos

En los detectores basados en centelladores, conocer precisamente el tiempo de llegada de una partícula es muy importante ya que el objetivo finalmente es generar

una señal de disparo estable para la posterior adquisición de datos.

Como se mencionó anteriormente, el MPPC emite pulsos de corriente de características temporales similares (Tiempo de subida, bajada y longitud del pulso), sin embargo, la amplitud máxima de estos pulsos depende de la cantidad de fotones que se reciben en el MPPC y de la ganancia, que depende linealmente del sobrevoltaje de polarización. Naturalmente, en esta descripción no se incluyen fenómenos aleatorios o la emisión de falsos pulsos llamados cuentas oscuras.

Determinar el tiempo de llegada de estos eventos de manera precisa es tarea de un discriminador temporal, cuya resolución, dada por la dispersión de la medición en eventos similares, es importante mejorar con el fin de decidir si eventos ocurren de manera simultánea.

Existen variadas técnicas de procesamiento que permiten obtener una resolución adecuada, pero que dependen del tipo de detector. Para escoger un tipo de discriminador temporal, se deben considerar los efectos limitantes que posee la tecnología utilizada. En este caso se tiene presencia de dos fenómenos [5]:

1. “Time jitter”: Corresponde a una fluctuación temporal no deseada en la señal de salida dada por la presencia de ruido electrónico aleatorio, o bien, señales estocásticas. Cuando la señal se discrimina con un comparador simple de voltaje, se produce una incertidumbre del momento preciso en que la partícula pasa por el detector.
2. “Amplitude walk”: Cuando las señales poseen idénticas características temporales, pero sus amplitudes difieren ampliamente, los pulsos de salida obtenidos con un discriminador simple de voltaje difieren dramáticamente ya que los tiempos en que los pulsos cruzan el umbral de voltaje son bastante diferentes.

Considerando estos efectos, las técnicas de procesamiento más apropiadas para este problema descritas en [5] son:

1. Discriminación en cruce por cero: También denominado “crossover timing” requiere que la señal tenga una forma bipolar, es decir, que cruce por cero en algún momento del pulso. Aunque la señal posea gran variabilidad en su amplitud para distintos eventos, el tiempo en que cruza por cero se mantiene constante.

Por ende, si se utiliza un discriminador simple ajustado en este nivel se podrá tener una señal de salida libre de “amplitude walk”, pero muy susceptible a las fluctuaciones por ruido electrónico.

2. Discriminación de fracción constante: Empíricamente, se ha comprobado que los discriminadores de voltaje simples poseen mejor desempeño temporal en comparación con los que utilizan el cruce por cero. Además se comprobó que el rendimiento de los comparadores simples es óptimo cuando se utiliza un umbral correspondiente al 10-15% de su amplitud máxima [5]. Esto llevó a la creación de una técnica en la cual se produce un pulso de salida cada vez que la señal de entrada alcanza una fracción constante de su amplitud final, siempre y cuando los pulsos de entrada mantengan la misma forma. Gracias a esta técnica, se puede tener un gran rango dinámico en la entrada, con todas las buenas características temporales de la discriminación por nivel de voltaje, eliminando completamente la dispersión por “amplitude walk” [5].

2.1.4. Compensación temporal de geometría

En la sección 1.2 se planteó la construcción de planos centelladores de grandes dimensiones para el sistema de disparo. Estrategias exitosas para abarcar este desafío incluyen discretizar estos planos en secciones mucho más pequeñas de detectores centelladores con buena resolución temporal, o bien disponer de largos cilindros o losas de centelladores, con electrónica en ambos extremos y luego aplicar técnicas de compensación temporal para las diferencias de tiempo en la propagación de luz. El primer acercamiento posee la mayor cantidad de desventajas ya que una matriz de detectores pequeños es bastante costosa, difícil de configurar y operar. Además, requiere una gran cantidad de dispositivos fotomultiplicadores y electrónica para cada detector [6].

En el trabajo reportado en [6] se propone un método de compensación temporal para un detector cilíndrico con dimensiones de 18.2[cm]x25.4[cm]x28.6[cm] utilizado en la detección de neutrones en reacciones nucleares. En este artículo se demuestra que el tiempo total de desplazamiento de los fotones a través del centellador se puede calcular utilizando los tiempos de recepción en los extremos del detector, tal como se muestra en la siguiente ecuación:

$$T = \frac{1}{2}(t_1 + t_2) - \chi(n, L, f) \quad (2.1.1)$$

Donde $t_{1,2}$ corresponde a los tiempos de recepción en los extremos y $\chi(n, L, f)$ un factor de corrección que depende únicamente de el índice de refracción, la longitud total y un factor geométrico dado por la forma del centellador.

Posteriormente en [7] utilizando este mismo acercamiento para detectores de gran volumen, se plantea un circuito electrónico capaz de procesar de manera analógica

las señales de recepción en los extremos, con el fin de generar un pulso de salida que tenga las características de la ecuación anterior. Este circuito utiliza dos fuentes de corriente activadas por voltajes de entrada, un condensador para la integración de esta corriente y un discriminador de nivel simple. La señal de salida de este circuito tiene un canto de subida ubicado temporalmente en el promedio de los cantos en la entrada, más un retardo proporcionado por el circuito.

La electrónica planteada [6] y [7] es bastante antigua, por lo que se tomará este concepto como base para desarrollar un circuito completamente nuevo que realice la compensación temporal.

2.1.5. Arreglos lógicos digitales

La etapa final del proyecto corresponde a preparar la señal final de disparo utilizando un arreglo lógico programable. La idea es que este arreglo lógico tome las salidas de los detectores ubicados en la capa superior e implemente una compuerta lógica OR, repita este esquema con las señales de la capa inferior y finalmente, haga coincidencia con una compuerta AND. Todo esto para asegurar que la partícula se haya detectado en ambos planos y así emitir una señal de disparo confiable.

Los trabajos [8] y [9] tratan temas de implementación de sistemas digitales para estas aplicaciones utilizando FPGA. Se utilizan técnicas similares a las descritas en los puntos anteriores. En [9] se presenta la electrónica desarrollada para un escáner de alta resolución utilizado en la tomografía por emisión de positrones (PET). Este detector consiste en un arreglo de casi sesenta mil cristales centelladores donde las señales provenientes de estos fotomultiplicadores se procesan usando un circuito integrado de aplicación específica (ASIC) que incluye un discriminador de fracción constante para obtener una marca temporal del paso de una partícula. Luego se digitalizan estos valores usando conversores análogo digitales y son enviados a una FPGA para su posterior análisis.

En [8] se observa una topología muy similar a la que se desea implementar, es decir, ubicando planos centelladores sobre y bajo el detector principal, para luego usar compuertas lógicas dentro de una FPGA para generar una señal de disparo. Este sistema posee varias configuraciones de disparo correspondientes a distintas ubicaciones de los detectores en los planos centelladores, lo cual le da una gran versatilidad al sistema completo.

2.2. Arquitectura propuesta para el proyecto

2.2.1. Disposición del detector

La arquitectura propuesta para el proyecto consiste en un diseño modular de ocho detectores plásticos centelladores de 240×10 [cm], cada uno con su propia electrónica de discriminación y compensación de geometría. Luego el sistema de disparo consiste en un arreglo de estos módulos organizados en forma de dos planos, uno ubicado sobre el detector sTGC y otro bajo él. La señales de salida de los módulos más pequeños se combinan lógicamente para obtener la señal de disparo deseada. Un esquema de los módulos propuestos se pueden observar en la figuras 2.3 y 2.4.

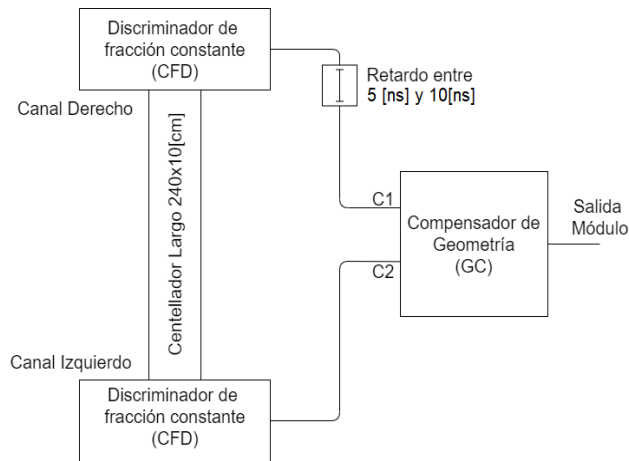


Figura 2.3: Diagrama de bloques para un módulo del sistema.

Cuando una partícula, por ejemplo un Muon, pasa a través del detector ilustrado en la figura 2.3, se emiten fotones con longitud de onda de color azul que se propagan a través del material. Estos fotones interactúan con las fibras ópticas WLS que los desplazan hacia el color verde. Estas fibras recorren todo el detector a lo largo y se concentran en ambos extremos donde se ubicarán MPPC de la serie S13360-3075PE cuyas dimensiones son 3 [mm] \times 3 [mm].

El primer circuito es una etapa de preamplificación que acondiciona el pulso de corriente que entrega el MPPC y lo transforma en una señal de voltaje mediante un amplificador inversor. La siguiente etapa corresponde a un discriminador de fracción constante cuya función es modificar las señales provenientes de los extremos del detector. Como se mencionó en la sección 2.1.3, al utilizar esta técnica se elimina el efecto de “amplitude walk” originado por las características del detector y el MPPC. Las salidas de estos circuitos alimentan directamente un circuito llama-

do compensador de geometría, diseñado para compensar la incertidumbre temporal originada por el tamaño del detector. Este circuito utiliza la técnica de compensación descrita en la sección 2.1.4 y se activa por las salidas de los discriminadores de fracción constante. Posteriormente se ubican todos estos detectores individuales en la configuración que se muestra en la figura 2.4.

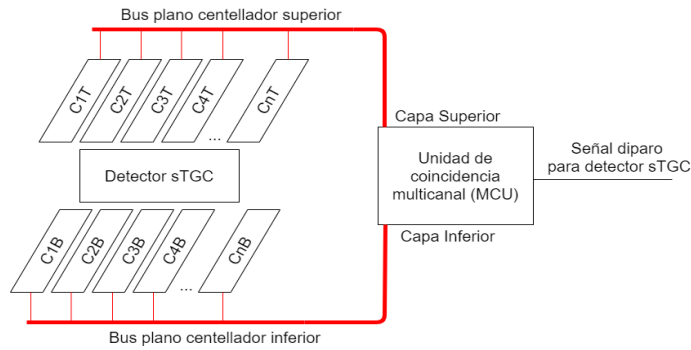


Figura 2.4: Configuración de la conexión lógica para el sistema de disparo.

En la configuración ilustrada en la figura 2.4 se conectan todas sus salidas a una unidad de coincidencia multicanal, cuya función es combinar estas señales a través de compuertas lógicas para lograr un pulso de disparo que permita inferir de forma fidedigna el paso de una partícula a través del detector. Inicialmente se plantea configurar la siguiente función:

$$Trigger = AND[OR\{C_{iT}\}, OR\{C_{iB}\}]$$

Donde el sufijo T indica los detectores del plano superior y el sufijo B los del plano inferior. Esta función implementaría una coincidencia ordinaria entre todo el plano centellador superior y todo el plano inferior. Naturalmente se podrían implementar otras funciones más sofisticadas, si el problema lo requiriera.

2.2.2. Conexiones del hardware

En el siguiente diagrama se muestra el flujo de información y las conexiones entre los distintos módulos a diseñar, así como también las características de las señales de entrada/salida para estos módulos:

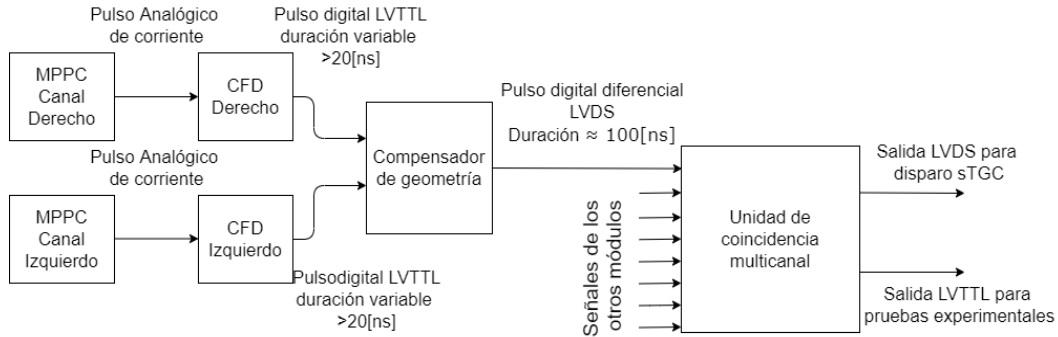


Figura 2.5: Diagrama de conexiones entre los bloques a diseñar.

La información comienza su camino en el centellador, al emitirse fotones después del paso de una partícula. Esta señal luminosa se transmite a través de las fibras WLS y llega los MPPC de ambos canales. En esta etapa comienza el trabajo electrónico propiamente tal. Los MPPC emiten pulsos de corriente con amplitudes que varían entre 0[mA] y 2[mA], según el nivel de energía que la partícula ha depositado en el material. Posteriormente estos pulsos de corriente se acondicionan con un amplificador transistorizado inversor con ganancia elevada, para obtener pulsos de voltaje entre 0[V] y -4[V].

A la señal analógica de voltaje de salida del amplificador acondicionador de señal se le aplica la técnica de discriminación de fracción constante para obtener un pulso de salida LVTTL (entre 0[V] y 3.3[V]) cuya duración es variable y está determinada por la amplitud de la corriente proveniente del MPPC. Este pulso será transmitido por cable en ambos canales al compensador de geometría.

En el siguiente circuito se busca estandarizar la longitud del pulso, por lo que se incluirá un circuito monoestable, con el fin de ajustar esta a un valor cercano a 100[ns]. El compensador de geometría tendrá una salida diferencial LVDS de ± 350 [mV] para la transmisión por cable a media distancia y además salidas LVTTL, NIM y PECL “positive emitter-coupled logic”) diferencial para pruebas y operaciones.

Finalmente las señales LVDS provenientes de otros módulos centelladores llegan a la unidad de coincidencia multicanal, donde se procesan combinatorialmente según los objetivos deseados y se emiten dos salidas: Una LVDS que se conecta directamente al sistema de adquisición del detector sTGC para el disparo y una salida LVTTL para medir con el osciloscopio y hacer pruebas.

DISCRIMINADOR DE FRACCIÓN CONSTANTE

Como se mencionó en la sección 2.1.2, el dispositivo que se encarga de transformar los fotones que se emiten en los plásticos centelladores es el MPPC. La forma de onda de los pulsos de corriente que se obtienen cada vez que un fotón activa el MPPC corresponde a la figura 2.2. Cuando una partícula pasa a través del detector se emiten estos pulsos cuya amplitud depende de la energía que la partícula deposita en el material.

Para el proyecto se utilizarán Muones provenientes de rayos cósmicos, por lo que la distribución de amplitud para los pulsos del MPPC no es conocida. Para obtener una aproximación de esta, se medirá experimentalmente utilizando un montaje con un plástico centellador cuadrado de 10×10 [cm], un MPPC y un circuito de pre-amplificación. En la figura 3.1 se muestran los equipos utilizados en este experimento y en la figura 3.2 la distribución de amplitud medida.



Figura 3.1: Estación de trabajo para el experimento de caracterización de la amplitud de los pulsos de MPPC.

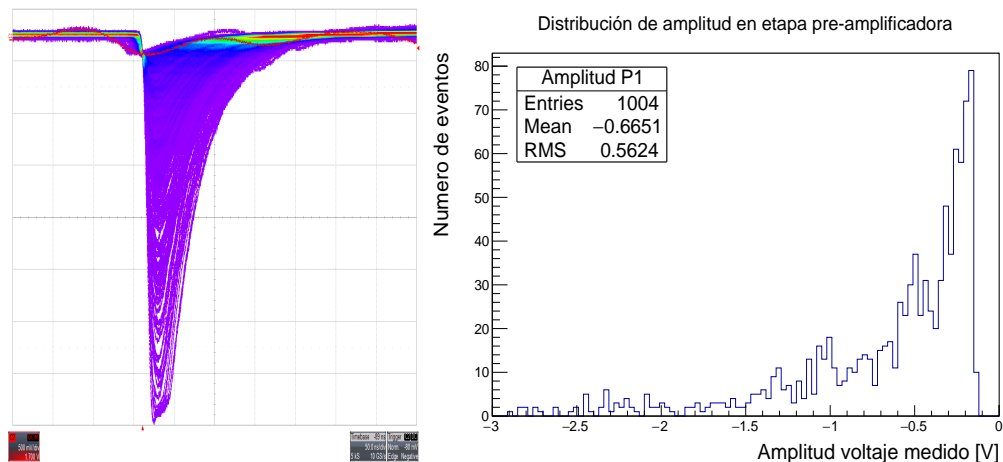


Figura 3.2: Caracterización de los pulsos medidos en el MPPC despues de la etapa de pre-amplificación.a). Imagen de persistencia. b).Distribución de la amplitud de los pulsos. Escala de amplitud: 500[mV/div]. Escala temporal: 50[ns/div].

Como se observa, esta disposición de los pulsos posee gran variabilidad. Para determinar el momento exacto en el cual una partícula pasa a través del detector normalmente se usaría un comparador simple con un umbral de voltaje conocido, ya que este tipo de detección posee excelentes características temporales. Sin embargo no es correcto utilizar un sistema de medición basado en amplitud en este caso,

ya que esta variabilidad se traspasaría a la distribución temporal de la señal de disparo deseada. La estrategia para abordar este problema es utilizar la técnica de discriminación de fracción constante, en la cual se emite un pulso de disparo cuando la amplitud de la señal ha alcanzado una fracción de su amplitud total. Esta técnica posee las siguientes propiedades:

1. El tiempo de la señal de salida es independiente de la amplitud de la señal de entrada, siempre que la forma de los pulsos sean iguales.
2. El rango dinámico de los pulsos que este circuito puede aceptar es bastante mayor que el de un sistema basado en amplitud con un comparador de nivel de voltaje, conservando las buenas características de este sistema, pero sin contar con el fenómeno descrito anteriormente.

El procedimiento para la técnica de discriminación de fracción constante se muestra en la figura 3.3.

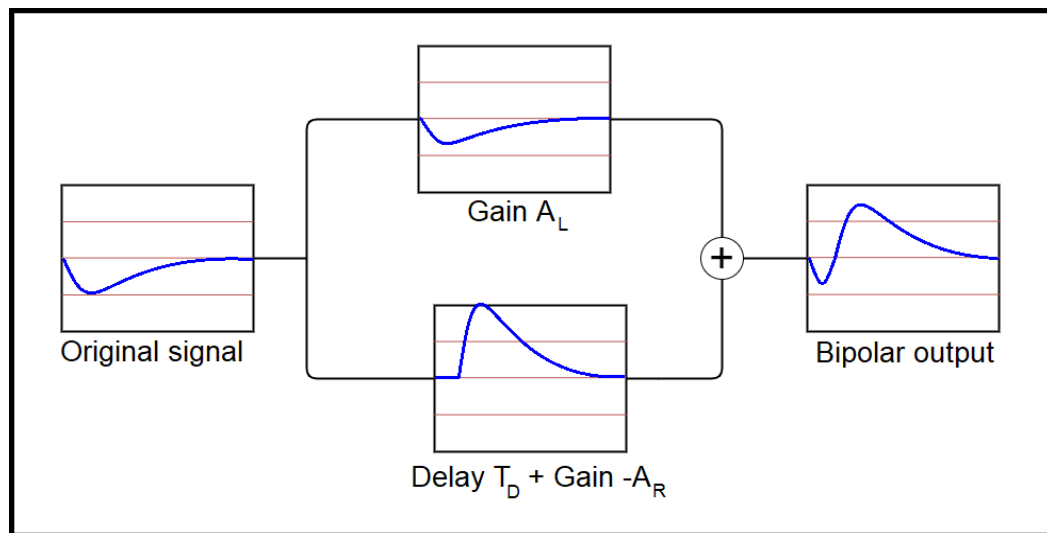


Figura 3.3: Esquema que muestra el procedimiento para realizar la técnica de discriminación de fracción constante.

Los pasos a realizar son los siguientes:

- Se toma la señal de entrada al circuito y se divide en dos ramas
- Una de las ramas se hace pasar por una ganancia A_L y luego a la entrada de un modulo sumador

- La otra rama se pasa a través de una línea de retardo T_D , luego por una ganancia A_R y por último se invierte. Luego se conecta a la otra entrada del módulo sumador.

La discriminación de fracción constante finalmente permite obtener una señal bipolar con la cual se logra reducir los efectos del “amplitude walk”, ya que se emite un pulso de salida cuando la señal cruza por el cero. Sin embargo, la distorsión temporal de la salida aumenta debido al ruido introducido por la electrónica adicional en el procedimiento de acondicionar, sumar y retardar la señal. Se debe notar que la comparación del cruce por cero se hace con un comparador simple de niveles de voltaje, por lo que se debe diseñar una etapa de discriminación adicional para los pulsos obtenidos con el objetivo de eliminar los eventos que emitan señales falsas de salida producidas por el ruido electrónico.

3.1. Diseño del discriminador de fracción constante

El diseño del circuito analógico para el discriminador de fracción constante se ha hecho basándose en los siguientes supuestos:

1. La polarización del MPPC se hace con un circuito aparte que corresponde a un convertidor DC-DC Boost de baja corriente alimentado con 5[V], controlado por un potenciómetro y que se encarga de entregar un voltaje de polarización constante entre 58[V] y 67[V]. Esto es suficiente para alimentar la mayoría de los MPPC a utilizar.
2. La fuente de polarización ya se encuentra implementada en el laboratorio donde se desenvuelve el proyecto, por lo cual no se incluirá el diseño de este convertidor en la descripción de las siguientes etapas.
3. Además de la fuente de alto voltaje se necesita una malla de pre-amplificación que convierta los pulsos de corriente a voltaje con suficiente ganancia para que la amplitud de las señales se encuentre dentro de su rango dinámico. Una malla similar fue diseñada por otra persona en el laboratorio para un experimento anterior y por lo tanto se tomará como referencia para el diseño de este circuito.

A continuación se describe el análisis y diseño de los módulos necesarios para la construcción del discriminador de fracción constante. Los circuitos se representarán mediante esquemáticos usando el software LTSpice, con el cual se realizarán simulaciones para verificar el funcionamiento de estos módulos.

3.1.1. Módulo pre-amplificador

El esquemático de este módulo se muestra en la figura 3.4.

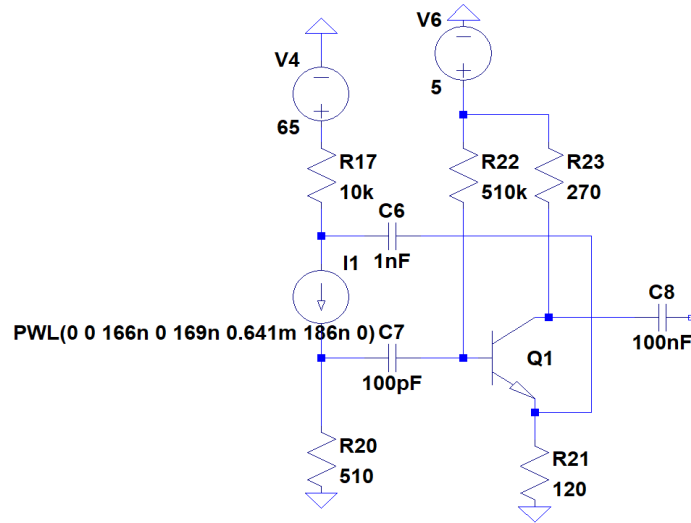


Figura 3.4: Esquemático de los componentes utilizados en el módulo pre-amplificador del discriminador de fracción constante.

Anteriormente se comentó que una vez que el MPPC entra en modo avalancha, se comporta como una fuente de corriente con pulsos como los que se muestran en la figura 2.2. Los dispositivos MPPC que se utilizarán para este proyecto corresponden a la serie S13360-3075PE, que poseen una ganancia aproximada de $4 \cdot 10^7$ electrones por fotón.

Como se explica en [3], un evento de detección por Muones libera aproximadamente entre 20 y 30 fotones por Muon. Desde una perspectiva conservadora, se tendrá que la cantidad de carga que el MPPC es capaz de entregar por cada evento es en promedio:

$$\begin{aligned} Q &= \text{Ganancia} \cdot \text{Número de fotones} \cdot q_e \\ &= 4 \cdot 10^7 \cdot 20 \cdot 1.602 \cdot 10^{-19} = 0.1281[nC] \end{aligned} \quad (3.1.1)$$

La duración promedio de los pulsos provenientes del MPPC es aproximadamente 20[ns]. Para el cálculo de la amplitud del pulso promedio de corriente se supone un pulso cuadrado de amplitud constante, en donde la carga total, obtenida anteriormente, corresponde a la integral de la corriente por este intervalo de tiempo. Dado

que corresponde a un pulso cuadrado la amplitud está dada por:

$$\hat{I} = \frac{0.1281[nC]}{20[ns]} = 0.641[mA]$$

Es importante destacar que esta aproximación se hace para determinar el orden de magnitud de los pulsos de corriente y no toma en cuenta la forma del pulso, ni tampoco sus características temporales.

Para el análisis del circuito primero se considera el punto de operación, desacoplando las distintas etapas del circuito a continua.

$$i_b \approx \frac{5 - v_{be}}{510 \cdot 10^3 + 120 \cdot hfe}$$

Para el calculo se considerará que hfe es aproximadamente 100 y que el voltaje base emisor de este transistor es 0.7[V], valores típicos entregado por la hoja de datos del fabricante. Con estos datos se tiene que $i_b \approx 8.23[\mu A]$

Luego en la malla de colector y emisor, se obtiene la siguiente ecuación utilizando la ley de voltaje de Kirchhoff.

$$5 - 270 \cdot i_c - v_{ce} - 120 \cdot i_e = 0$$

Considerando que i_c y i_e son aproximadamente 100 veces la corriente de la base del transistor se obtiene que $v_{ce} = 4.67[V]$. y por tanto $v_c = 4.78[V]$

En cuanto a la ganancia de corriente/voltaje peak, para esta configuración se tiene que:

$$G = -\frac{\hat{V}_o}{\hat{I}_i} = -\frac{R_{23} \cdot R_{20}}{R_{21}} = \frac{270 \cdot 510}{120} = -1148$$

Por lo tanto a la salida de este módulo, se tiene un pulso de voltaje con la misma forma del pulso de entrada, con polaridad invertida y amplitud máxima de 0.735[V].

3.1.2. Módulo sumador

El esquemático de este módulo se muestra en la figura 3.5

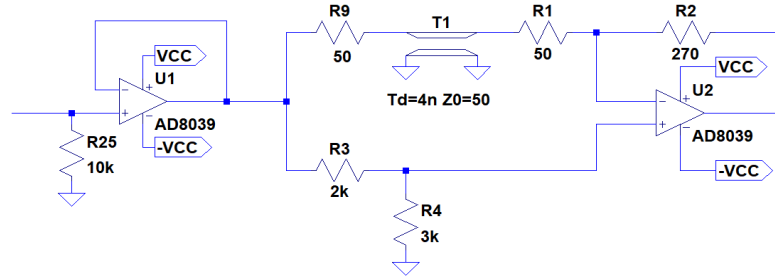


Figura 3.5: Esquemático de los componentes utilizados en el módulo sumador del discriminador de fracción constante.

Dado que la etapa de pre-amplificación posee una salida con seguidor de colector, la entrada de este módulo se diseñó con una resistencia de “pull-down”, ya que por defecto se desea que la entrada de este circuito se encuentre aterrizada. Luego continua con un amplificador seguidor voltaje, que se encarga de mantener la alta impedancia de entrada al circuito y proporcionar mayor capacidad de corriente a las secciones posteriores. Después la señal se separa en dos ramas, una que se alimenta a una línea de retardo, simbolizada con T_1 en la figura 3.5 y se conecta al terminal negativo del modulo sumador. La otra rama se alimenta al terminal no inversor del módulo.

En la configuración que se encuentra el amplificador operacional, la función de transferencia entre los terminales de entrada y la salida está dada por:

$$V_o = \frac{(R_1 + R_9) + R_2}{R_1 + R_9} \frac{R_4}{R_3 + R_4} \cdot V_{i+} - \frac{R_2}{R_1 + R_9} \cdot V_{i-}$$

Donde V_{i+} corresponde al voltaje posterior a la línea de retardo y V_{i-} al voltaje que se encuentra a la entrada de la resistencia R_3 .

Para el diseño de las resistencias se considera lo siguiente:

- Los valores R_1 y R_9 se encuentran restringidos a la impedancia de la línea de transmisión con la cual se realizara el retardo. En este diseño se utiliza un cable coaxial con impedancia característica de $50[\Omega]$ y por lo tanto, estas resistencias se encuentran fijas con ese valor.
- Como se muestra en la figura 3.3, la ganancia asociada a la inversión debe ser mayor a la ganancia del terminal no inversor, de esta forma se garantiza una forma de onda bipolar que comienza con un pulso negativo.

Finalmente, con los valores de las resistencias que se aprecian en la figura 3.5, se tiene la siguiente función de transferencia:

$$V_o = 2.22 \cdot V_{i+} - 2.7 \cdot V_{i-}$$

3.1.3. Comparador con histéresis

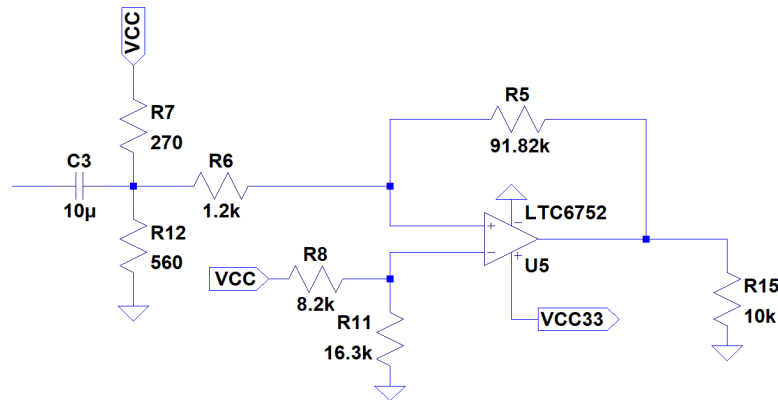


Figura 3.6: Esquemático de los componentes utilizados en el módulo comparador con histéresis del discriminador de fracción constante.

En este módulo el voltaje de entrada es intrínsecamente alterno y su valor promedio es cero. A través de la malla de entrada al comparador se monta la señal proveniente del módulo anterior a un nivel continuo dado por:

$$V_{dc} = V_{cc} \cdot \frac{R_{12}}{R_{12} + R_7}$$

En este caso se usará un voltaje de alimentación de 5[V], por lo que el voltaje DC en el cual se monta la señal es de aproximadamente 3.37[V].

Luego de la malla de entrada se tiene un comparador con histéresis no inversor como el de la figura 3.7

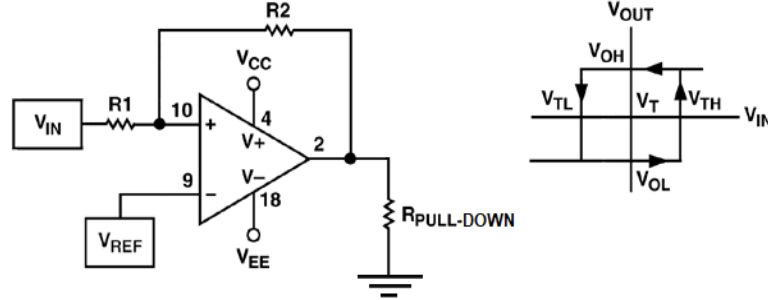


Figura 3.7: Esquema genérico de un comparador con histéresis no inversor.

Que posee la siguiente característica de histéresis:

$$V_{TH} = \frac{(R_1 + R_2) \cdot V_{REF} - R_1 \cdot V_{OL}}{R_2}$$

$$V_{TL} = \frac{(R_1 + R_2) \cdot V_{REF} - R_1 \cdot V_{OH}}{R_2}$$

En esta aplicación, V_{REF} será provista por un divisor de tensión, por lo que estas ecuaciones se pueden escribir en términos de las resistencias de la figura 3.6.

$$V_{TH} = \frac{R_5 + R_6}{R_5} \frac{R_{11}}{R_{11} + R_8} \cdot V_{cc}$$

$$V_{TL} = \frac{R_5 + R_6}{R_5} \frac{R_{11}}{R_{11} + R_8} \cdot V_{cc} - \frac{R_6}{R_5} \cdot V_{OH}$$

Donde $V_{cc} = 5[V]$ y debido a que se utilizará un comparador disponible en el laboratorio, $V_{OH} = 3.3[V]$ y $V_{OL} = 0[V]$.

Se ha diseñado este módulo, con las resistencias de la figura 3.6 para cumplir con las siguientes especificaciones:

$$V_{TH} = 3.37001[V]$$

$$V_{TL} = 3.32688[V]$$

$$\Delta_H = 43.12[mV]$$

De esta forma se asegura el funcionamiento del comparador como se planteó, desechando eventos que produzcan amplitudes del pulso negativo menores a $40[mV]$.

3.2. Simulación del discriminador de fracción constante

Luego de haber diseñado las partes fundamentales del discriminador de fracción constante, se procede a realizar dos simulaciones con el software LTSpice para verificar el funcionamiento y el desempeño de los módulos diseñados. El esquema general para ambos casos se muestra en la figura 3.8.

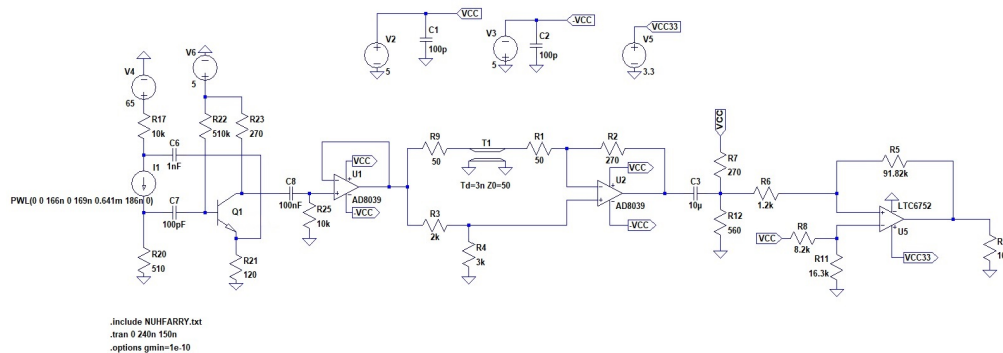


Figura 3.8: Esquemático general para la simulación del circuito discriminador de fracción constante.

Para esta simulación se usaran componentes muy similares a las que se tienen disponibles en laboratorio y que se utilizarán para la construcción de este módulo, por lo tanto se espera que los resultados de estas pruebas sean representativos respecto al funcionamiento del módulo y su desempeño.

Para la polarización de los circuitos se utiliza 5[V], que es un estándar en el diseño de electrónica de este tipo. Para otros circuitos que no utilicen 5[V] se utilizarán reguladores de voltaje lineales.

3.2.1. Simulación de funcionamiento

La entrada al discriminador de fracción constante corresponde a un pulso de corriente proveniente desde el MPPC, cuya amplitud depende de la cantidad de energía que se deposita sobre el plástico centellador y de la cantidad de fotones que llegan al MPPC. Como se mencionó en la sección anterior, este número es aproximadamente 20 fotones en promedio por evento.

Para la simulación se utilizara un pulso de entrada como el de la figura 3.9.

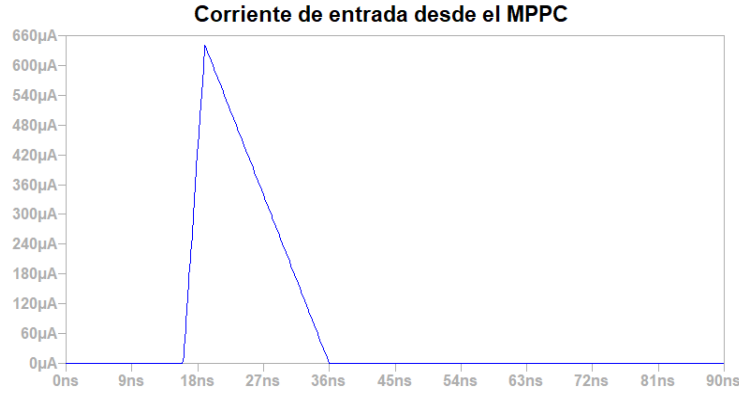


Figura 3.9: Forma de onda del pulso de entrada desde el MPPC hacia el discriminador de fracción constante en simulación de funcionamiento.

En la salida del módulo de pre-amplificación se obtiene la siguiente señal:

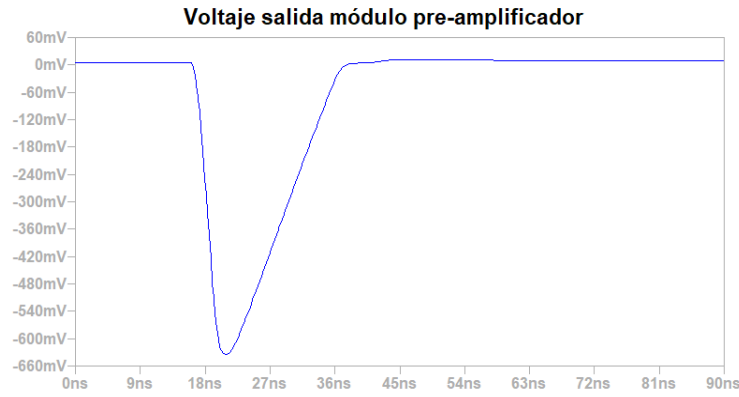


Figura 3.10: Forma de onda de la señal de salida proveniente del modulo pre-amplificador en simulación de funcionamiento

Se puede ver que corresponde a la misma señal de entrada invertida, con una ganancia aproximada de:

$$G = \frac{I_{in}}{V_{out}} = \frac{700[mV]}{641[\mu V]} = 1092$$

La cual es muy cercana a lo que se planteó con el diseño de este módulo en la sección 3.1.1.

Posteriormente se verifica el funcionamiento del circuito sumador cuya entrada es la señal de la figura 3.10. Las señales pertinentes se muestran en las figuras 3.11 y 3.12

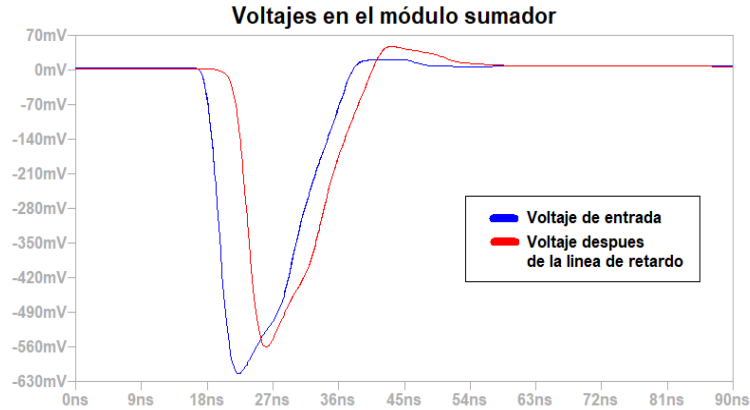


Figura 3.11: Voltajes dentro del módulo sumador para la simulación de funcionamiento. La señal en azul corresponde al voltaje posterior al amplificador de entrada. La señal en rojo corresponde al voltaje posterior a la línea de retardo.

En esta figura se observa el funcionamiento de la línea de retardo utilizada en la técnica de fracción constante, modelada por una línea de transmisión ideal en el software LTSpice. La caída de tensión se produce por la resistencia de $50[\Omega]$ introducida en la entrada de la línea de transmisión para lograr adaptación de impedancias en la salida y entrada de esta línea de retardo.

En la figura 3.12 se puede apreciar la forma de onda bipolar lograda por el módulo sumador y también el voltaje de salida del discriminador de fracción constante:

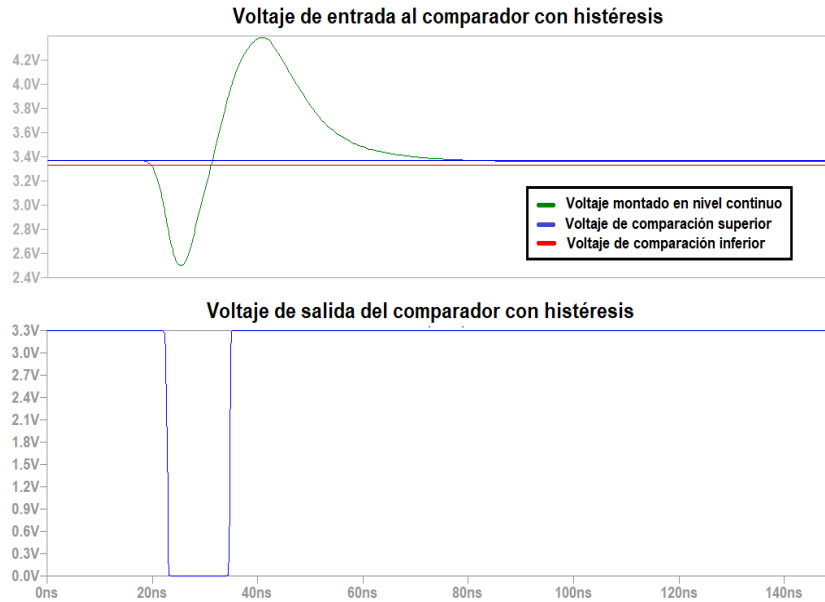


Figura 3.12: Voltaje de salida del comparador con histéresis para la simulación de funcionamiento.

La principal diferencia que se observa con respecto a lo planteado en la sección de diseño, es que la amplitud del pulso no corresponde a la función de transferencia diseñada. La señal se encuentra atenuada por un factor menor que uno. Posiblemente dado por el ancho de banda del operacional utilizado en la simulación.

También se verifica que la señal de salida del módulo sumador está montada en un nivel continuo de 3.37[V], así como también que los voltajes de comparación referentes a la histéresis corresponden a:

$$V_{TH} = \frac{91.82[k\Omega] + 1.2[k\Omega]}{91.82[k\Omega]} \cdot 3.3276[V] = 3.37108[V]$$

$$V_{TL} = \frac{91.82[k\Omega] + 1.2[k\Omega]}{91.82[k\Omega]} \cdot 3.3276[V] - \frac{1.2[k\Omega]}{91.82[k\Omega]} \cdot 3.3[V] = 3.32795[V]$$

$$\Delta_H = 43.13[mV]$$

Lo que corresponde a lo diseñado en la sección anterior.

En cuanto a la operación de la lógica de histéresis, se corrobora su funcionamiento considerando lo planteado en la sección de diseño, se produce un canto positivo en la señal de salida cuando se detecta un cruce por cero en la señal bipolar acondicionada por el módulo sumador.

Al comparar las figuras 3.9 y 3.12 se puede encontrar el retardo medio de este sistema de electrónica, considerando que el pulso simulado de corriente corresponde al momento en donde una partícula atraviesa el detector y comienza en el tiempo de simulación $t = 16[\text{ns}]$. En el caso de la salida, el canto de subida ocurre aproximadamente en $t = 31.11[\text{ns}]$ por lo que el retardo corresponde a $15.11[\text{ns}]$.

3.2.2. Simulación de desempeño

A continuación se planea verificar la eficacia de los módulos diseñados, midiendo el retardo medio y su fluctuación entre eventos de variada amplitud, que se muestran en la figura 3.13. Se utilizarán 4 pulsos de corriente, con amplitudes entre $0.2[\text{mA}]$ y $1[\text{mA}]$, considerando que el promedio estadístico para estos eventos corresponde a una amplitud de $0.641[\text{mA}]$.

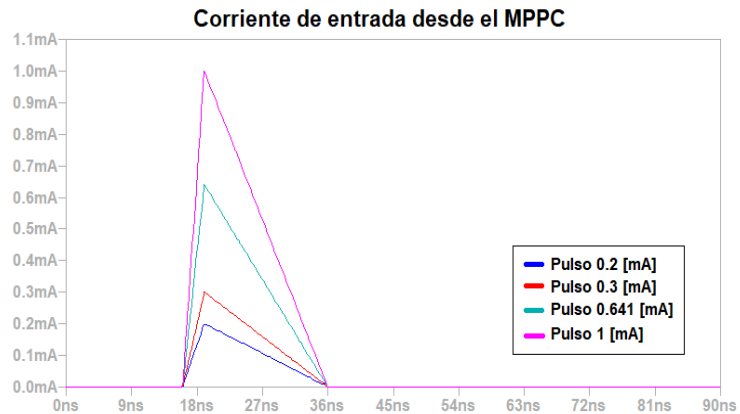


Figura 3.13: Señal de entrada al circuito discriminador de fracción constante para la simulación de desempeño.

En la figura 3.14 se observan las formas de onda superpuestas en la salida del módulo sumador.

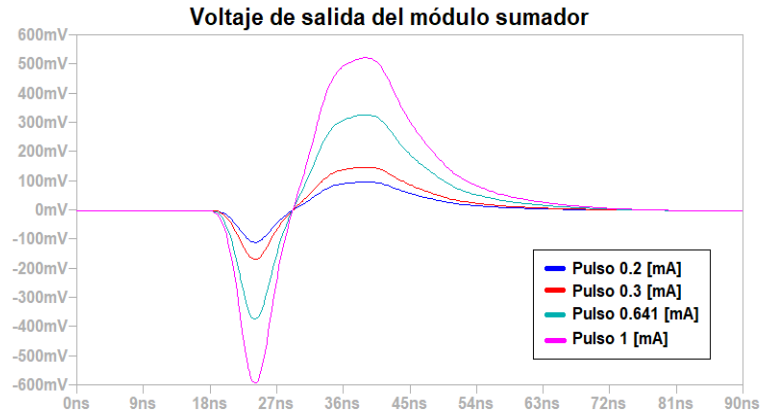


Figura 3.14: Voltaje de salida del módulo sumador para la simulación de desempeño

Se verifica que el sistema simulado responde bien a los pulsos de distinta amplitud impuestos en la entrada del discriminador de fracción constante. Se obtuvieron pulsos bipolares que cruzan por el umbral de voltaje promedio (0mV) con una diferencia temporal de 106ps para los eventos más alejados entre sí.

En la figura 3.15 se encuentra la forma de onda para el pulso de salida del discriminador de fracción constante.

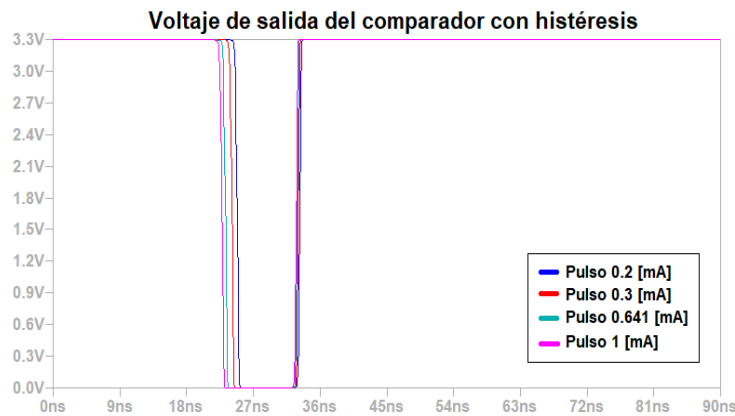


Figura 3.15: Señal de salida del módulo comparador con histéresis para la simulación de desempeño.

Como se mencionó anteriormente, solo el canto de subida del pulso es de interés ya que se diseñó el circuito comparador con histéresis con el objetivo de emitir un

pulso cuando la señal bipolar de entrada cruza por 0[V] al cambiar su polaridad de negativa a positiva. Para este circuito diseñado, se logra una fluctuación de 508[ps] en el pulso de salida, considerando amplitudes de la señal de entrada entre 0.2[mA] y 1[mA].

3.3. Diseño e implementación de circuito impreso (PCB) en software Altium Designer

A continuación se detalla el proceso de construcción del discriminador de fracción constante, considerando como parte de la implementación la elección de los componentes a utilizar, la definición de los voltajes de operación y el trazado de pistas para una placa de circuito impreso (PCB). Se utiliza el software de diseño Altium Designer, pues es el que se encuentra disponible en el laboratorio donde se ha desarrollado este trabajo.

3.3.1. Módulo pre-amplificador

El esquemático para este diseño es muy similar a lo expuesto en la sección 3.1. En esta implementación se ha considerado el uso de filtros en la polarización de los componentes para lograr mayor estabilidad de estos voltajes y mayor inmunidad al ruido proveniente desde fuentes externas.

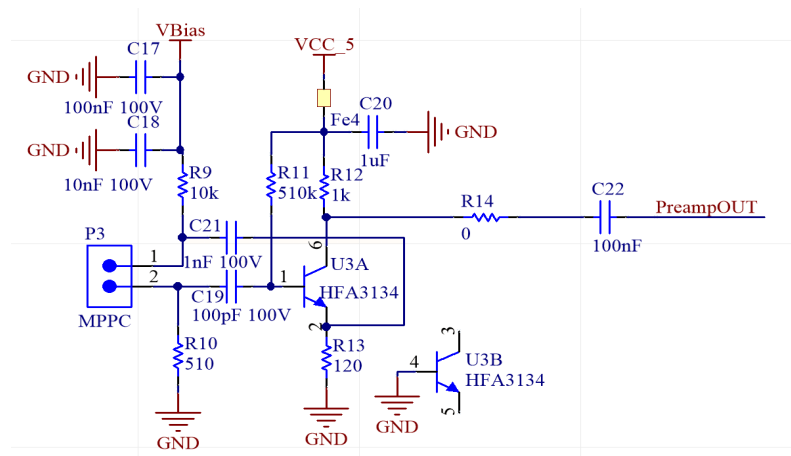


Figura 3.16: Esquemático del módulo pre-amplificador en el software Altium Designer.

Recordar que el voltaje $VBias$ corresponde al potencial de operación del MPPC, que ronda entre los 58[V] y 70[V] y es provisto por la fuente de alto voltaje externa

Nombre integrado	MAX4392
Descripción	Amplificador operacional de alta velocidad
Ancho de banda (-3[dB])	85[MHz]
Velocidad de subida	500[V/ μ s]
Capacidad de corriente	± 50 [mA]
Rango de salida	<i>rail to rail</i>
Impedancia de salida	0.6[Ω]

Tabla 3.1: Especificaciones del circuito integrado MAX4392 utilizado en el módulo sumador.

3.3.3. Módulo comparador con histéresis

En la figura 3.18 se observa el esquemático del módulo comparador con histéresis. Los circuitos integrados utilizados para la construcción de este módulo son el comparador MAX9011 y amplificador de ganancia fija EL5106, cuyas principales características se muestran en las tablas 3.2 y 3.3.

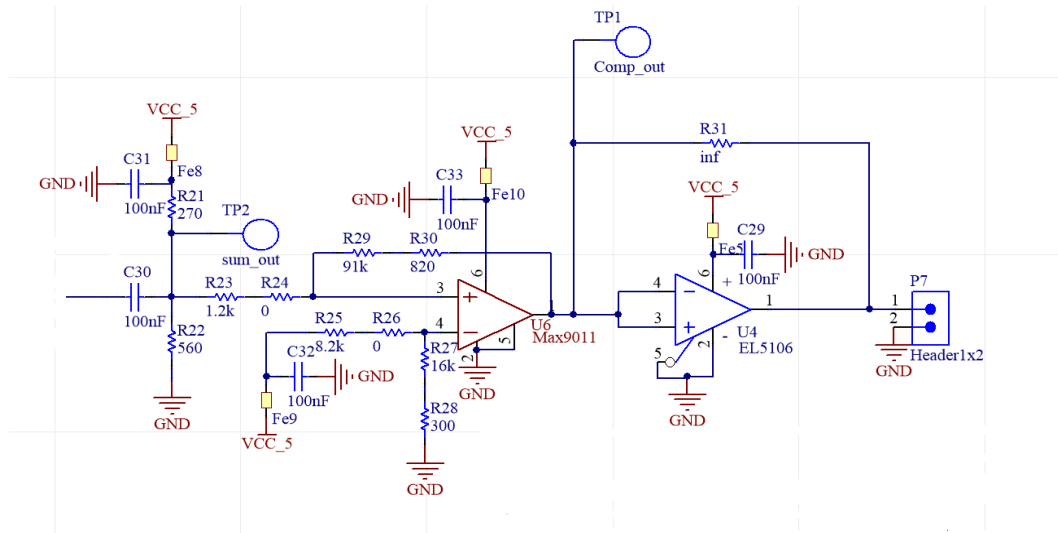


Figura 3.18: Esquemático del módulo comparador con histéresis en el software Altium Designer.

Nombre integrado	MAX9011
Descripción	Comparador TTL de alta precisión y velocidad
Retardo de propagación	5[ns]
Ganancia de voltaje	3[V/mV]
Capacidad de corriente	± 40 [mA]
Tipo de salida	LVTTL 3.3[V]
Impedancia diferencial de entrada	250[k Ω]

Tabla 3.2: Especificaciones del comparador MAX9011 utilizado en el módulo comparador con histéresis.

Nombre integrado	EL5106
Descripción	Amplificador de ganancia fija y alta velocidad
Ancho de banda (-3[dB])	350[MHz]
Velocidad de subida	4500[V/ μ s]
Capacidad de corriente	± 50 [mA]
Rango de salida	VCC-1[V]
Impedancia de salida	0.2[Ω]
Ganancia	1[-]

Tabla 3.3: Especificaciones del amplificador integrado de ganancia fija EL5106 utilizado en el módulo comparador con histéresis

Se incluyen las resistencias R30, R28, R26 y R24 con el fin de dar mayor holgura para modificaciones de la función de transferencia de la histéresis una vez que se han montado las placas de circuitos impresos, considerando que este módulo es esencial para el desempeño del discriminador de fracción constante.

Se decide utilizar el amplificador EL5106 para obtener una mayor capacidad de corriente en la salida de esta PCB ya que se utilizarán pares trenzados, con impedancia de 100[Ω] y un largo aproximado de 1[m] para la conexión con las etapas posteriores.

Finalmente, en las figuras 3.19 y 3.20 se muestran los diagramas de construcción para la PCB diseñada anteriormente.

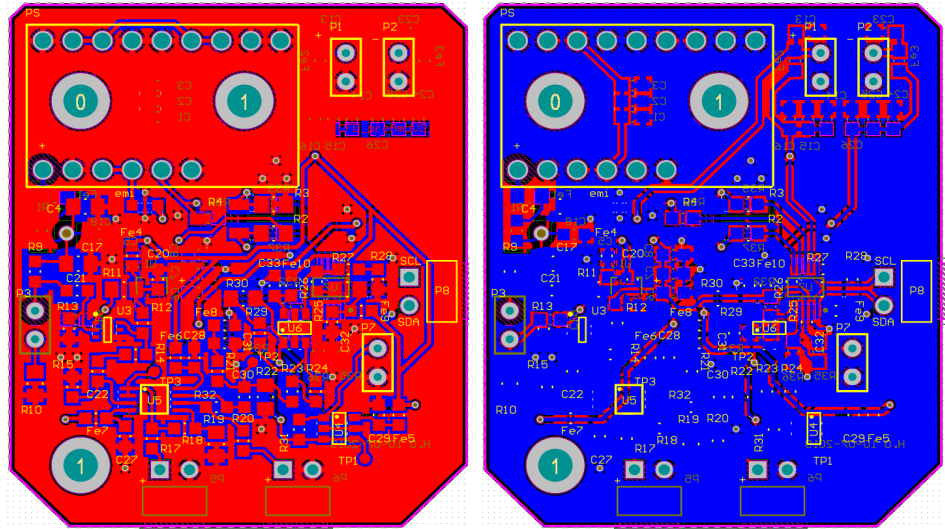


Figura 3.19: Vista del trazado de componentes y pistas en el diseño del circuito impreso correspondientes al discriminador de fracción constante en el software Altium Designer.

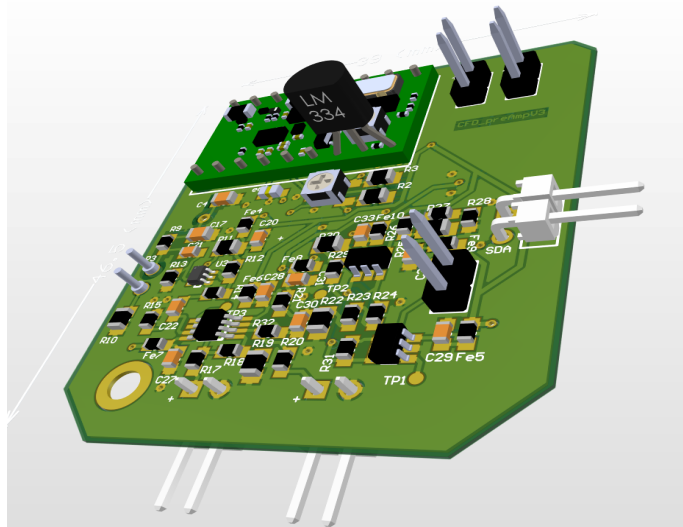


Figura 3.20: Vista tridimensional de la placa de circuito impreso para el discriminador de fracción constante provista por el software Altium Designer.

COMPENSADOR DE GEOMETRÍA

Continuando con el diseño del sistema de disparo, es necesario considerar la forma y tamaño del plástico centellador que se utilizará. En este caso, como se menciona en el capítulo 2, la idea es construir grandes planos centelladores empleando sectores rectangulares de $240 \times 10 [\text{cm}^2]$. En los extremos de cada sector se ubicará un discriminador de fracción constante con su electrónica correspondiente. El problema surge al considerar la velocidad de los fotones que se mueven a través del material centellador (que suele ser una fracción considerable de la velocidad de la luz en vacío) con la longitud de este mismo. Para explicar de mejor manera este problema, en la figura se presenta una situación hipotética:

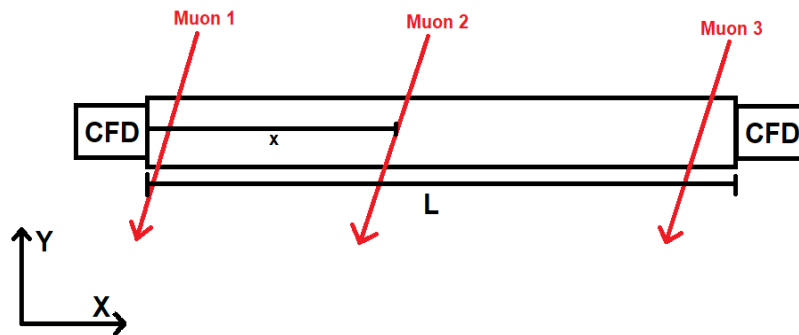


Figura 4.1: Esquema de funcionamiento del detector centellador largo.

El objetivo del sistema es proveer una señal de disparo que represente fidedignamente el tiempo del paso de una partícula a través del arreglo de detectores, en esta situación se poseen tres particular: Muon uno, dos y tres. Ubicados en distintos sectores del centellador: uno en el centro y los otros dos en los extremos. Como se mencionó, la salida del sistema completo corresponde solamente una señal,

por lo que se debe elegir entre ambos extremos. Si se elige tomar la señal correspondiente al discriminador de fracción constante del extremo derecho en el caso de que pase una partícula en el lugar de Muon tres, se obtendrá una muy buena respuesta ya que se activa la electrónica de ese lado con gran rapidez. Sin embargo, en el caso de que suceda una situación similar a la descrita en la figura por el paso de Muon 1, la luz correspondiente a esta partícula debe viajar a través de todo el plástico centellador para ser detectada. Al considerar la velocidad de la luz en este medio se obtiene jitter en el tiempo de respuesta del sistema del orden de decenas de nanosegundos, lo cual no es deseado para esta aplicación.

Entonces, es necesario disponer de un dispositivo (o circuito), que pueda tomar las señales de las salidas de los discriminadores de fracción constante que se ubican en los extremos del detector y las procese para emitir un pulso representativo del paso de una partícula a través del centellador con variabilidad temporal reducida, independizando el retardo de la respuesta con respecto a la posición de incidencia. A este dispositivo se le llama compensador de geometría y su diseño se discute a continuación, considerando el modelado matemático de la transmisión física de la luz y la electrónica para el procesamiento de las señales:

Primero se considera que para este sistema físico se tienen solo dos cantidades que son constantes sin importar el caso: la longitud total del detector (que en este caso se llama L) y la velocidad de propagación de los fotones dentro del material centellador, que para efectos del modelado matemático se denomina v .

Ahora suponer que un Muon pasa a través del detector en el instante de tiempo t_0 , a una distancia x del extremo izquierdo. Considerando que fenómenos asociados son aleatorios, se puede calcular el tiempo promedio que se demoran los fotones en llegar desde el lugar de impacto hacia el discriminador de fracción constante del extremo izquierdo es:

$$t_1 = t_0 + \frac{x}{v}$$

Dado que la longitud del detector es constante, el tiempo promedio en que se demora en llegar al extremo derecho es:

$$t_2 = t_0 + \frac{L - x}{v}$$

Sumando estos dos tiempos se obtiene un tiempo $t^* = 2t_0 + t_d$, donde t_d es tiempo total de propagación de la luz a través de todo el detector. El tiempo t_d entonces es independiente de la posición por la cual el Muon pasó. Sin perder la generalidad, se puede asumir que esta ecuación se cumple para cualquier posición, entregando

una medida efectiva y correcta del tiempo en el cual efectivamente pasó la partícula, aunque con un poco más de retardo.

Entonces el desafío que surge para este circuito es la implementación electrónica de la lógica anteriormente descrita.

4.1. Diseño del compensador de geometría

Para lograr lo propuesto se aprovecha la ley fundamental de conservación de carga en los circuitos eléctricos, conocida como la ley de corrientes de Kirchhoff. La idea a grandes rasgos es utilizar los pulsos provenientes de los discriminadores de fracción constante ubicados en cada extremo del detector para activar fuentes de corriente independientes por cada canal. Estas fuentes se conectarán directamente a un condensador, al que se denominará condensador principal, cuya función será “sumar” las cargas transferidas por estas corrientes. Posteriormente se establece un punto de comparación adecuado, considerando que los pulsos provenientes de los detectores son de duración fija. Esto se logra mediante el uso de osciladores monoestables.

A continuación se detallan los módulos considerados para el diseño del compensador de geometría.

4.1.1. Módulo Monoestable de entrada

Este módulo corresponde a una adaptación de los pulsos provenientes de los discriminadores de fracción constante. La longitud del pulso originado por el discriminador depende fuertemente de la forma que posee la señal bipolar del módulo sumador y por lo tanto puede ser muy variable entre distintos eventos. Por lo tanto estos pulsos se estandarizan a una duración constante mediante el uso de osciladores monoestables disparados al mismo tiempo que el pulso del discriminador de fracción constante. El diagrama para este módulo se muestra en la figura 4.2.

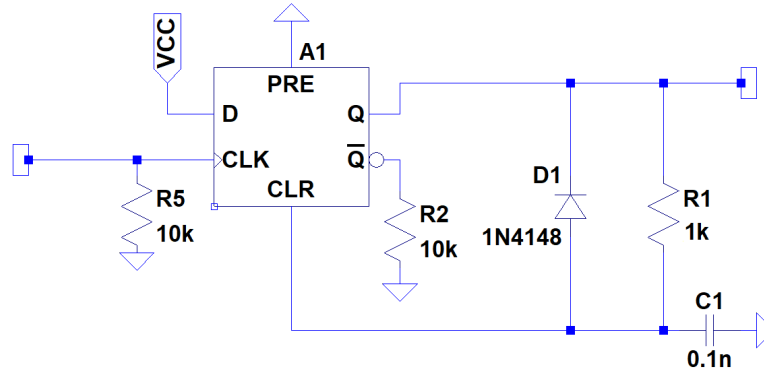


Figura 4.2: Esquemático de los componentes utilizados en el módulo monoestable del compensador de geometría.

El circuito utiliza como elemento principal un flip-flop tipo D. La salida de este componente corresponde a el valor de la entrada D, que se actualiza en cada canto positivo del reloj. En esta configuración la entrada D se conecta directamente al voltaje de polarización y la salida del comparador con histéresis hace de reloj. Cuando ocurre una detección exitosa en el discriminador de fracción constante, la salida Q toma el valor lógico uno, en este caso 3.3[V] y comienza a cargar el condensador C1 a través de la resistencia R1. Cuando esta alcanza a cargarse al 63% de su valor final (al cabo de una constante de tiempo $\tau = R1 \cdot C1$), la entrada CLR se activa y la salida Q retorna a su valor estable de 0[V].

Con los valores escogidos para R1 y C1, se tiene una constante de tiempo igual a $\tau = 100[\text{ns}]$. Entonces, cada vez que se detecte un pulso en la entrada, este módulo emitirá un pulso rectangular, de amplitud 3.3[V] y de 100[ns] de duración.

4.1.2. Módulo de reinicio

El objetivo del módulo de reinicio es permitir la carga o descarga del condensador principal según una combinación específica de las entradas al compensador de geometría. Se permite la descarga del condensador principal en caso de que cualquier entrada (canal derecho o izquierdo) se encuentre en alto, es decir en 3.3[V]. La carga del condensador al voltaje de polarización sera solamente cuando ambos canales se encuentren en el nivel lógico cero. El esquemático para este módulo se muestra en la figura 4.3.

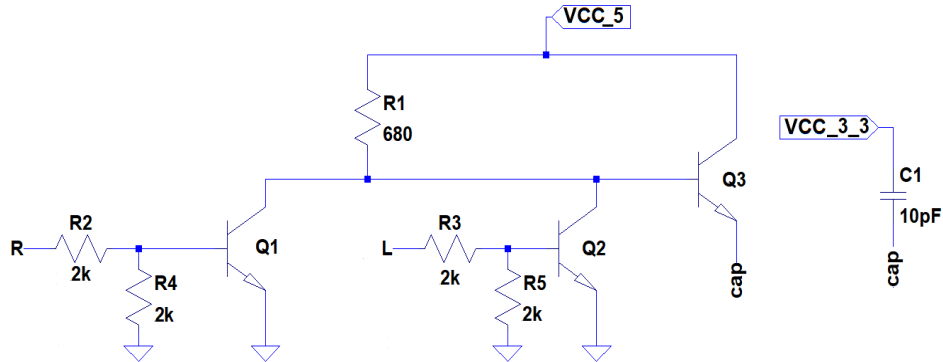


Figura 4.3: Esquemático de los componentes utilizados en el módulo de reinicio del compensador de geometría.

El principio de funcionamiento del circuito es que cuando las señales de entrada de los canales derecho e izquierdo se encuentran en el nivel lógico cero, los transistores Q1 y Q2 se encuentran en corte, con lo cual se desconectan del circuito. Por esta razón el transistor Q3 conduce, conectando uno de los terminales del condensador C1 a VCC_5 y permitiendo que se cargue rápidamente a este voltaje. Si alguno de los canales de entrada se encuentra en un nivel lógico alto, es decir, 3.3[V], los transistores Q1 o Q2 conducen en zona de saturación, drenando toda la corriente del nodo base del transistor Q3 y haciendo que entre en zona de corte, desconectando este módulo del resto del circuito.

Se elige un valor de 10[pF] para el condensador principal ya que se necesita una respuesta rápida por parte del circuito para minimizar el retardo y también debido a que este valor corresponde a una serie estándar que se encuentra disponible en el laboratorio.

4.1.3. Módulo de descarga por fuentes de corriente

Este modulo es el elemento primordial dentro del compensador de geometría y se encarga de descargar el condensador principal según el estado de los canales derecho e izquierdo. El esquemático donde se describe la conexión de los componentes de este módulo se muestra en la figura 4.4.

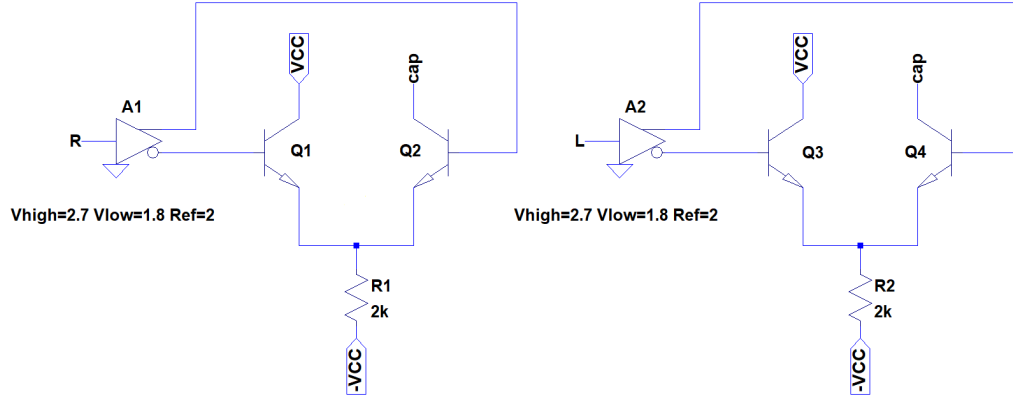


Figura 4.4: Esquemático de los componentes utilizados en el módulo de descarga del compensador de geometría.

En la figura 4.4 los elementos A1 y A2 corresponden a traductores de niveles lógicos diferenciales, que trabajan con entradas de terminal único LVTTTL (entre los niveles de voltaje 3.3[V] y 0[V]) y dos salidas diferenciales con lógica LVPECL (entre 2.7[V] y 1.8[V]). Cuando la señal de entrada del canal derecho o izquierdo se encuentran en 0[V], el terminal inversor del traductor se encuentra a mayor potencial que su par no inversor y por tanto el transistor Q1 (o Q3) se encuentra en zona de conducción, mientras que su compañero Q2(o Q4) se encuentra en corte, de esta forma se produce una corriente que atraviesa Q1 dada por:

$$i_{e12} = \frac{2V_{cc} - V_{sat}}{R_1}$$

Y el condensador principal permanece desconectado de este módulo.

Cuando el canal derecho o izquierdo se activan independientemente, ocurre lo contrario a lo descrito anteriormente y los transistores que conducen corresponden a Q2 y Q4, por los cuales pasa la misma corriente i_{e12} , descargando el condensador a una pendiente constante dada por:

$$\frac{\Delta v_c}{\Delta t} = \frac{i_{e12}}{C}$$

Cuando los canales derecho e izquierdo se activan a la vez, es decir, hay coincidencia en el detector principal, se activan ambas fuentes de corriente a la vez, provocado que el condensador principal se descargue dos veces más rápido. En esta configuración, siempre que haya una coincidencia en el detector principal ambos canales se

activarán. Usualmente esto pasará en tiempos levemente distintos, según la posición relativa a cada extremo por el cual la partícula ha pasado, pero siempre habrá un punto donde ambas fuentes de corrientes estén activas al mismo tiempo y el condensador se descargue con la corriente $2 \cdot i_{e12}$. De esta forma si se elige un punto de comparación inteligente, según el tiempo máximo que toma a los fotones dentro del plástico centellador llegar a los detectores, se puede obtener un pulso cuyo tiempo de activación sea proporcional a la suma de los tiempos de los pulsos provenientes de los canales, siendo este constante y eliminando el efecto de incertidumbre dado por el tamaño del detector.

Finalmente se escogen las resistencias R_1 y R_2 de la figura 4.4 tal que las fuentes de corrientes tengan una descarga de 2.5[mA], que en conjunto con el condensador principal de 10[pF] se tenga una pendiente de bajada de 0.25[V/ns].

4.1.4. Módulo comparador y lógica de salida

Este módulo se encarga de emitir un pulso rectangular según la comparación del voltaje del condensador principal y un nivel definido de umbral. También permite acondicionar las salidas del compensador de geometría para satisfacer los requisitos de diseño iniciales (Salidas LVTTL, NIM y LVDS). Su esquemático se muestra en la figura 4.5.

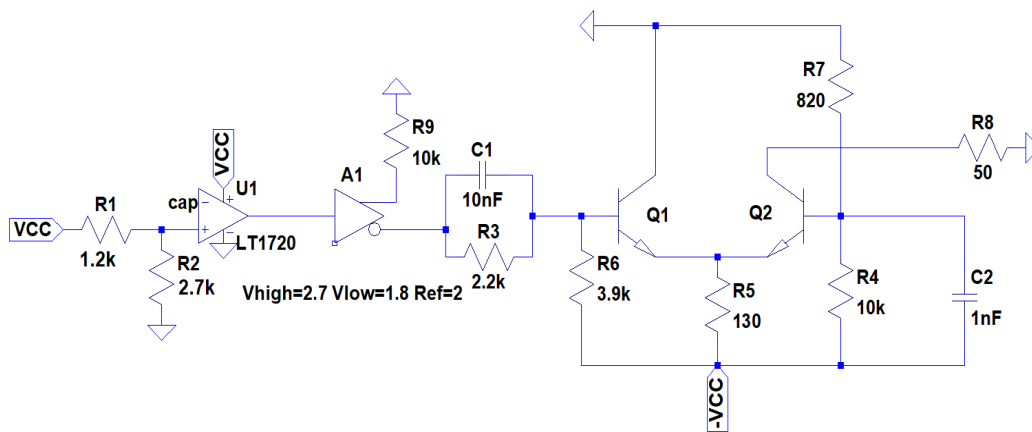


Figura 4.5: Esquemático de los componentes utilizados en el módulo comparador de salida del compensador de geometría.

El voltaje del condensador se ubica en el terminal negativo de un comparador simple y se compara con 2.3[V], que ha sido elegido a partir de la simulación para reflejar de mejor manera el punto óptimo que logra la suma de los tiempos de am-

bos pulsos. Cuando este voltaje sea menor que 2.3[V], el comparador cambiará de estado mediante un canto de subida a 3.3[V] (naturalmente, cuando el condensador se cargue a su valor máximo el comparador cambiará de estado con un canto de bajada, finalizando un evento).

La salida del comparador alimenta también al mismo traductor LVTTL-LVPECL del mismo tipo que el usado en el módulo de descarga. La salida inversora de este traductor alimenta a otro circuito traductor LVPECL-NIM. Recordar que NIM es un estándar de corriente que consiste en niveles de corriente -16[mA] y 0[A] para los niveles lógicos ON y OFF respectivamente, lo que se refleja en voltajes -0.8[V] y 0[V] en una impedancia de entrada de 50[Ω].

El circuito utilizado para el traductor LVTTL-NIM se diseñó en base al esquemático provisto en [10], que corresponde a un manual con la descripción de los circuitos utilizados en un traductor LVTTL-NIM comercial. Para realizar la traducción de niveles lógicos se utiliza el mismo procedimiento que se usó para el módulo de descarga. Cuando se detecta una coincidencia exitosa en el comparador, la salida inversora se hace más positiva y por esto el transistor Q2 conduce, y extrae una corriente dada por:

$$i_2 = \frac{-V_{cc} + V_{cc} \frac{R_7}{R_7 + R_4} - V_{be}}{R_5}$$

Con el voltaje de alimentación de este circuito ($V_{cc} = 3.3[V]$) y considerando un voltaje base-emisor de 1[V], la corriente que circula a través de R_5 y en la salida de este convertidor es aproximadamente -16[mA]. En caso de que no haya un pulso de entrada (correspondiente a una detección) todos los transistores entran en corte y la corriente de salida es 0[A].

4.2. Simulación del compensador de geometría

Utilizando la misma metodología que en el capítulo del discriminador de fracción constante se realizarán dos tipos de simulaciones. Una simulación de funcionamiento y otra de desempeño. En la primera se probarán que los módulos diseñados funcionan correctamente, mientras que en la última se contrastarán los resultados de estos módulos para distintas combinaciones de entradas según el objetivo que se desea evaluar. En la figura 4.6 se muestra el circuito utilizado para la simulación.

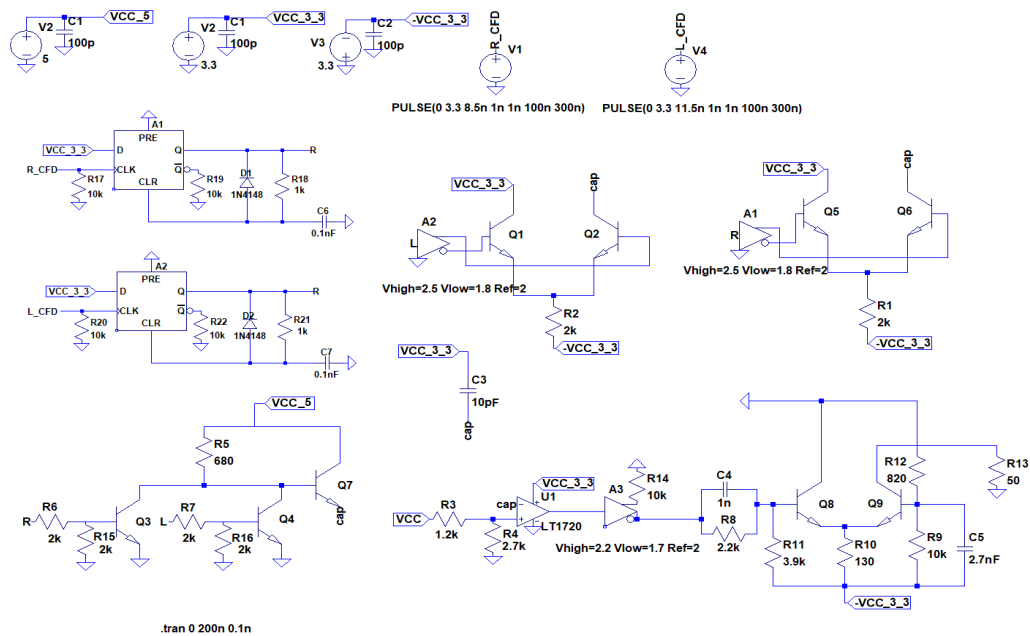


Figura 4.6: Esquemático general, para la simulación del circuito de compensador de geometría

4.2.1. Simulación de funcionamiento

Se simula el módulo de entrada al compensador de geometría, es decir, el módulo monoestable, utilizando la señal de salida del discriminador de fracción constante, que se ve en la figura 4.7.

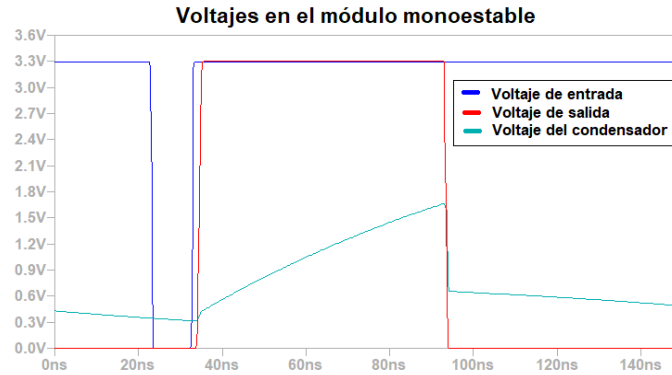


Figura 4.7: Formas de onda relevantes en el funcionamiento del módulo monoestable. En azul se muestra la señal proveniente del discriminador de fracción constante. En verde se muestra el voltaje del condensador del flip-flop. En rojo se observa el pulso de salida del monoestable.

Se verifica que el circuito es capaz de generar un pulso cuadrado de amplitud y duración definida, a partir de un canto positivo de la señal de entrada. Se observa también que la duración del pulso no corresponde al valor diseñado. Esto es porque el nivel de voltaje que el cual se activa el mecanismo de reinicio de este integrado es menor al 63% del voltaje de polarización como se planteó en la sección 4.1.1. Este fenómeno solo se observa en la simulación y es irrelevante para las etapas posteriores.

En la figura 4.8 se muestra un gráfico de las entradas y la salida del módulo de reinicio. Se entiende por salida del módulo, al voltaje de base del transistor Q_3 de la figura 4.3. En el gráfico se puede apreciar que este transistor entra en zona de corte inmediatamente después que se activa la señal del canal derecho (aunque el mismo análisis es válido para el canal izquierdo si este se activara antes). Esto permite el libre funcionamiento de los demás módulos. Cuando ambas entradas se encuentran en el nivel lógico bajo, el voltaje de este transistor tras un pequeño retardo comienza a subir, logrando que la salida de este módulo se sature en V_{CC_5} , lo que impone la carga del condensador principal, elevando el voltaje de este nodo a 5[V].

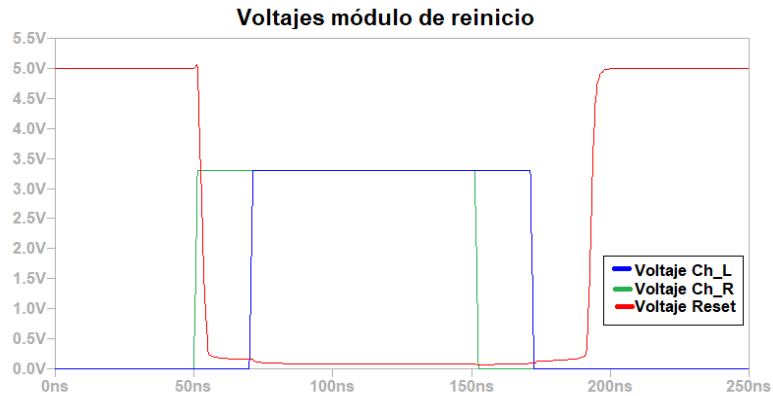


Figura 4.8: Formas de onda relevantes en el funcionamiento del módulo de reinicio. En verde y azul se muestran los pulsos de entrada de los canales derecho e izquierdo respectivamente. En rojo se encuentra la señal de reinicio.

En las figuras 4.9 y 4.10 se muestran formas de onda relevantes en el análisis del módulo de descarga por fuentes de corriente. La corriente de descarga que se muestra en el gráfico corresponde a la corriente que pasa a través del resistor R_1 en la figura 4.4. El análisis es análogo para el canal izquierdo con R_2 .

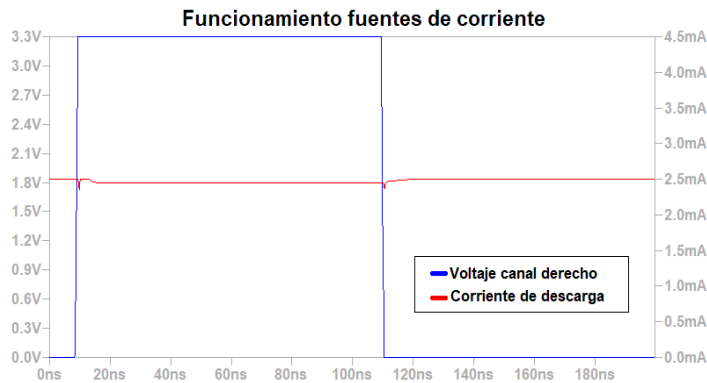


Figura 4.9: Formas de onda relevantes en el funcionamiento del módulo de descarga por fuentes de corriente. En azul se encuentra la señal de entrada del canal derecho y en rojo se muestra la corriente a través de la resistencia de descarga.

Con esta imagen se puede comprobar que el circuito es capaz de mantener la misma corriente de aproximadamente 2.5[mA] fluyendo por la resistencia en ambos canales. En el momento en que se activa la señal de entrada de dicho canal, se cambia el origen de la descarga, desde la fuente de polarización, cuando la entrada está en

bajo, hacia el condensador principal, cuando la entrada está en alto.

A continuación se muestran, en la figura 4.10 las formas de onda correspondientes al voltaje del condensador principal, junto con los pulsos de entrada de los canales derecho e izquierdo.

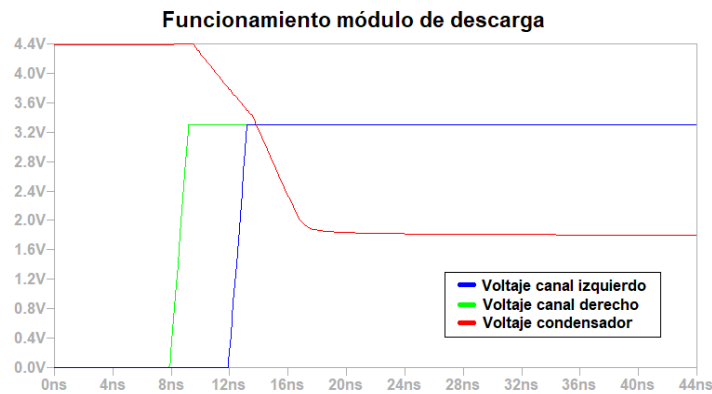


Figura 4.10: Acercamiento temporal a señales relevantes del módulo de descarga por fuentes de corriente. En verde y azul se muestran las señales de entrada al compensador de geometría y en rojo se muestra el voltaje de condensador principal de descarga.

Se puede apreciar el funcionamiento correcto del módulo de descarga por fuentes de corriente, pues al iniciarse un evento con el canal derecho, el condensador empieza a descargarse con una pendiente de aproximadamente 0.241 [V/ns] . Luego de que se obtiene un pulso en el canal izquierdo, el condensador aumenta su rapidez de descarga a 0.446 [V/ns] , solo un poco menos de el doble. Cabe destacar que estos valores no son iguales a los teóricos descritos en la sección 4.1.3 sino ligeramente menores a los esperados. Esto se explica porque para estos cálculos se hizo el supuesto de que el condensador se descarga linealmente, lo cual no es tan acertado cuando se trabaja con excitaciones cambiantes, este aspecto se modela mucho mejor en la simulación.

Para comprobar el funcionamiento del módulo comparador y de la lógica de salida, se muestran a continuación las figuras 4.11 y 4.13

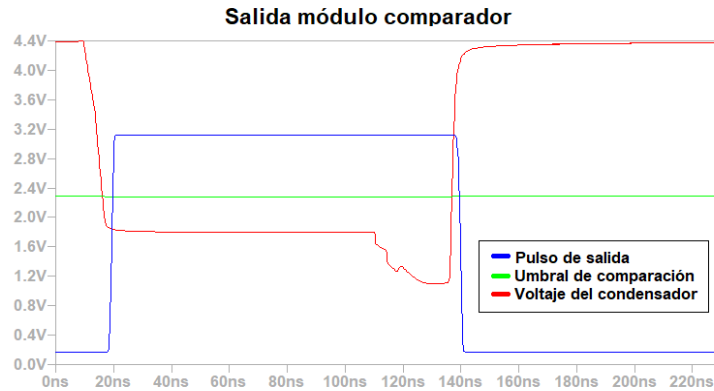


Figura 4.11: Formas de onda en la salida del módulo comparador y del condensador de geometría para un ciclo de operación normal. En rojo se muestra el voltaje del condensador principal de descarga. En verde, el umbral de comparación y en azul el pulso de salida de este módulo.

Para este caso, se evidencia el funcionamiento del comparador, ya que la salida emite un pulso cuadrado comenzando con un canto positivo inmediatamente después que el voltaje del condensador principal se vuelve inferior que la tensión de umbral del comparador.

En la figura 4.11 también se observa una caída no esperada en el potencial del condensador. Esta se puede explicar con la información proporcionada por la figura 4.12.

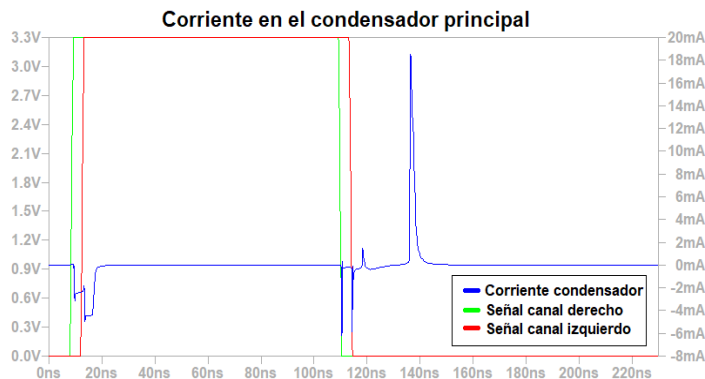


Figura 4.12: Corriente en el condensador principal del compensador de geometría. Se incluyen las señales de entradas de ambos canales a modo de comparación

Entre 0[ns] y 20[ns] se puede observar la corriente de descarga que da origen al voltaje de la figura 4.10. Luego entre 100[ns] y 120[ns] se producen los cantos de bajada en las señales de entrada al circuito y se aprecian picos de corriente negativa que descargan aún más el condensador principal, Estos picos son producidos por la conmutación de las fuentes de corriente.

Finalmente se constata la salida del traductor LVTTTL a NIM. En la figura 4.13, la señal roja corresponde a la corriente de colector del transistor Q_2 del esquema de la ilustración 4.5. Se puede ver que la salida posee los niveles de corriente definidos en el estándar NIM.

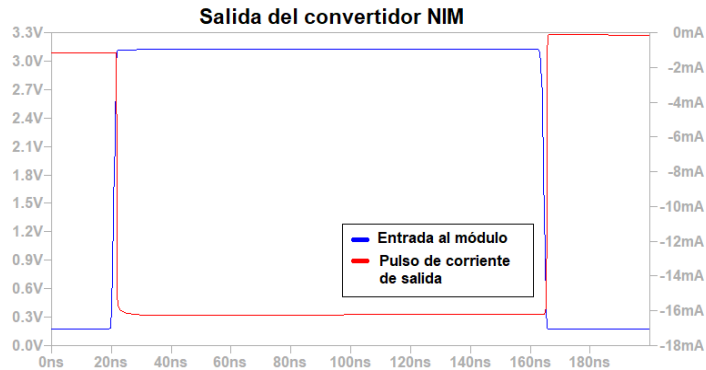


Figura 4.13: Comparación entre formas de onda para las salida lógicas. En azul se ve la señal de voltaje LVTTTL y en rojo la señal de corriente NIM.

4.2.2. Simulación de desempeño

De la misma forma que en el capítulo del discriminador de fracción constante, se realizará una simulación con distintas combinaciones de señales de entradas para determinar el desempeño de este circuito a situaciones contempladas dentro del mismo diseño del detector. Para ello se utilizará como medida de rendimiento la variación temporal en el canto de subida de la salida del circuito.

La combinación de entradas utilizadas para esta simulación se explica de la siguiente forma:

- La longitud de este detector virtual utilizado por la simulación es 1.8[m]. Para este calculo se considera que la velocidad con la cual los fotones se desplazan a través del material centellador es un 66% de c , la velocidad de la luz en el vacío. Con esto se tiene que el tiempo en que la señal luminosa se demora en atravesar el detector es 9 [ns].

- Un evento comienza en el tiempo $t = 0$, con la detección de una partícula a una distancia de extremo derecho tal que toma aproximadamente $3.5[\text{ns}]$ la detección electrónica de este evento con un canto positivo en el canal derecho. Este tiempo fue decidido arbitrariamente para la simulación.
- Considerando este mismo evento y la longitud total del detector virtual, se posiciona un canto positivo en la entrada del canal izquierdo en el tiempo $t = 5.5[\text{ns}]$. De esta manera, los tiempos de los cantos de ambos canales suman el tiempo en que la luz recorre todo el centellador.
- Para el siguiente evento, se considera un canto positivo del canal derecho en $t = 3[\text{ns}]$, esto significa que la partícula virtual pasa a través del detector $0.5[\text{ns}]$ más cerca del extremo derecho. En consecuencia el canto positivo para la detección en el canal izquierdo ocurre en $t = 6[\text{ns}]$. Bajo la misma lógica se simulan tres eventos mas con cantos positivos en el canal derecho en $t = 2.5[\text{ns}]$, $t = 2[\text{ns}]$ y $t = 1.5[\text{ns}]$, en conjunto con cantos positivos en el canal izquierdo en $t = 6.5[\text{ns}]$, $t = 7[\text{ns}]$ y $t = 7.5[\text{ns}]$.

La finalidad de este experimento verificar el desempeño del circuito diseñado para casos en los cuales se detectan partículas en distintos sectores del plástico centellador. Las medidas que se utilizarán para medir el desempeño en esta simulación son: el retardo medio y la variación temporal de los cantos positivos de la salida de este circuito.

A continuación se procede al análisis de esta simulación, en la figura 4.14 se encuentran las formas de onda correspondientes a los canales derecho e izquierdo.

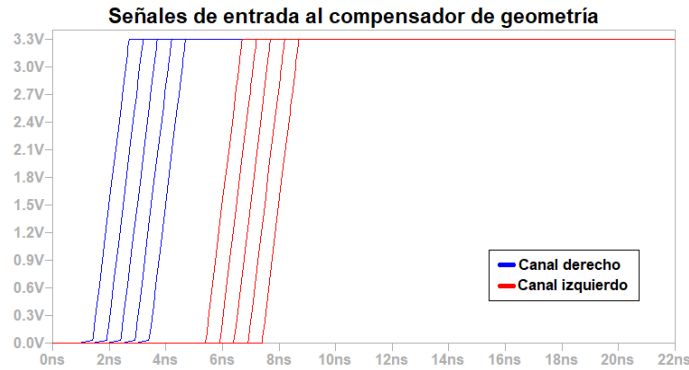


Figura 4.14: Voltajes de entrada al compensador de geometría para la simulación de desempeño. Los voltajes en azul corresponden al canal derecho y en rojo se muestran los voltajes para el canal izquierdo

Se pueden apreciar las distintas formas de onda correspondientes a los eventos especificados anteriormente, con cantos del canal derecho partiendo desde $t = 3.5[\text{ns}]$, hasta $t = 1.5[\text{ns}]$ y con el canal izquierdo en $t = 5.5[\text{ns}]$ hasta $t = 7.5[\text{ns}]$.

En la figura 4.15 se muestran los voltajes relevantes en el módulo de descarga por fuentes de corriente, con todos los eventos superpuestos en el mismo gráfico.

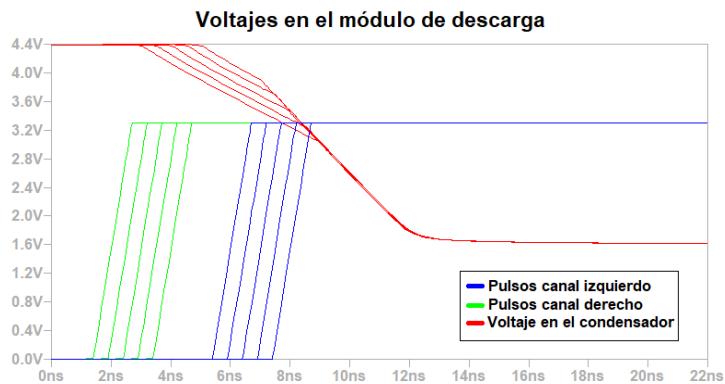


Figura 4.15: Acercamiento temporal al voltaje del condensador principal en el módulo de descarga. También se muestran las señales de entrada de los canales derecho e izquierdo superpuestas.

De la figura se puede observar el efecto de la combinación de señales de entrada, que producen una descarga proporcional en el condensador principal. Se verifica que

al comenzar el evento en el canal derecho, que es el que ocurre primero temporalmente, el condensador se descarga a razón de $0.241[\text{V/ns}]$. Cuando ambos canales son detectados simultáneamente, el condensador se descarga a aproximadamente $0.446[\text{V/ns}]$.

Es importante mencionar que el funcionamiento de este detector es simétrico, es decir, que si la partícula es detectada más cerca del extremo izquierdo naturalmente las señales de este canal serán las primeras en tener un canto positivo. En esta simulación no se abarcarán estos casos pues el funcionamiento es idéntico sin importar si la señal del canal derecho o del izquierdo precede temporalmente a la otra.

Dada esta combinación de entradas dispuestas convenientemente para emular el funcionamiento del detector centellador se tiene que el voltaje del condensador en los distintos eventos coincide en un punto a partir del cual se mantiene igual para todos los eventos.

Luego, en la figura 4.16 se muestra este voltaje en conjunto con la salida y el umbral del módulo comparador.

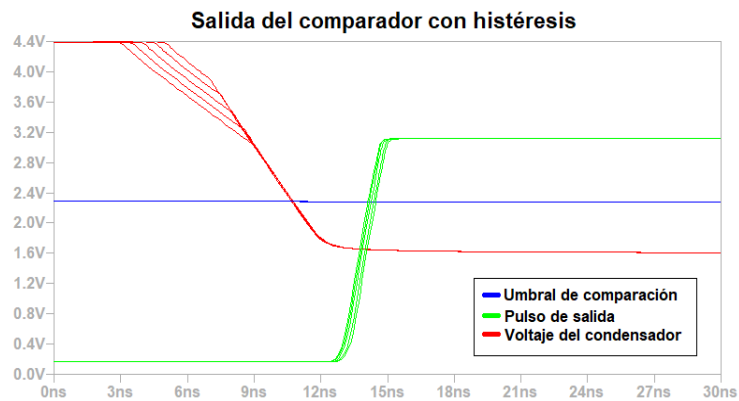


Figura 4.16: Acercamiento temporal al voltaje de salida del módulo comparador. Se muestra el voltaje del condensador de descarga, el nivel de comparación y la salida del módulo.

De este gráfico se puede verificar el funcionamiento del módulo comparador, además de medir los indicadores de desempeño que se plantearon al inicio de esta simulación. El retardo medio obtenido fue de aproximadamente $15[\text{ns}]$, mientras que la variación temporal para estos eventos fue de aproximadamente $350[\text{ps}]$. Finalmente en la figura 4.17 se puede observar la entrada y salida del traductor LVTTL-NIM que fue diseñado.

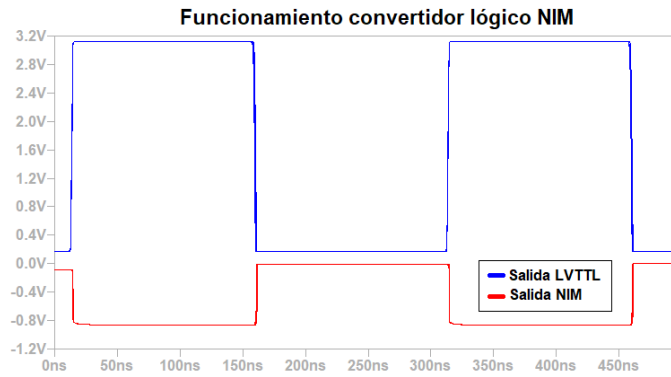


Figura 4.17: Formas de onda para las salidas LVTTL y NIM del compensador de geometría en simulación de desempeño.

De los resultados obtenidos en esta sección se puede concluir que el funcionamiento de este convertidor es tal como se esperaba, validando el diseño, con lo que se pasa a la etapa de diseño de PCB y construcción del prototipo en hardware.

4.3. Construcción de circuito impreso en software Altium Designer

A continuación se presentan y detallan los esquemáticos utilizados para el diseño de una placa de circuito impreso en la cual se construirá el compensador de geometría.

4.3.1. Módulo monoestable de entrada

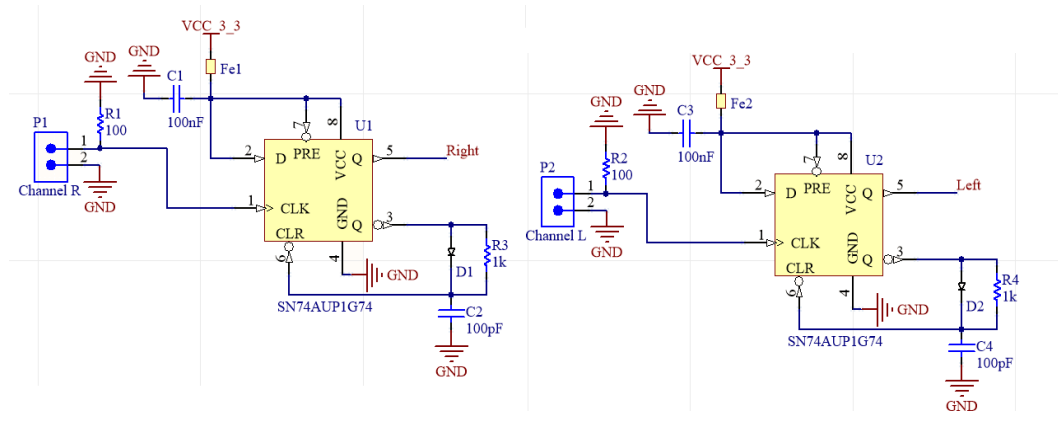


Figura 4.18: Esquemático del módulo monoestable implementado en Altium Designer para ambos canales de entrada al compensador de geometría.

Este esquemático es muy similar al que se ve en la figura 4.2. Se incluye una resistencia “pull-down” de $100[\Omega]$ dado que para conectar las entradas de esta PCB se utilizarán pares trenzados de longitud moderada e impedancia característica de este valor. La diferencia fundamental con respecto al esquemático utilizado en simulación es que el circuito integrado empleado para este propósito es el flip-flop SN74AUP1G74, que funciona con lógica negativa en sus entradas, por lo cual se adaptó el circuito para lograr el mismo funcionamiento. En la tabla 4.1 se resumen las principales características de este integrado.

Nombre Integrado	SN74AUP1G74
Descripción	Flip-Flop tipo D de bajo consumo con entradas de set y reset.
Voltaje de operación	Entre $0.8[V]$ y $3.3[V]$
Retardo de propagación	$5[ns]$ @ $VCC = 3.3[V]$
Histeresis en entradas	$250[mV]$ @ $VCC = 3.3[V]$
Integridad de salida	Overshoot y Undershoot $<10\%VCC$

Tabla 4.1: Especificaciones del circuito integrado SN74AUP1G74 utilizado en el módulo monoestable.

Notar que al igual que en la implementación de los módulos anteriores, se incluye un filtro de polarización LC compuesto por una ferrita y un condensador de $100[nF]$.

4.3.2. Módulo de descarga por fuentes de corriente

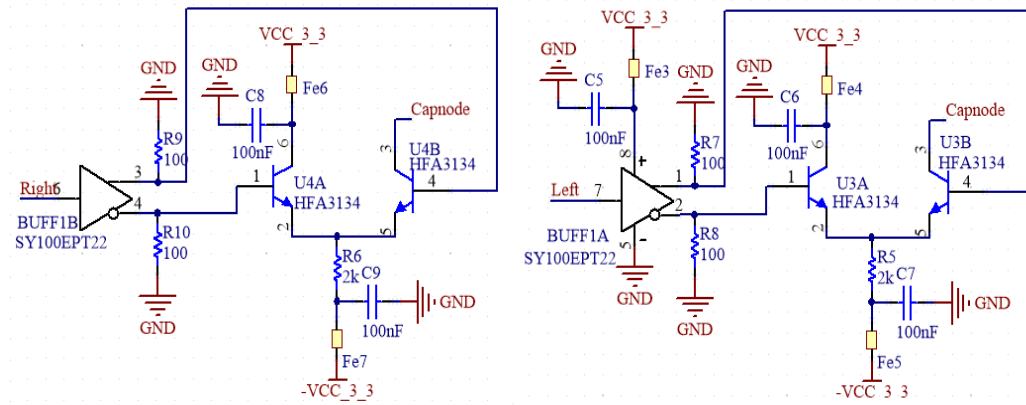


Figura 4.19: Esquemático del módulo de descarga por fuentes de corriente implementado en Altium Designer.

La construcción del módulo de descarga por fuentes de corriente incluye pequeños cambios con respecto a el esquemático de la simulación visto en la figura 4.4. Los transistores empleados en este módulo son los mismos que se usaron en el discriminador de fracción constante (HFA3134, Transistores pareados, ultrarápidos con un ancho de banda de 8.5[GHz] y una ganancia de corriente directa (h_{fe}) de 100 como valor típico.).

El circuito integrado utilizado para la activación de las fuentes de corriente es el SY100EPT22 y corresponde a un amplificador traductor de niveles lógicos con entrada LVTTTL y salidas diferenciales PECL. Sus características se resumen en la tabla 4.2.

Nombre Integrado	SY100EPT22
Descripción	Traductor dual de LVTTL/LVCMOS a LVPECL diferencial
Voltaje de entrada	LVTTL (entre 0[V] y 3.3[V])
Voltaje de salida diferencial	LVPECL (entre 1.6[V] y 2.4[V])
Retardo de propagacion	300 [ps] Típicamente
Terminación de salida	100[Ω]
Máxima frecuencia de conmutación	800[MHz]

Tabla 4.2: Especificaciones del circuito integrado SY100EPT22 utilizado en el módulo de descarga.

Como se observa, este integrado requiere terminación de baja impedancia para su funcionamiento, por este motivo, se agregan las resistencias R_7 , R_8 , R_9 y R_{10} de 100 [Ω] cada una.

4.3.3. Módulo de reinicio

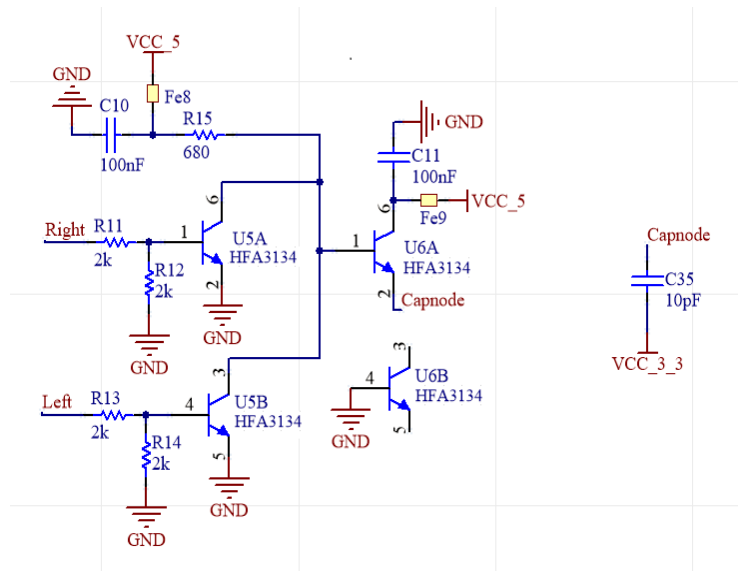


Figura 4.20: Esquemático del módulo de reinicio implementado en Altium Designer.

En este módulo no existen cambios entre el esquemático de simulación y el de diseño para el software Altium. Al igual que en los circuitos anteriores, se incluyen filtros LC de polarización. Los transistores utilizados corresponden al circuito

integrado HFA3134.

4.3.4. Módulo comparador y lógica de salida

El integrado elegido para el propósito de la comparación es el comparador MAX9011, cuyas características fueron descritas en la sección 3.3.3.

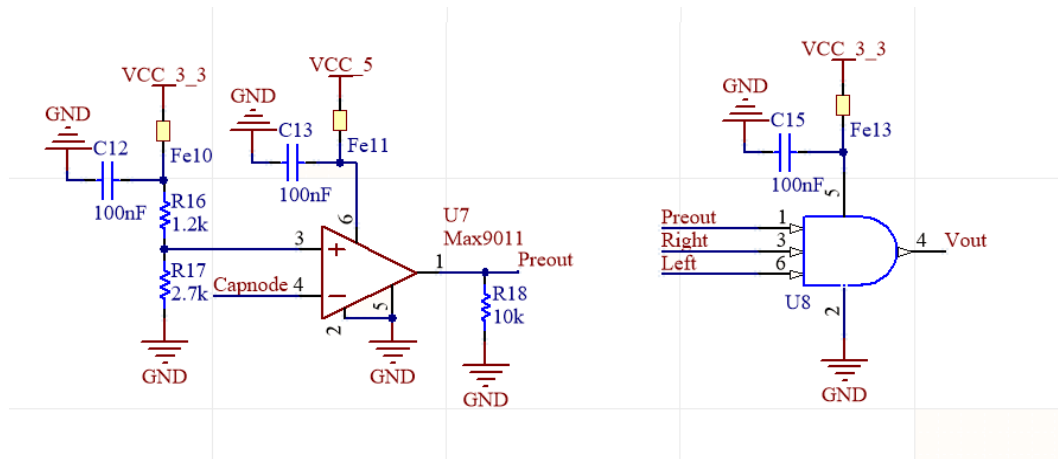


Figura 4.21: Esquemático del comparador y la lógica de salida implementados en Altium designer.

En esta etapa se incluye un circuito integrado adicional, el SN74LVC1G11, que corresponde a una compuerta lógica AND de tres entradas y una salida. Las características de esta compuerta pueden observarse en la tabla 4.3

Nombre Integrado	SN74LVC1G11
Descripción	Compuerta AND de tres entradas y una salida LVTTL
Voltaje de polarización	VCC Entre 1.65[V] y 5[V]
Retardo de propagacion	4 [ns] @ VCC 3.3[V]
Slew rate	0.1[V/ns]

Tabla 4.3: Especificaciones del circuito integrado SN74LVC1G11 utilizado en el módulo de salida.

En la configuración inicial que se había planteado, la señal de salida del compensador de geometría correspondía la señal de salida del comparador, para luego hacer la coincidencia con ambos canales con otro dispositivo. Finalmente se decidió incorporar la compuerta para lograr la detección de coincidencia dentro de la

misma tarjeta impresa y así simplificar el diseño más adelante.

En la figura 4.22 se muestra el esquemático utilizado para el convertidor LVTTTL-NIM.

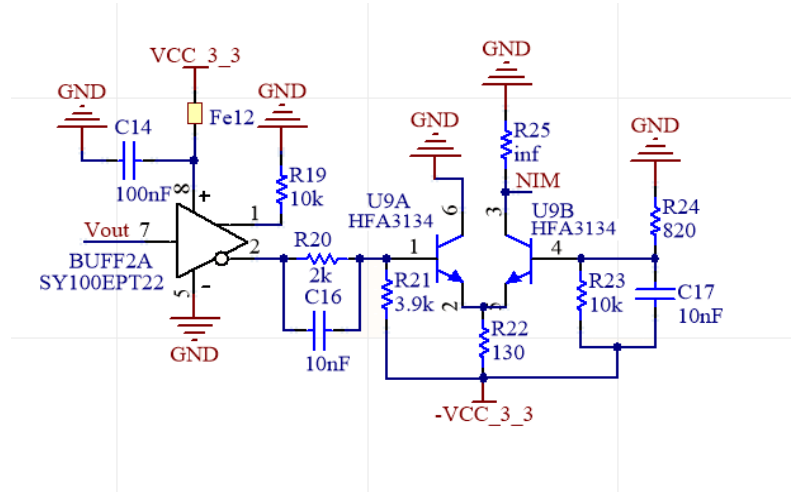


Figura 4.22: Esquemático del convertidor LVTTTL-NIM implementado en Altium Designer.

Salvo por la inclusión de un filtro de polarización en el integrado SY100EPT22, el esquema corresponde al mismo de la figura 4.5. Finalmente para lograr la transmisión de estas señales a mayores distancias (aproximadamente del largo del detector ~ 2 [m]) se incorporó el estándar LVDS en la salida utilizando el circuito integrado DS90LV011 que corresponde a un traductor de niveles lógicos entre LVTTTL a LVDS. Su implementación se encuentra en la figura 4.23.

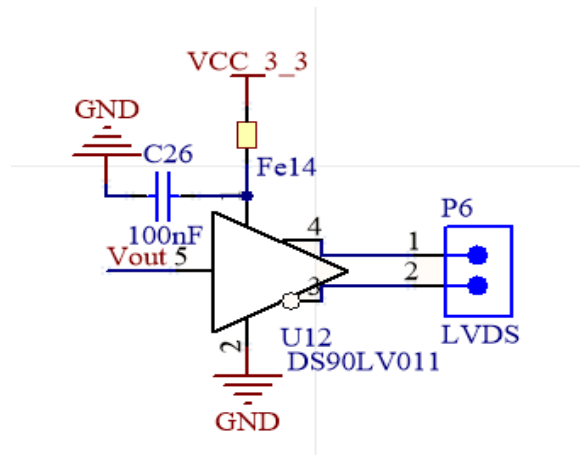


Figura 4.23: Diagrama del controlador LVTTTL-LVDS utilizado en la lógica de salida e implementado en Altium Designer

Las características de este elemento se encuentran en la tabla 4.4.

Nombre Integrado	DS90LV011
Descripción	Controlador diferencial LVDS de alta velocidad
Voltaje de polarización	VCC 3.3[V]
Retardo de propagacion	1[ns] Tipicamente
Excursion de voltaje de salida	± 350 [mV] Diferencial
Máxima tasa de transmisión	200[MHz]

Tabla 4.4: Especificaciones del circuito integrado DS90LV011 utilizado en el módulo de salida.

En las figuras 4.24 y 4.25 se muestran imágenes del trazado de pistas y el diseño 3D de la placa de circuito impreso en la cual se construye el módulo compensador de geometría.

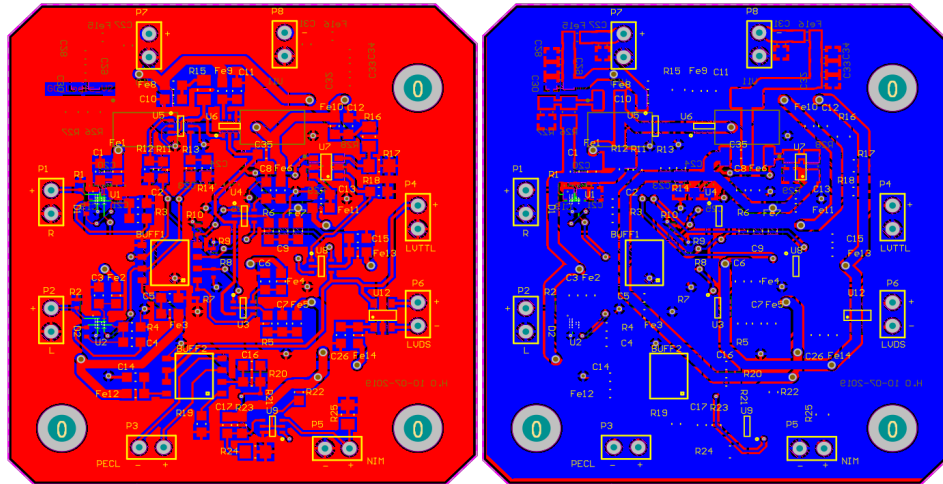


Figura 4.24: Vista del trazado de componentes y pistas en el diseño del circuito impreso correspondientes al compensador de geometría en el software Altium Designer.

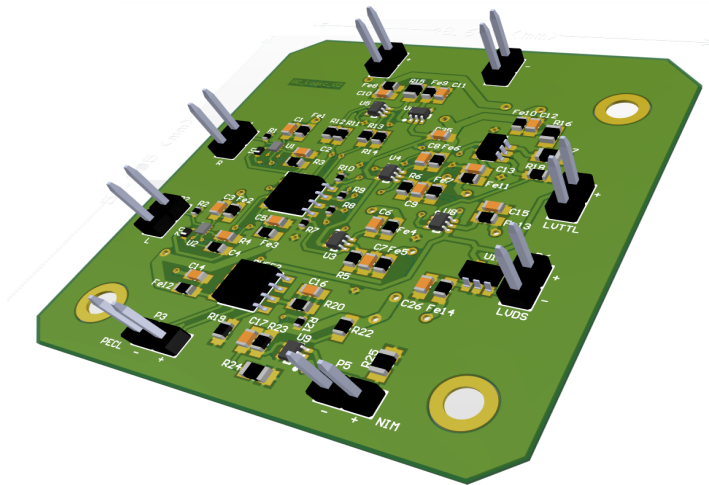


Figura 4.25: Vista tridimensional de la placa de circuito impreso para el compensador de geometría provista por el software Altium Designer.

UNIDAD DE COINCIDENCIA MULTICANAL

La idea de una unidad de coincidencia multicanal o MCU (por sus siglas en inglés “Multi-channel Coincidence Unit”) surge a partir de la topología de medición que se requiere para este proyecto. En un principio se plantea la utilización de grandes planos centelladores para el sistema de disparo, que luego de revisar la literatura acorde se cambia a la implementación de varios detectores centelladores largos, con el fin de obtener los planos originales, pero de forma virtual.

En la literatura se describen varias ventajas físicas y electrónicas de esta topología, pero no se reconocen los desafíos ingenieriles que posee una implementación modular en un área de coincidencia de varios canales. Antiguamente este tipo de operaciones se hacían utilizando módulos NIM de coincidencia, sin embargo, esta tecnología es bastante antigua, de gran volumen y costosa, por lo que decidió implementar esta unidad utilizando elementos modernos, simples y por sobretodo económicos.

5.1. Elección de una topología para la MCU

Durante la etapa de diseño de esta unidad, se barajan dos alternativas para su implementación. A continuación se describen estas opciones:

Alternativa uno: Arreglo de circuitos integrados

Para el desarrollo del sistema de coincidencia de señales y generación de señal de disparo es posible implementar un arreglo de circuitos integrados, utilizando compuertas lógicas discretas AND y OR. Esta opción implica en su mínima expresión adquirir al menos 13 compuertas lógicas.

Ventajas de la alternativa

1. La principal ventaja de implementar un sistema de disparo utilizando compuertas lógicas discretas es su rápida implementación y bajo costo. Si bien en principio permitiría construir sistemas lógicos simples, es una opción capaz de cumplir con los objetivos básicos de una unidad lógica de disparo y coincidencias.

Desventajas de la alternativa

1. El tamaño de los circuitos integrados discretos implica que el sistema final construido sea de un tamaño desmedido en comparación a otras opciones implementables. Un circuito muy grande y de muchas piezas implica además dificultades en la etapa de manufactura, incrementando costos de fabricación de PCB y perdiendo la ventaja de una placa económica.
2. La interacción de este tipo de circuitos con las señales de interés puede generar consecuencias tales como ruido, retardos demasiado grandes y dispersión temporal.
3. Un arreglo de circuitos integrados construido a partir compuertas implica que la configuración y por lo tanto la funcionalidad son fijas. Esto significa que no es fácil cambiar entre funciones lógicas o agregar nuevas etapas en caso de ser necesario.

Alternativa dos: “Complex Programmable Logic Device” (CPLD)

Una CPLD es un dispositivo lógico programable que contiene múltiples bloques lógicos y elementos útiles para implementación de sistemas digitales simples en un tamaño reducido y a bajo costo, siendo un dispositivo afín a las necesidades del proyecto.

En particular, es posible utilizar una CPLD MachXO2280 marca Lattice, que cuenta con más de 200 entradas, cerca de 2280 “lookup tables”, con tiempos de propagación cercanos a los 5ns.

Ventajas de la alternativa

1. En general el costo de una CPLD es bajo dependiendo de las capacidades y características de cada placa. La CPLD mencionada anteriormente ronda los US\$30.
2. En comparación a otras soluciones, las CPLD tienen un tamaño reducido.
3. Al ser dispositivos programables, se tiene versatilidad en la funcionalidad de los sistemas lógicos a implementar, permitiendo realizar circuitos configura-

bles o simplemente reescribir el diseño por completo utilizando lenguajes de descripción de hardware como VHDL o Verilog.

4. Particularmente, la MachXO2280 cuenta con cerca de 100 entradas LVDS, lo cual permite eventualmente una mejor integración con otros sistemas anteriormente diseñados y abre la posibilidad de utilizar par trenzado para transmisión de señales entre las etapas que se comunican con la CPLD.

Desventajas de la alternativa

1. Una CPLD suele tener recursos limitados en comparación a dispositivos programables de mayor envergadura, como las FPGA, contando solo con interfaces básicas de comunicación y memoria. Por esta razón soluciones más complejas como la propuesta en [8] quedan fuera del alcance de esta opción.
2. En principio, la información detallada respecto a propagación y dispersión de señales en circuitos implementados en CPLD no está documentada de manera tan detallada como en el caso de otras alternativas programables (FPGAs). Por lo tanto, se requieren pruebas previas a la implementación para asegurar la calidad del desempeño temporal de diseño digital implementado en una CPLD.

Finalmente se decidió implementar la unidad dentro de la CPLD disponible en el laboratorio. La CPLD elegida posee una tarjeta de desarrollo con módulos de memoria, polarización, comunicación, programación y aproximadamente cien puertos I/O simples (pines) ubicados convenientemente en la tarjeta de desarrollo disponible. Para lograr adaptar las señales provenientes de los detectores se requiere el diseño de una tarjeta de circuito impreso que permita la conexión de buses de datos con varios canales y que se pueda ubicar directamente sobre la tarjeta de desarrollo de la CPLD.

Por otro lado la CPLD requiere descripción de hardware en Verilog o VHDL que se implementará en el software de desarrollo provisto por el fabricante llamado “Lattice Diamond”, disponible para Windows.

5.2. Diseño de la MCU

5.2.1. Construcción de una interfaz de entrada

Como se mencionó anteriormente la salida de el compensador de geometría corresponde a una señal diferencial, por lo tanto se utilizan cables trenzados para

conectar la salida de cada módulo a la unidad de coincidencia multicanal. Esta problemática motivó la creación de una PCB interfaz para conectar todas las entradas y además, entregar energía a la CPLD.

El circuito básicamente consiste en varios arreglos de pines convenientemente ubicados en los puertos de entradas I/O en la CPLD y con salidas hacia la capa superior, en donde se conectan los cables provenientes de los módulos. Se incluye además resistencias de terminación de $100[\Omega]$ para las señales LVDS. En la figura 5.1 se muestran imágenes de este proceso. La PCB fue mecanizada en la máquina CNC disponible en el laboratorio.

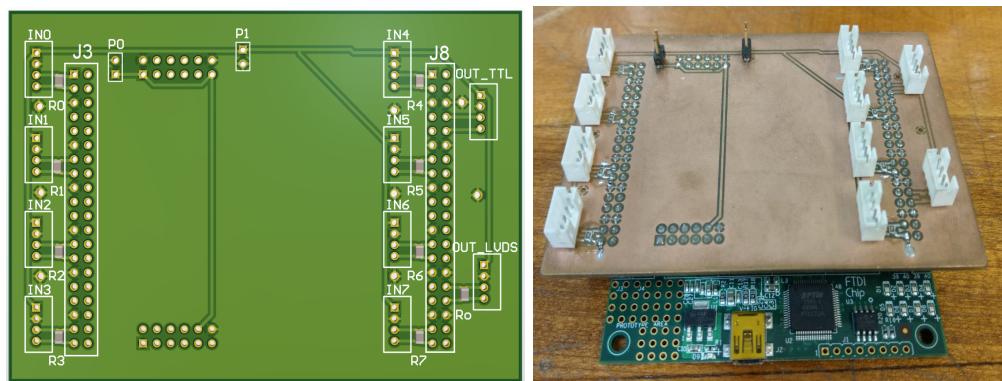


Figura 5.1: Tarjeta PCB interfaz para la MCU. En la izquierda se muestra el diseño de 3D provisto por el software Altium Designer. En la derecha, la PCB fabricada y montada sobre la CPLD.

5.2.2. Descripción del Hardware

El hardware se describe usando el software “Lattice Diamond” a través del lenguaje Verilog. Este se lista a continuación:

Programa en Verilog

```

module MCCU (CH1, CH2, CH3, CH4, CH5, CH6, CH7, CH8, OUTLVTTTL, OUTLVDS);
input CH1;
input CH2;
input CH3;
input CH4;
input CH5;
input CH6;
input CH7;
input CH8;

```

```

output OUTLVTTIL;
output OUTLVDS;
wire aux1;
wire aux2;
assign aux1 = (CH1 || CH2) || (CH3 || CH4);
assign aux2 = (CH5 || CH6) || (CH7 || CH8);
assign OUTLVTTIL = aux1 && aux2;
assign OUTLVDS = OUTLVTTIL;
endmodule

```

El programa fundamentalmente consiste en hacer la operación lógica OR entre los cuatro primeros canales (paralelamente también con los cuatro últimos), estas dos señales pasan a la siguiente etapa y se realiza la operación AND entre ellas. Estas operaciones equivalen a realizar una coincidencia entre el plano centellador superior e inferior, tal como se planteó en la sección 2.2.

El software “Diamond” entrega un diagrama de conexiones entre las entradas y salidas que permite observar la arquitectura programada. Este esquema se muestra en la figura 5.2.

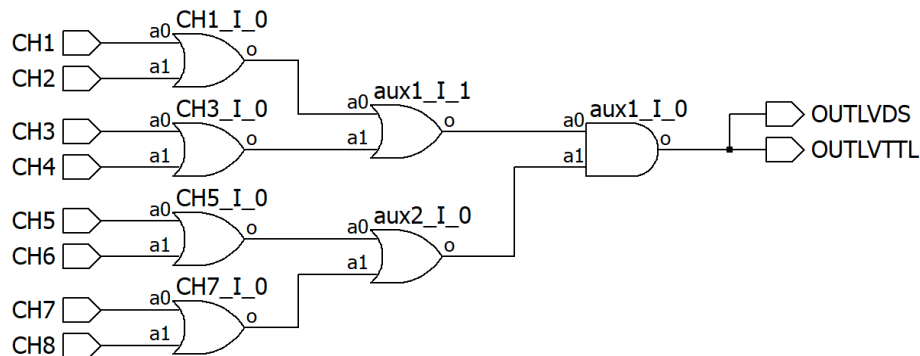


Figura 5.2: Diagrama del hardware descrito en la CPLD.

Restricciones de entradas y salidas

Una vez que el hardware se ha descrito satisfactoriamente, la siguiente etapa corresponde a mapear las entradas y salidas, desde los terminales de la CPLD hacia los pines de la PCB interfaz. Para lograr esto se utiliza el siguiente código en el archivo de preferencias locales (.lpf).

```

#Entradas LVTTIL lado derecho pcb interfaz

#####          CANAL 1          #####

```

```
LOCATE COMP "CH1" SITE "E4" ; # J3 pin 1
IOBUF PORT "CH1" IO_TYPE=LVDS25 PULLMODE=DOWN OPENDRAIN=OFF ;

##### CANAL 2 #####
LOCATE COMP "CH2" SITE "E3" ; # J3 pin 13
IOBUF PORT "CH2" IO_TYPE=LVDS25 PULLMODE=DOWN OPENDRAIN=OFF ;

##### CANAL 3 #####
LOCATE COMP "CH3" SITE "F2" ; # J3 pin 25
IOBUF PORT "CH3" IO_TYPE=LVDS25 PULLMODE=DOWN OPENDRAIN=OFF ;

##### CANAL 4 #####
LOCATE COMP "CH4" SITE "H4" ; # J3 pin 37
IOBUF PORT "CH4" IO_TYPE=LVDS25 PULLMODE=DOWN OPENDRAIN=OFF ;

#Entradas LVTTL lado izquierdo pcb interfaz

##### CANAL 5 #####
LOCATE COMP "CH5" SITE "D14" ; # J8 pin 1
IOBUF PORT "CH5" IO_TYPE=LVDS25 PULLMODE=DOWN OPENDRAIN=OFF ;

##### CANAL 6 #####
LOCATE COMP "CH6" SITE "E14" ; # J8 pin 13
IOBUF PORT "CH6" IO_TYPE=LVDS25 PULLMODE=DOWN OPENDRAIN=OFF ;

##### CANAL 7 #####
LOCATE COMP "CH7" SITE "E15" ; # J8 pin 25
IOBUF PORT "CH7" IO_TYPE=LVDS25 PULLMODE=DOWN OPENDRAIN=OFF ;

##### CANAL 8 #####
LOCATE COMP "CH8" SITE "G14" ; # J8 pin 37
IOBUF PORT "CH8" IO_TYPE=LVDS25 PULLMODE=DOWN OPENDRAIN=OFF ;

##### SALIDA LVTTL #####
LOCATE COMP "OUTLVTTL" SITE "J15" ; # J8 pin 8
IOBUF PORT "OUTLVTTL" IO_TYPE=LVTTL33 PULLMODE=NONE SLEWRATE = FAST;
```

```
#####          SALIDA LVDS          #####  
//LOCATE COMP "OUTLVDS" SITE "N15" ;          # J8 pin 32  
IOBUF PORT "OUTLVDS" IO_TYPE=LVDS25 PULLMODE=NONE ;
```

Es importante mencionar que los puertos en la CPLD son organizados en pares, por lo que el software automáticamente conecta ambos pines de un puerto solo al indicar el terminal positivo en las preferencias.

CONSTRUCCIÓN DEL SISTEMA DE DISPARO, PRUEBAS Y RESULTADOS

6.1. Fabricación del detector centellador y construcción de la estación de trabajo

Para esta memoria, se decidió trabajar con un plástico centellador prototipo con largo 120[cm]. La confección del detector fue hecha por el equipo de mecánicos del laboratorio y además se colocaron tres LEDs de calibración a 10[cm] de los extremos y en el centro del centellador.

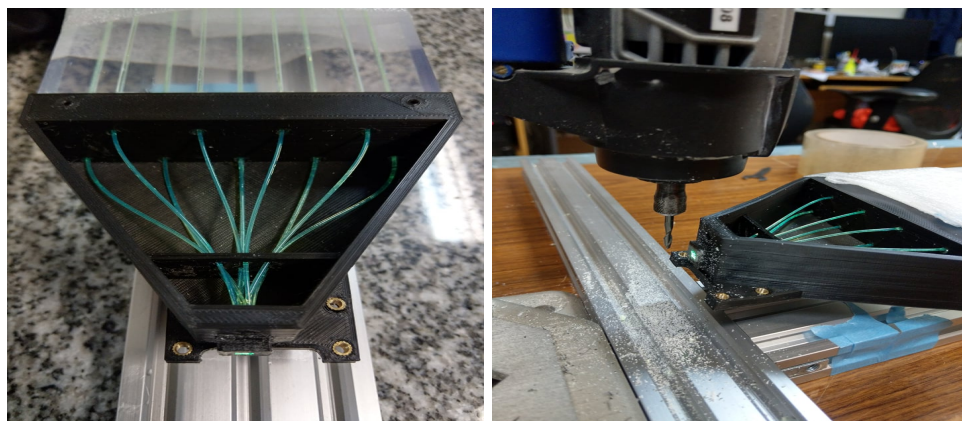


Figura 6.1: Terminación de las fibras ópticas WLS en los extremos del centellador. A la izquierda se observa la organización de las fibras y a la derecha el proceso realizado para pulir esta terminación

En la figura 6.1, en la izquierda se puede ver la terminación de las fibras ópticas que atraviesan todo el detector, esta se hace con un colector trapezoidal que permite ubicar las nueve fibras en un cuadrado de $9[\text{mm}^2]$, donde se pegará el MPPC utilizando un adhesivo óptico, con el fin de lograr un acoplamiento de la luz que proviene desde las fibras. En esta misma figura, en la derecha se muestra el proceso que se realizó para pulir la terminación de las fibras ópticas. Es importante destacar que posterior al pulido de las terminaciones en ambos extremos y luego de ubicar los LEDs de calibración se procede a sellar todo el detector con un cobertor negro de plástico, que impide el paso de los fotones del ambiente, pero permite el paso de otras partículas, en especial el paso de Muones, que son el objetivo de este proyecto.

En la figura 6.2 se muestra el acabado final de las fibras WLS antes de colocar el MPPC en el sector de colección de luz.

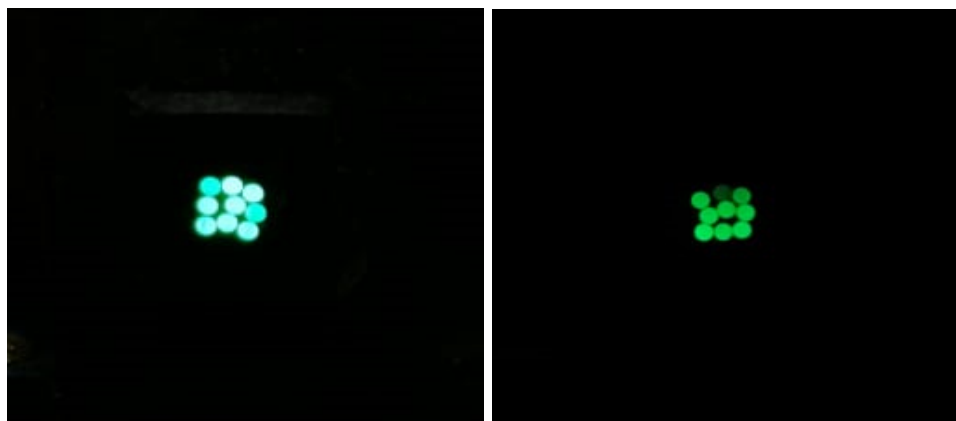


Figura 6.2: Fotografías de la luz recibida en las terminaciones de cada canal. En la derecha se observa el canal derecho. En la figura de la izquierda se observa el canal izquierdo.

Se observa que las fibras del canal izquierdo poseen mayor luminosidad en promedio que las del canal derecho. Esto se abordará más adelante en la siguiente sección cuando se analicen los resultados de la electrónica diseñada.

La estación de trabajo que se utilizó para todas las pruebas se muestra en la figura 6.3



Figura 6.3: Fotografía de la estación de trabajo para las pruebas experimentales. Se aprecian los instrumentos utilizados, el detector centellador y la electrónica diseñada.

Los instrumentos a utilizar para esta sección son: un generador de señales de un canal e impedancia de salida $50[\Omega]$, un osciloscopio de cuatro canales con una tasa de muestreo de hasta $20[\text{GS/s}]$ y una fuente de poder simple de $15[\text{V}]$.

Se señala con rojo la ubicación de los LEDs de calibración. En los extremos se ubican los discriminadores de fracción constante, acoplados a sus respectivos MPPC, mientras que el compensador de geometría se coloca en algún extremo, habiéndose decidido arbitrariamente el extremo izquierdo. La unidad de coincidencia multicanal se encuentra en el centro de la imagen, pero no se ha conectado a nada ya que sus pruebas se harán con el generador de señales. En las siguientes secciones se describen los experimentos utilizados para verificar el desempeño de todos los circuitos diseñado y se muestran los resultados correspondientes.

6.2. Pruebas para el discriminador de fracción constante

6.2.1. Prueba de funcionamiento inicial

Dado que el discriminador de fracción constante constituye la mayor parte de elementos analógicos y además relacionados al MPPC, la mayoría de pruebas se concentran en esta etapa, para asegurar su funcionamiento. A continuación se describen una seguidilla de experimentos que se constituyeron para demostrar el funcionamiento de este discriminador y además caracterizar, optimizar y/o reemplazar la electrónica asociada al MPPC y al comparador con histéresis.

En primer lugar se verifica que las formas de ondas en la tarjeta impresa corresponden a lo que se obtuvo en simulación, para ello se muestran en la figura 6.4 a

la derecha las formas de onda correspondientes a la salida del modulo preamplificador, en rojo y en azul la salida del módulo sumador. En la imagen de la izquierda se observa la misma salida del modulo preamplificador, pero correspondiente a un evento distinto, en conjunto con la salida del discriminador de fracción constante, dada por la salida del comparador con histéresis.

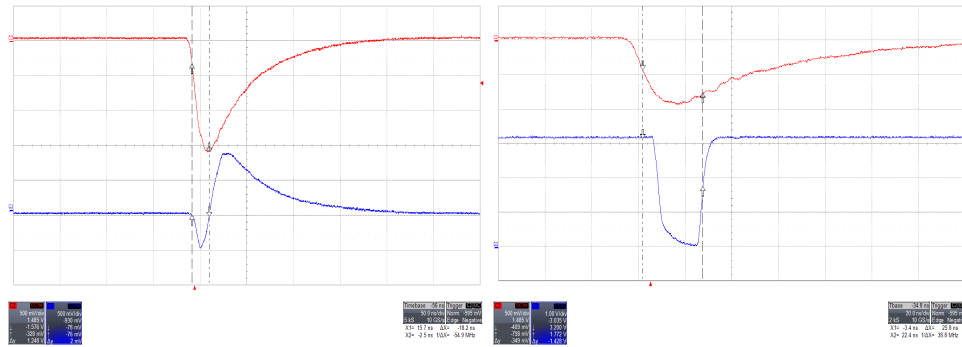


Figura 6.4: Formas de onda características del discriminador de fracción constante. A la izquierda se aprecian las señales del módulo sumador. Escala de amplitud: 500[mV/div]. Escala temporal: 50[ns/div]. A la derecha las señales del comparador de salida. Escalas de amplitud: 500[mV/div] en la señal superior y 1[V/div] la inferior. Escala temporal: 20[ns/div].

Estas cuatro señales se pueden comparar con las obtenidas de la simulación en el software LTSpice en las figuras 3.10 y 3.12, observándose una buena correspondencia.

En cuanto a la distribución de amplitudes para distintos eventos, en la figura 6.5 se puede observar la imagen de persistencia correspondiente a distintos eventos en las mismas señales anteriormente mencionadas.

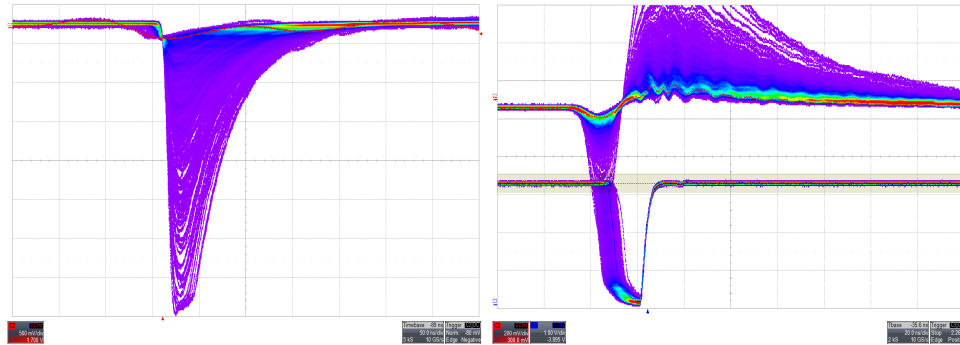


Figura 6.5: Señales del discriminador de fracción constante en modo persistencia. A la izquierda la salida del módulo preamplificador. Escala de amplitud: 500[mV/div]. Escala temporal: 50[ns/div]. A la derecha se ven las señales del comparador de salida. Escalas de amplitud: 200[mV/div] en la señal superior y 1[V/div] en la inferior. Escala temporal: 20[ns/div].

En la imagen de la derecha, se utilizó como disparo el canto positivo de la señal de salida del comparador con histéresis. Se puede observar que las regiones en rojo de las formas de onda corresponden a los lugares donde la señal se concentra. En la señal del módulo sumador, la zona roja corresponde al cruce por cero, lo que da cuenta del correcto funcionamiento del discriminador de fracción constante.

6.2.2. Caracterización de la electrónica analógica

Una de las características que primero se desea conocer de la electrónica diseñada corresponde a la ganancia por evento individual, en este caso, esto se define como la excitación de un fotón a un píxel del MPPC, que a través de su mecanismo de funcionamiento permite convertir este fotón en una corriente de fotoelectrones. Es por esto que al hablar de este detector, la ganancia en conjunto del MPPC con la electrónica se denominará ganancia por píxel, cuya unidad se expresa como [mV/px].

Para determinar este valor se mide el voltaje en la salida de la etapa preamplificadora en su mínimo nivel posible (cercano a los milivolts) con el objetivo de diferenciar niveles discretos entre los pulsos originados por el MPPC que son generados por uno, dos, tres y más píxeles excitados. Es importante mencionar que esta característica solo se puede medir en estos niveles de voltaje debido a que en escalas mayores (como la de la figura 6.5) existe una superposición de las corrientes producidas por distintos píxeles excitados, que ya no permiten medir individualmente la ganancia de cada uno.

El primer acercamiento a esta medición se muestra en la figura 6.6.

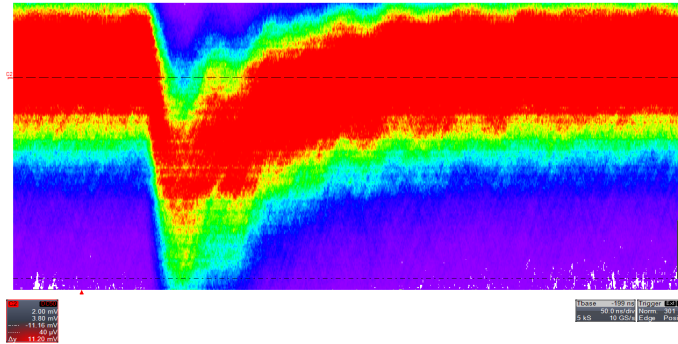


Figura 6.6: Salida del módulo preamplificador en modo persistencia utilizando el mínimo nivel de disparo posible. Escala de amplitud: 2[mV/div]. Escala Temporal: 50[ns/div]

Como se observa, no es posible diferenciar niveles discretos entre los pulsos, esto se debe a dos motivos:

1. La presencia de ruido electrónico con niveles de voltaje similares a los observados hace imposible la medición.
2. La ganancia por píxel es demasiado baja y lo que se ve en la imagen es una superposición de muchos píxeles, lo que impide diferenciar niveles discretos.

Para solucionar este problema se cambió la topología de la etapa preamplificadora, en conjunto con algunos cambios de los componentes. En la figura 6.7 se muestran los diagramas:

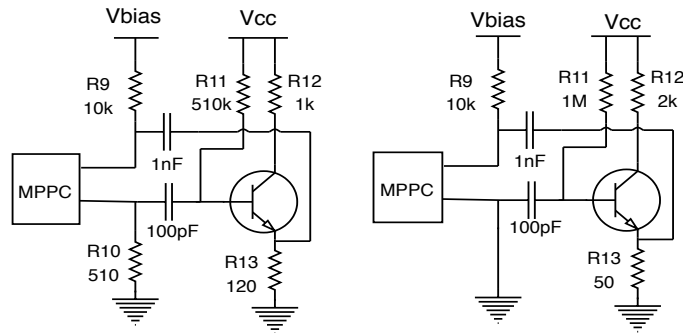


Figura 6.7: Diagrama de la etapa preamplificadora. En la izquierda se muestra antes de las modificaciones. En la derecha se ve después de los cambios.

Notar que anteriormente, la señal de corriente entra por el ánodo del MPPC hacia la base del transistor y es convertida por la resistencia R_{10} en una señal de voltaje. Al cortocircuitar la resistencia R_{10} , la topología de este transistor cambia a base común en pequeña señal (en corriente continua, el punto de operación solo depende de las resistencias R_{11} , R_{12} y ligeramente de R_{13}).

Para esta nueva topología, la impedancia de entrada es muy baja (R_{13} en paralelo a la resistencia equivalente de emisor) y la impedancia de salida corresponde a R_{12} . La señal entra desde el cátodo del MPPC por el emisor del transistor. La característica destacable de esta configuración es que la ganancia de corriente definida por la razón entre la corriente de colector y la entrada del circuito es aproximadamente -1 y es indiferente a los cambios al nivel de voltaje en su base, lo que otorga una mayor inmunidad al ruido.

La ganancia voltaje colector/corriente emisor para esta etapa corresponde entonces a la resistencia R_{12} . Se decidió aumentar esta para lograr diferenciar los pulsos por píxel por lo cual se decide fijar en $2[\text{k}\Omega]$.

En consecuencia, se aumenta la resistencia de base R_{11} a $1[\text{M}\Omega]$ para mantener el punto de operación a corriente continua.

En la figura 6.8 se muestra la forma de onda de persistencia para la salida de la etapa preamplificadora luego de los cambios realizados.

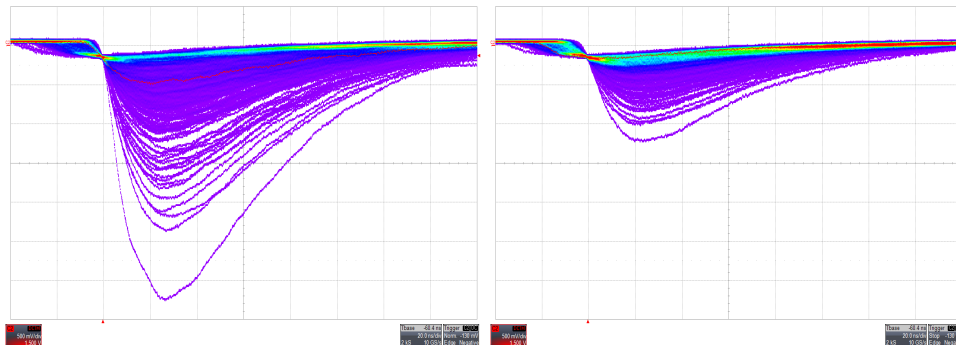


Figura 6.8: Salida del módulo amplificador para los distintos canales. A la izquierda se muestra el canal izquierdo, al igual que a la derecha el canal homónimo. Escala de amplitud: $500[\text{mV}/\text{div}]$. Escala temporal: $20[\text{ns}/\text{div}]$.

Lo más notable de esta imagen es la diferencia de amplitudes entre ambos canales. En el canal derecho están acotadas a valores entre 0 y $1.5[\text{V}]$ para los pulsos más grandes, mientras que en el canal izquierdo los pulsos grandes poseen amplitudes cercanas a los $3.5[\text{V}]$. En esta situación son dos posibles las explicaciones:

1. La electrónica diseñada se encuentra defectuosa (o posee distinta ganancia) en el canal derecho, lo que explica que los pulsos de este canal posean menor amplitud.
2. La electrónica es simétrica en ambos canales y lo que sucede es que los pulsos de corriente que envía el MPPC son menores en el canal derecho, resultado de una mala llegada de fotones a este extremo del detector.

Para verificar que la electrónica se encuentra en correcto funcionamiento se hace el siguiente experimento:

Utilizando un inyector de carga simple como el de la figura 6.9 se puede verificar que la carga que es capaz de inyectar corresponde aproximadamente a $Q = c \cdot \Delta V_{in}$. Se utiliza como voltaje de entrada un pulso cuadrado con amplitud de 100[mV], con lo que se obtiene una carga aproximada de 20[pC] en cada ciclo de la señal de entrada. Con este circuito se comprueba la circuitería de ambos canales.

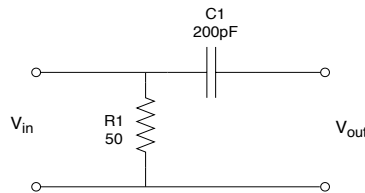


Figura 6.9: Esquemático del inyector de carga utilizado en el experimento.

Los resultados obtenidos se resumen en la siguiente tabla:

	Amplitud Salida [V]	Corriente de emisor [mA]	Ganancia aproximada [mV/pC]
Canal Derecho	0.763	0.354	38.1
Canal Izquierdo	0.792	0.376	39.6

Tabla 6.1: Resultados de experimento de ganancia con inyector de carga de 20[pC]

Adicionalmente se grafica la amplitud del voltaje de salida del módulo preamplificador en función de la carga inyectada a este, con el fin de determinar el rango dinámico de la electrónica, que corresponde al sector en donde la curva entrada/salida es aproximadamente una recta y se le puede asociar una única ganancia. Estos gráficos para ambos canales se pueden observar en la figura 6.10

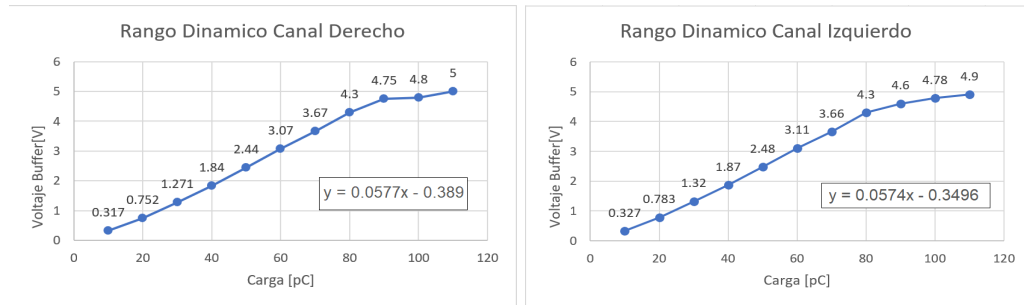


Figura 6.10: Resultados del experimento para determinar el rango dinámico de ambos canales. Se muestra además una regresión de la zona lineal.

De estos gráficos se puede encontrar una mejor aproximación a la ganancia de la electrónica, dado que corresponde a la pendiente obtenida mediante la regresión lineal de los datos (en zona lineal). Para el canal derecho la pendiente obtenida es $57.7[\text{mV}/\text{pC}]$ y que para el canal izquierdo es $57.4[\text{mV}/\text{pC}]$. Siendo estos valores muy similares, se descarta que la diferencia de intensidad se deba a una significativa diferencia de ganancia de la electrónica. En esta instancia se verifica además que el rango dinámico es aproximadamente $4.3[\text{V}]$ para ambos canales.

Luego de caracterizar la ganancia de la electrónica y además confirmar su correcto funcionamiento, se comienza a examinar la operación de los MPPC de ambos canales. Lo primero a identificar es la ganancia por píxel, lo cual ya es posible dado los cambios que se hicieron anteriormente en la etapa preamplificadora. En la figura 6.11 se muestran para ambos canales. Estas ganancias se han medido con un voltaje de polarización ($V_{bias} = 55.5[\text{V}]$).

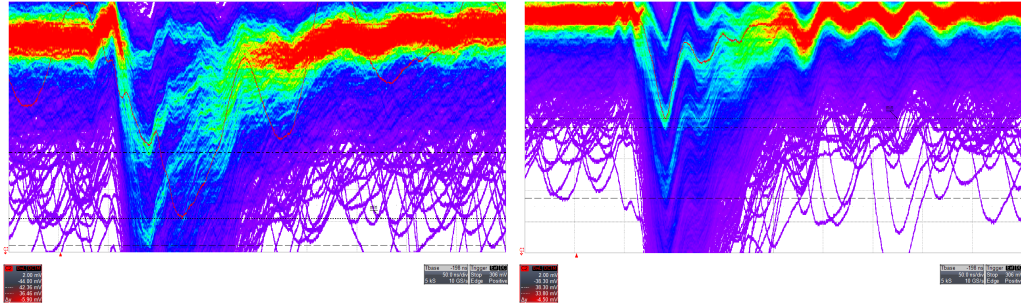


Figura 6.11: Salidas del módulo preamplificador en modo persistencia utilizadas para determinar la ganancia por píxel de ambos canales. En izquierda se aprecia el canal izquierdo, mientras que en la derecha el canal del mismo nombre. Escala de amplitud: 2[mV/div]. Escala temporal: 50[ns/div].

De estas formas de onda se puede observar lo siguiente que en el canal derecho la ganancia medida es 4.5[mV/px] y la señal se aprecia con menos ruido con menos dispersión. En contraste, el canal izquierdo se observa mucho ruido, es más difícil diferenciar un pulso de otro y la ganancia que se ha medido es de 5.9[mV/px].

Con estas observaciones se puede concluir lo siguiente que los MPPC no son idénticos y por tanto el voltaje óptimo de polarización difiere entre ambos canales. Es importante mencionar que la ganancia del MPPC aumenta linealmente con su voltaje de operación, sin embargo, si el MPPC opera con un voltaje superior al óptimo (que según el fabricante, corresponde aproximadamente al voltaje de ruptura $V_{br} + 3[V]$), el ruido provocado por cuentas falsas (“dark noise”) se incrementa drásticamente, como es el caso observado para el canal izquierdo. Por lo anterior, se decide realizar un experimento para inferir el voltaje de ruptura V_{br} utilizando una regresión lineal simple en un gráfico de ganancia versus voltaje de operación para cada canal. De esta forma se puede operar el MPPC en su punto óptimo de aquí en adelante. En la figura 6.12 se muestran estos gráficos.

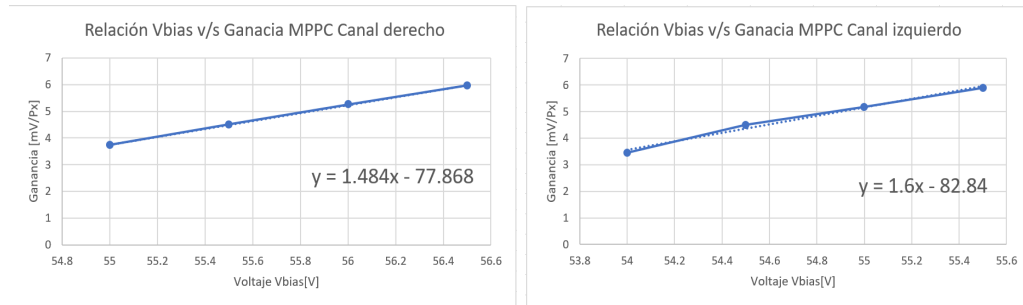


Figura 6.12: Resultados del experimento realizado para medir el voltaje de ruptura en los MPPC de ambos canales.

Se recuerda que cuando el MPPC opera en el voltaje de ruptura, la ganancia teórica es cero, por lo tanto, al calcular este intercepto con el eje x se puede determinar un aproximado de V_{br} . Para el canal derecho se obtiene $V_{br} = 52.47[V]$, lo que implica un voltaje de operación óptimo de $V_{op}^* = 55.47[V]$. Para el canal izquierdo, $V_{br} = 51.76[V]$, lo que supone un voltaje de operación óptimo de $V_{op}^* = 54.77[V]$. Estos resultados refuerzan la conjetura que el canal izquierdo se encuentra polarizado con un valor superior su óptimo, lo que se traduce en una mayor ganancia y mayor presencia de ruido por “dark noise”.

Finalmente, las ganancias de los canales derecho e izquierdo, polarizados a su voltaje óptimo se midieron nuevamente, obteniéndose $4.28[mV/px]$ y $4.55[mV/px]$ respectivamente.

Luego de obtener las ganancias, el siguiente paso es caracterizar la luz que es recibida por cada canal considerando solo eventos de Muones. Para lograr esto se mide la amplitud de la señal de salida del módulo preamplificador de ambos canales y posteriormente se seleccionan solo los eventos que correspondan a Muones que pasaron a través del detector, esto se hace a través de un sistema de coincidencia triple con detectores centelladores cuadrados pequeños, como se muestra en la figura 6.13.

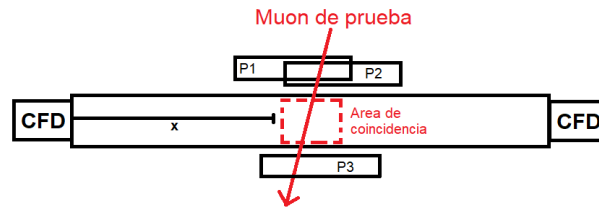


Figura 6.13: Esquema de disparo para la toma de muestras de los experimentos utilizando Muones provenientes de rayos c3smicos.

Considerando el area de coincidencia ubicada en el centro del detector, se obtienen las siguientes distribuciones de amplitud para cada canal:

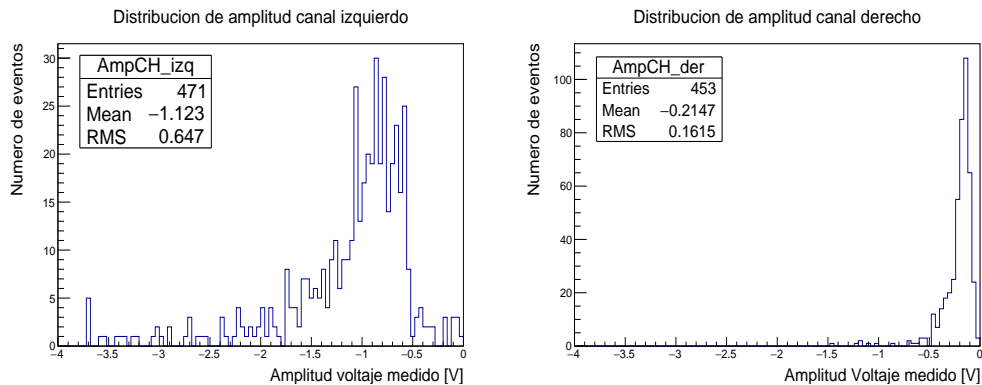


Figura 6.14: Distribuci3n de amplitud correspondiente a las salidas anal3gicas de los m3dulos preamplificadores en cada canal, para el experimento de caracterizaci3n con rayos c3smicos.

En esta figura se observa claramente que los fotones llegan deficientemente al canal derecho, ya que su distribuci3n tiene un promedio de -0.215[V] (los pulsos son de polaridad negativa). Considerando la ganancia por p3xel asociada a este canal, se tiene que en promedio, llegan aproximadamente 51 fotones al MPPC del extremo derecho. Al realizar el mismo c3lculo para el canal izquierdo, se obtiene que el promedio de fotones recibidos es aproximadamente 247 fotones. Esto es casi cinco veces m3s luz en el canal izquierdo.

Las razones que se atribuyen a este comportamiento son principalmente defectos en la construcci3n del detector ya que errores en la electr3nica fueron descartados con las pruebas anteriores. Se pueden conjeturar:

1. Problemas en la colecci3n de luz del MPPC del canal derecho, es decir, que se

encuentre defectuoso.

2. Fallas en el acoplamiento óptico entre las fibras WLS y el MPPC de este canal.
3. Problemas en la transmisión de luz en las fibras, ya sea que esten dobladas o quebradas internamente.
4. Mal encaje mecánico en el extremo del detector entre las fibras WLS y el MPPC.

A pesar de considerar este comportamiento como defectuoso, se decide continuar con las pruebas a las etapas siguientes, ya que el foco de esta memoria es la implementación de la electrónica y no la construcción del detector mismo.

6.2.3. Corrección de la banda de histéresis para el comparador de salida

Otro de los aspectos fundamentales a evaluar del conjunto electrónica y MPPC es su eficiencia. Para este proyecto se ha definido la eficiencia del discriminador de fracción constante como la razón entre la cantidad de pulsos de salida y la cantidad de Muones atravesando el detector que generen estos pulsos. Típicamente, lo que determina este valor es el ancho de la histéresis que compara el voltaje del módulo sumador que se aprecia en la figura 6.4.

Para evaluar la banda de histéresis que se debe ajustar al detector diseñado para obtener una eficiencia del 99 % se plantea el siguiente experimento usando el esquema de selección de pulsos de la figura 6.15. Primero se ubica el área de coincidencia en el extremo izquierdo del detector, luego se toman muestras de pulsos de ambos canales y después se hace un histograma de la distribución de amplitud de estos, en conjunto con otro histograma representando su distribución de amplitud acumulada. De este último gráfico se puede determinar una aproximación del umbral de amplitud que contenga un 99 % de los pulsos. Un ejemplo de este resultado se muestra en la siguiente imagen. El área de coincidencia se ubicó en el centro del detector.

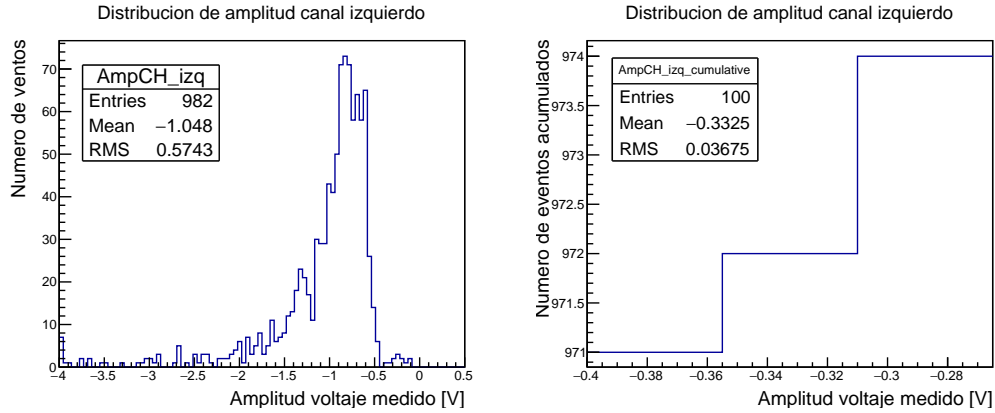


Figura 6.15: Ejemplo de los gráficos generados por cada canal para el cálculo de valor promedio y el umbral de 99 % en el voltaje de salida de los pulsos.

En la imagen de la derecha, se muestra un acercamiento de la distribución acumulada hasta el área de interés. El 99 % de los pulsos corresponde a un nivel de voltaje de $-0.333[V]$.

La idea es repetir este experimento ubicando el área de coincidencia en distintas partes del detector, con el fin de encontrar una banda de histéresis que permita obtener un 99 % de eficiencia para los Muones a lo largo de todo el detector.

En la siguiente tabla se resumen los resultados para estos experimentos considerando cinco zonas de coincidencia distribuidas uniformemente.

N° posición	Canal derecho		Canal izquierdo	
	\bar{V}	ΔV 99 %	\bar{V}	ΔV 99 %
1	-0.128[V]	30[mV]	-1.205[V]	423[mV]
2	-0.174[V]	55[mV]	-1.149[V]	256[mV]
3	-0.193[V]	46[mV]	-1.028[V]	332[mV]
4	-0.2532[V]	72[mV]	-0.799[V]	152[mV]
5	-0.292[V]	72[mV]	-0.723[V]	160[mV]

Tabla 6.2: Resultados del experimento de caracterización de la histéresis en el detector.

De estos resultados se puede inferir que el umbral de histéresis necesario para lograr un 99 % de eficiencia está fuertemente determinado por el canal derecho. Este canal mostró deficiencias en la colección de fotones, donde se observa casi cinco veces

menos luz y lo que incidió en un umbral relativamente bajo para el comparador con histéresis (30 [mV]).

Al observar el valor medio de las distribuciones se puede notar que tiene su punto más alto en el extremo del canal correspondiente, lo que demuestra la existencia de atenuación en la transmisión de fotones a través de las fibras WLS que no se había considerado relevante debido a la longitud del detector.

Finalmente se decide modificar la histéresis del módulo comparador a 30[mV] (con los valores elegidos en la etapa de diseño, esta era aproximadamente 43[mV]). Antes se hace una prueba con el fin de medir la eficiencia del detector antes del cambio de histéresis. Para esto se utiliza el mismo sistema de selección de pulsos, ubicando el área de coincidencia en el centro y ambos extremos. Los resultados se muestran gráficamente en la figura 6.16.

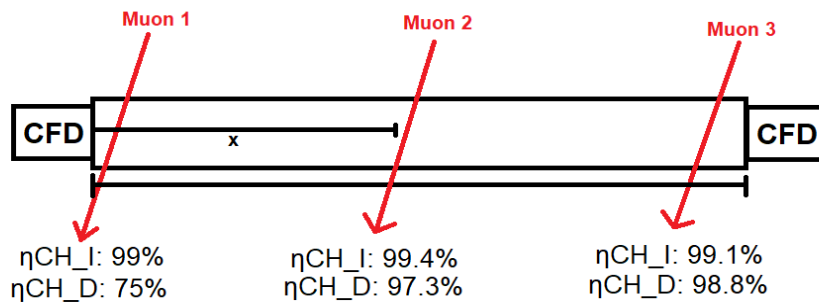


Figura 6.16: Valores de eficiencia en la detección de pulsos en distintos puntos del detector previo al cambio de histéresis en el comparador del discriminador de fracción constante.

En este experimento el canal izquierdo se desempeña adecuadamente, obteniendo eficiencias mayores al 99% en todos los casos. Para el canal derecho se obtienen valores muy menores como es el caso del extremo izquierdo con 75%, de todas formas este valor era esperado considerando el resultado del experimento anterior.

Para fijar el valor de la histéresis, se modificarán algunas de las resistencias del esquemático observado en la figura 3.6. Para fijar estas resistencias se toma en cuenta lo siguiente:

$$V_{TH} = \frac{R_5 + R_6}{R_5} \frac{R_{11}}{R_{11} + R_8} \cdot 5 = 3.37[V]$$

$$V_{TL} = \frac{R_5 + R_6}{R_5} \frac{R_{11}}{R_{11} + R_8} \cdot 5 - \frac{R_6}{R_5} \cdot 3.3 = 3.34[V]$$

Manteniendo las resistencias $R_6 = 1.2[k\Omega]$ y $R_8 = 8.2[k\Omega]$, se obtiene que las resistencias restantes deben ser $R_5 = 132[k\Omega]$ y $R_{11} = 16.51[k\Omega]$.

Posteriormente se repite el experimento de cálculo de la eficiencia para verificar los cambios. Los resultados se muestran en el esquema de la figura 6.17.

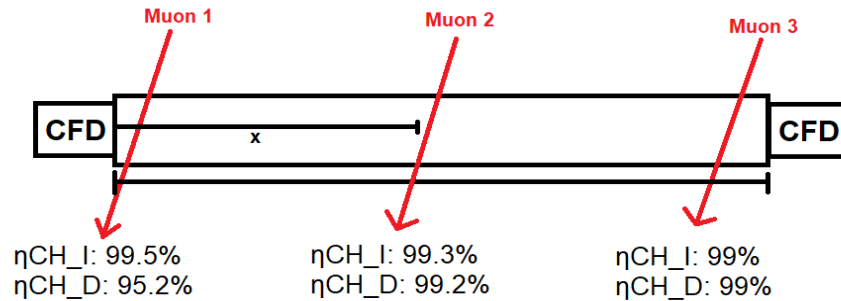


Figura 6.17: Valores de eficiencia en la detección de pulsos en distintos puntos del detector posterior al cambio de histéresis en el comparador del discriminador de fracción constante.

Se comprueba que ahora ambos canales se desempeñan normalmente, con la excepción del canal derecho que presenta una eficiencia de 95.2% al detectar Muones provenientes del extremo izquierdo. Este resultado no presenta mayor problema ya que en la mayoría del área del detector se observan eficiencias iguales o mayores al objetivo. Es por esto que a partir de ahora se considerará que el discriminador de fracción constante funciona correctamente y en concordancia con los objetivos del proyecto.

6.3. Pruebas para el compensador de geometría

6.3.1. Prueba de funcionamiento

Al igual que para el discriminador de fracción constante lo primero que se realizará para el compensador de geometría será observar las formas de onda de sus

módulos más relevantes. Estas se muestran en las figuras 6.18 y 6.19.

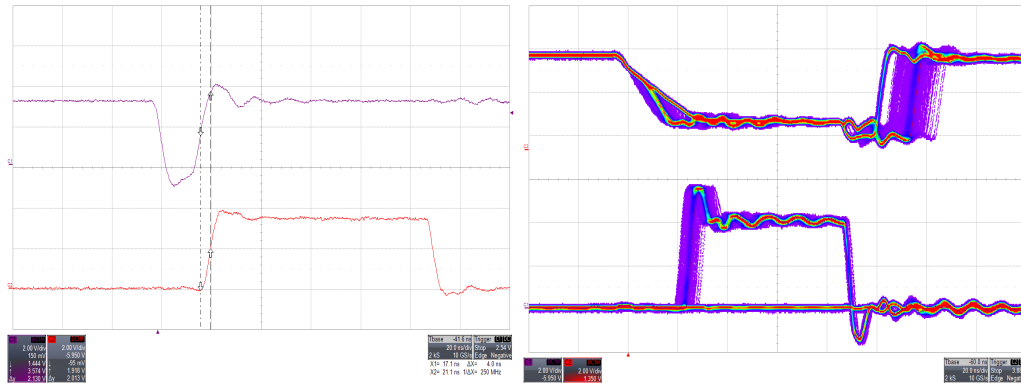


Figura 6.18: Formas de onda en distintos puntos del compensador de geometría. En la izquierda se muestra la entrada y salida del módulo monoestable, mientras que en la derecha se muestra una imagen en modo persistencia del voltaje en el condensador principal y en la salida del circuito. Escala de amplitud: 2[V/div]. Escala temporal: 20[ns/div]

En la forma de onda a la izquierda de la figura 6.18, se encuentra la entrada/salida del módulo monoestable donde se puede ver que se emite un pulso de aproximadamente 90[ns] al recibir un canto positivo en la entrada (con un pequeño retardo de propagación de 4[ns], que se encuentra dentro de los límites especificados por el fabricante). En la figura de la derecha se observa el voltaje del condensador principal en conjunto con la señal de salida, en modo de persistencia. El disparo de esta forma de onda se hace con el canto de bajada del voltaje en el condensador. Se aprecian los eventos correspondientes a cantos simples (cuando alguno de los canales del discriminador de fracción constante se dispara por si solo) donde no se observa voltaje en la salida. También se observan los eventos dobles con un quiebre en la pendiente del condensador, que indica el comienzo del funcionamiento de la segunda fuente de corriente, en este caso aparece un pulso en la salida.

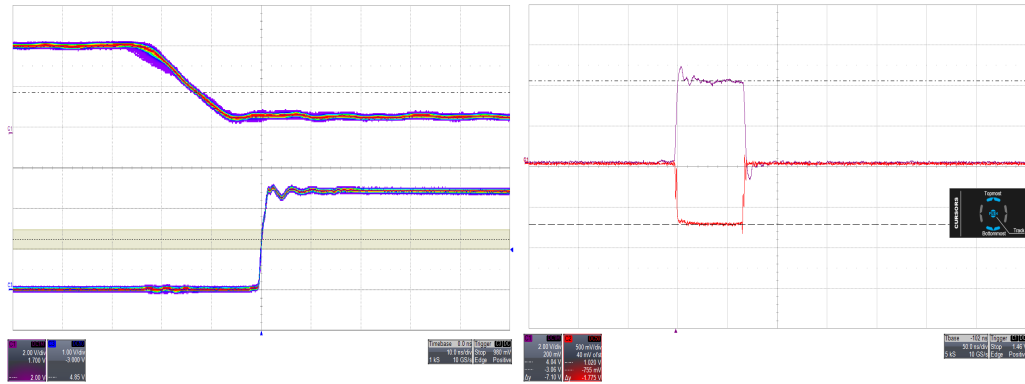


Figura 6.19: Formas de onda en distintos puntos del compensador de geometría. En la izquierda se muestra un acercamiento temporal al voltaje del condensador con la salida. Escalas de amplitud $2[V/div]$ para la forma de onda superior y $1[V/div]$ para la inferior. Escala temporal $10[ns/div]$. A la derecha se pueden ver las salidas LVTTL y NIM. Escalas de amplitud: $2[V/div]$ y $500[mV/div]$ respectivamente. Escala temporal: $50[ns/div]$.

A la izquierda de la figura 6.19 se muestra nuevamente el voltaje del condensador en conjunto con la salida en modo persistencia, esta vez usando como disparo, el canto de subida de esta última. Se puede apreciar la dispersión en el voltaje del condensador dada por la activación de las entradas en distintos tiempos. Esta señal es muy similar a la de la figura 4.16 que se usó en el capítulo de simulación. Finalmente, a la derecha se encuentra un contraste entre las salidas LVTTL y NIM, el traductor diseñado funciona sin problemas.

6.3.2. Evaluación de la dispersión temporal del compensador de geometría

Para evaluar el desempeño del compensador de geometría se realiza el siguiente experimento:

1. Se conectan la salidas de los discriminadores de fracción constante de ambos extremos a los canales de entrada del compensador de geometría, utilizando cables de distinta longitud. En esta oportunidad, se conecta el canal izquierdo con la entrada numero uno con un par trenzado de $40[cm]$, a su vez, se conecta el canal derecho con un cable del mismo tipo de longitud $205[cm]$.
2. Utilizando un generador de señales se transmite un pulso cuadrado de frecuencia $100[Hz]$ y tiempo en alto $20[ns]$ a los LEDs de calibración dispuestos en el

detector. Este es el mínimo posible en el generador de señales disponible, la idea es obtener la cantidad de luz suficiente para generar pulsos en los MPPC, sin excesos. Esta misma señal se utilizará como señal de disparo para la toma de muestras.

3. Con un osciloscopio se miden las formas de ondas de los módulos monoestables de cada canal y además la salida LVTTL del compensador de geometría. Estas se guardarán en archivos para su posterior análisis.
4. Se repite el mismo experimento utilizando los tres LEDs de calibración disponibles.
5. En la sección de análisis de los datos, se calcula el tiempo que tarda el canto de subida a partir de la señal de disparo, para las tres formas de onda medidas con el osciloscopio y para todos los datos obtenidos (con los distintos LEDs) y se representan en un histograma.

A continuación se muestran los resultados de este experimento, en la figura 6.20

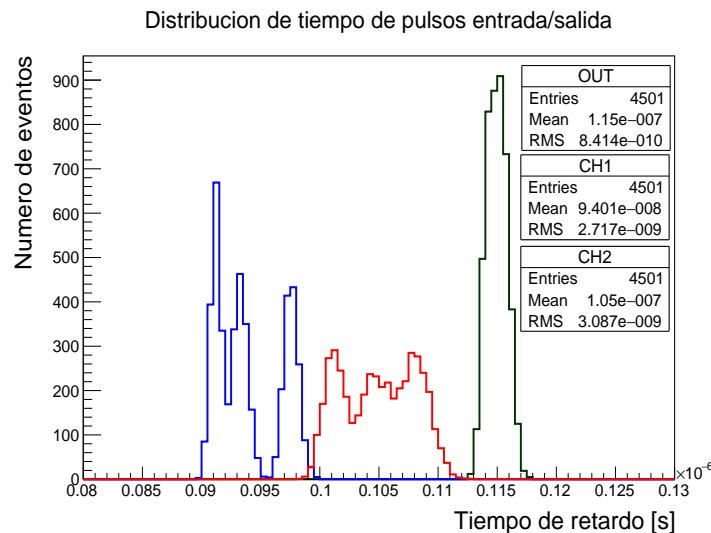


Figura 6.20: Distribución del retardo temporal entre las entradas y la salida del discriminador de geometría con respecto a la señal de disparo en el experimento inicial. En azul se muestra la distribución del canal uno, en rojo la distribución del canal dos y en verde, la salida.

Se puede observar que el canal izquierdo posee una distribución con un valor medio de 94 [ns], con tres máximos bien diferenciados y centrados en 91, 93 y 98 [ns]. Esto corresponde a la activación de los LEDs de calibración tres, dos y uno

respectivamente.

Con respecto al canal derecho la distribución está centrada en 105[ns], lo cual era esperado considerando que este discriminador de fracción constante se conecta al compensador de geometría a través del cable de 205[cm]. En esta distribución se observan igualmente tres máximos, aunque no tan diferenciados, centrados aproximadamente en 101, 104 y 109 [ns].

En la salida se observa una disposición bien definida centrada en 115[ns], con una dispersión de 841[ps]. Lo cual da a concluir que el compensador de geometría funciona correctamente.

Un problema que se puede observar en el gráfico es que las distribuciones de ambos canales se encuentran muy juntas entre sí. Recordar que esto depende exclusivamente del cable por el cual se han conectado los canales. Se decide utilizar un cable más largo en las próximas pruebas.

Para el siguiente experimento se utilizará un cable de 3[m] para conectar el canal con retardo y además se cambiará la resistencia R_{16} de la figura 4.21 desde 1.2[k Ω] a 1.6[k Ω] con el fin de lograr un punto de comparación mas bajo en el voltaje del condensador principal y tratar de disminuir aún más la dispersión en la salida. Los resultados de este experimento se muestran a continuación:

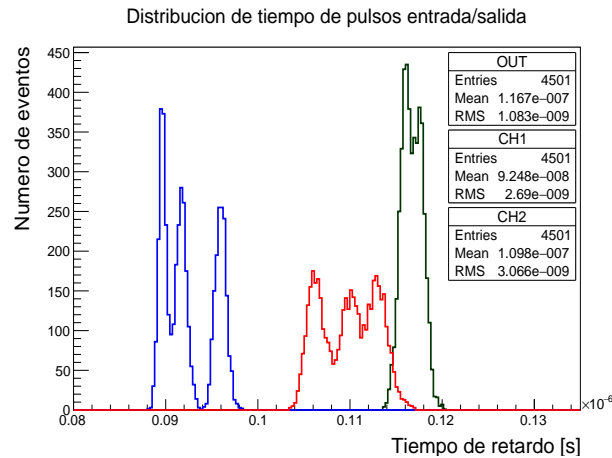


Figura 6.21: Distribución del retardo temporal entre las entradas y la salida del discriminador de geometría con respecto a la señal de disparo luego del cambio en la longitud de los cables y el valor de la resistencia R_{16} . En azul se muestra la distribución del canal uno, en rojo la distribución del canal dos y en verde, la salida.

Al contrario de lo que se había pensado, la dispersión en la salida aumentó a

1.08[ns] en esta configuración a pesar de haber disminuido el nivel de comparación. La causa puede ser explicada porque el voltaje en el condensador principal se satura en aproximadamente 1[V], mientras un evento de coincidencia toma lugar. El grado de libertad para posicionar el comparador en el voltaje del condensador principal entonces esta dado por $V_{CC} - 1[V]$ aproximadamente 4[V], lo que implica una separación máxima entre los pulsos de entrada de 16[ns] (considerando una corriente de descarga de 2.5[mA] y un valor para el condensador de 10[pF]). Para solucionar esta situación se pueden tomar dos medidas:

1. Disminuir la corriente de descarga o en su defecto, aumentar el valor de la capacitancia, para lograr una pendiente de caída menor en el voltaje del condensador.
2. Tratar de encasillar la distribución de los pulsos, utilizando los cables trenzados que conectan los canales al compensador de geometría, para que la diferencia máxima entre los cantos de las entradas sea menor que 16[ns].

La primera opción posee la desventaja de aumentar el tiempo de retardo promedio del circuito, consecuencia de disminuir la pendiente de caída en el condensador. Además, al disminuir la corriente de descarga, esta se hace menos inmune a los fenómenos de ruido, “overshoot” y “undershoot” dados por la rápida conmutación de estas fuentes de corrientes. Por otro lado en el laboratorio donde se desarrolla este proyecto no existen más capacitores con valores semejantes, esto corresponde a un problema de disponibilidad de materiales.

Con respecto a la segunda opción, el único problema que se detecta es que al reducir el largo relativo entre los cables que conectan los canales al compensador de geometría, es altamente probable que sus distribuciones se superpongan, lo que implica que para algunos eventos, el canal uno precederá al canal dos, mientras que en otros pasará lo contrario. Esto no necesariamente es una desventaja, ya que este circuito se ha diseñado de forma simétrica para los canales de entrada y en teoría debería funcionar de la misma forma al intercambiarlos. Para comprobar esta teoría se hará un último experimento utilizando cables de igual longitud (2[m]) para conectar los discriminadores de fracción constante al compensador de geometría. Además, se repetirá intercambiando los canales. Los resultados de este experimento final se muestran en la figura 6.22.

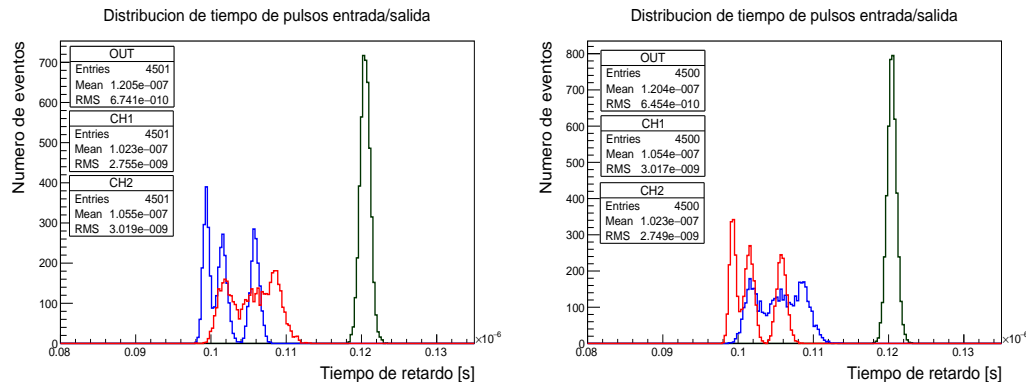


Figura 6.22: Distribución del retardo temporal entre las entradas y la salida del discriminador de geometría con respecto a la señal de disparo luego de igualar la longitud de los cables. En azul se muestra la distribución del canal uno, en rojo la distribución del canal dos y en verde, la salida. En la izquierda se muestra el histograma para la configuración original y en la derecha con los canales intercambiados

Como se observa las distribuciones de los canales se encuentran completamente superpuestas, mientras que en la salida se ve una notable mejoría en cuanto a su dispersión, pasando desde 1.08[ns] a 0.674[ns] en la configuración original y a 0.645[ns] con las entradas intercambiadas. Por otra parte, el retardo promedio, se mantiene constante en ambas.

La conclusión que se obtuvo luego de completar este experimento es que la dispersión en la señal de salida será pequeña siempre que la diferencia entre los cantos de las entradas se mantengan dentro del rango máximo permitido, dado por el diseño de la corriente de descarga y el valor del condensador principal.

6.4. Pruebas para la unidad de coincidencia multicanal

6.4.1. Funcionamiento de las compuertas lógicas

Para hacer una prueba de caracterización de la unidad de coincidencia multicanal se hicieron algunos cambios en la electrónica de la PCB de interfaz y en la programación de la CPLD.

En el laboratorio donde se realiza este proyecto no se posee algún instrumento de calibración (como un generador de señales, por ejemplo) cuyas salidas sean en estándar LVDS, por lo tanto se decidió modificar el esquema de entradas para tenerlas en niveles lógicos LVTTTL. Esto requirió modificar la PCB interfaz agregando una

resistencia de $0[\Omega]$ en los pines negativos de cada entrada con el fin de cortocircuitar este pin a la tierra de la interfaz y la CPLD.

En cuanto al programa principal, se modificó para realizar un experimento inicial, con el fin de verificar el funcionamiento de las compuertas lógicas dentro de la CPLD. A continuación se lista el programa de prueba.

```

module MCCU (CH1,CH2,OUTLVTTL);
input CH1;
input CH2;
output OUTLVTTL;

assign OUTLVTTL = CH1&&CH2;
//assign OUTLVTTL = CH1||CH2;
endmodule

```

Con el siguiente archivo de restricciones de hardware:

```

#Entradas LVTTL lado derecho pcb interfaz

#####          CANAL 1          #####
LOCATE COMP "CH1" SITE "E4" ;                # J3 pin 1
IOBUF PORT "CH1" IO_TYPE=LVTTL33 PULLMODE=DOWN OPENDRAIN=OFF ;

#####          CANAL 2          #####
LOCATE COMP "CH2" SITE "E3" ;                # J3 pin 13
IOBUF PORT "CH2" IO_TYPE=LVTTL33 PULLMODE=DOWN OPENDRAIN=OFF ;

#####          SALIDA LVTTL          #####
LOCATE COMP "OUTLVTTL" SITE "J15" ;          # J8 pin 8
IOBUF PORT "OUTLVTTL" IO_TYPE=LVTTL33 PULLMODE=NONE SLEWRATE = FAST;

```

El programa anterior se hizo para examinar la respuesta de la CPLD en dos configuraciones, haciendo las operaciones lógicas OR y AND entre dos entradas. Para simular las entradas se utiliza un generador de señales unido a un “splitter” pasivo, que se conecta a dos cables coaxiales, uno de 1[m] y otro de 4[m], para lograr dos señales idénticas espaciadas aproximadamente por 20[ns]. En la figura 6.23 se muestra la respuesta de la unidad de coincidencia para la operación lógicas AND, en la derecha. En la izquierda se muestra esta misma respuesta para la operación

lógica OR.

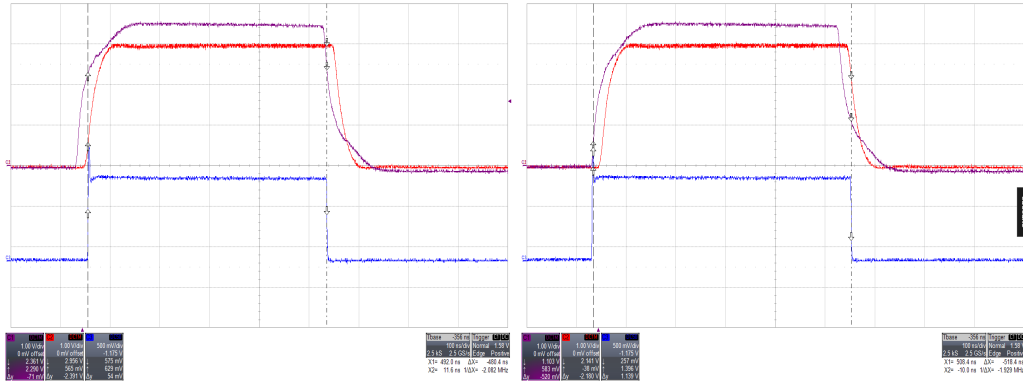


Figura 6.23: Señales de entrada y salida en el experimento de prueba para la unidad de coincidencia multicanal. Escalas de amplitud: 1[V/div] para las señales violeta y roja, 500[mV/div] para la señal azul. Escala temporal: 100[ns/div].

Se puede observar que la CPLD responde correctamente según la compuerta lógica que se ha programado.

6.4.2. Medición de la dispersión perteneciente a la unidad de coincidencia multicanal

Estas corresponden a las pruebas finales a realizarse para la unidad de coincidencia multicanal y se llevarán a cabo utilizando el programa completo y las restricciones de hardware especificadas en la sección 5.2.2.

El esquema de medición es similar a la prueba anterior, se utiliza el generador de formas de onda para simular combinaciones convenientes de señales de entrada, con el fin de obtener retardos y dispersiones características en la señal de salida. En el esquema de la figura 6.24 se muestra la organización de las entradas en la MCU para la prueba de caracterización temporal. Se dividen los ocho canales de entrada en dos capas que simbolizan los planos centelladores propuestos en la sección 2.2.1. A su vez cada capa posee cuatro canales, correspondientes a los cuatro detectores centelladores que conforman los planos del mismo nombre.

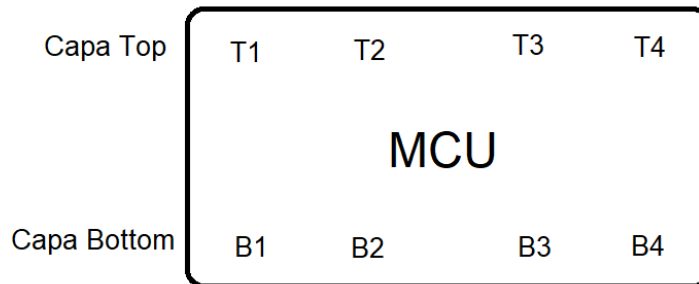


Figura 6.24: Esquema de organización de las entradas en la unidad de coincidencia multicanal, las capas simbolizan la ubicación de los planos centelleadores originalmente descritos en la sección 2.2.

El procedimiento para el experimento es el siguiente:

- Utilizando las mismas señales de entrada del experimento anterior, se conecta la que no ha sido retardada en el canal uno del costado superior, que en adelante se denominará T1, la señal con el retardo se ubicará en el canal uno del costado inferior, es decir, en B1.
- Se mide el tiempo del canto de subida de la salida, utilizando como señal de disparo, el canto de la señal retardada (la que se conectó a B1).
- Se organizan estos datos en un histograma y se calcula el retardo medio y la dispersión temporal. Este histograma se denominará T1B1.
- Se repite la medición con la entrada no retardada T1 y las entradas retardadas B2, B3 y B4, obteniendo los histogramas T1B2, T1B3 y T1B4.
- Después se intercambian las entradas, esta vez conectando la entrada no retardada a B1 y la señal con retraso a T1, generando el histograma B1T1.
- Se hace lo mismo variando las entradas T2, T3 y T4, generando los histogramas B1T1, B1T2, B1T3 y B1T4.

En la siguiente tabla se resumen los resultados de este experimento para los distintos histogramas:

Histograma	Valor medio [ns]	Dispersión [ps]
T1B1	4.17	49.8
T1B2	4.11	52.6
T1B3	3.88	49.7
T1B4	4.23	51.8
B1T1	3.12	50.9
B1T2	3.11	51.4
B1T3	3.17	47.1
B1T4	3.51	51.6

Tabla 6.3: Resultados de la caracterización temporal para la unidad de coincidencia multicanal (MCU).

Se puede observar que el sistema posee retardos medios bastante bajos en todas sus entradas (desde 3.11[ns] a 4.17[ns]) y dispersiones temporales minúsculas, cercanas a 50[ps]. El retardo medio de la MCU se puede calcular como:

$$\bar{T} = \frac{1}{n} \sum^i t_i = 3.66[ns]$$

Dado que la dispersión propia de cada histograma es despreciable con respecto a su retardo medio, se toman estos últimos como datos puntuales y se usan para calcular la dispersión total del sistema como:

$$\sigma = \sqrt{\frac{\sum^i (t_i - \bar{T})^2}{n - 1}} = 492[ps]$$

Los resultados obtenidos son considerados excelentes y con esto se concluye la etapa de experimentos y correcciones del sistema de disparo.

CONCLUSIONES

Como se mencionó en el capítulo 1, el objetivo de este trabajo de título es el diseño de la electrónica a utilizar en el sistema de disparo para un laboratorio móvil de Muongrafía, o tomografía de Muones. Para el desarrollo de este proyecto se comienza estudiando las propiedades de los materiales centelladores, con los cuales se construye la matriz de detectores del sistema donde se concluye que el centellador orgánico plástico es el mejor entre todos los disponibles por su costo, fácil fabricación y posibilidad de moldeado.

Al utilizar este tipo de material, es imperativo tener un dispositivo colector de luz, que en este caso se prefiere utilizar un MPPC (un fotomultiplicador de silicio) en vez de los clásicos PMT por varias razones, entre ellas: tamaño, costo y reducido voltaje de polarización. Naturalmente, el uso de un MPPC fija varios aspectos del diseño en la electrónica, como por ejemplo el uso de una etapa preamplificadora adaptada específicamente para este propósito y una fuente de alto voltaje fabricada para alimentar el MPPC. Esta fuente fue diseñada en SiLab por otro trabajador y se integra a la electrónica de adquisición de datos.

Luego de clarificar estos conceptos, se plantea una arquitectura de detección bien definida utilizando módulos con funciones específicas, se definen los siguientes: el discriminador de fracción constante (CFD), el compensador de geometría(GC) y la unidad de coincidencia multicanal (MCU).

Para verificar el correcto funcionamiento de estos módulos se fabrica un detector prototipo de dimensiones reducidas (exactamente, la mitad de longitud del detector propuesto para el proyecto) como se muestra en el capítulo 6. En este proceso de fabricación se detectó una anomalía en la colección de luz de las fibras ópticas WLS en uno de los canales del detector, que se puede ver a simple vista. Este resultado impactó negativamente en la adquisición de datos y el desempeño en uno de los canales de la electrónica diseñada, debido a que se redujo drásticamente la amplitud de los pulsos de corriente obtenidos desde el MPPC. Este problema se tendrá en

cuenta para la construcción de los centelladores definitivos.

Específicamente, el discriminador de fracción constante fue el módulo que requirió la mayor cantidad de pruebas y modificaciones. Se comenzó caracterizando la etapa de preamplificación, sin considerar el MPPC, usando un inyector de carga en vez de este y se encontró que las ganancias para los canales derecho e izquierdo fueron $38.1[\text{mV/pC}]$ y $39.6[\text{mV/pC}]$ respectivamente. El error entre estos valores es aproximadamente del 4%, el cual se encuentra dentro de los márgenes esperados.

Luego de verificar que la electrónica funciona correctamente y que los MPPC se ubican en su punto óptimo de operación se tomaron muestras de la salida analógica de este circuito y se corroboró que el canal con las fibras defectuosas recibe mucho menos fotones, en promedio cinco veces menos que el canal que funciona correctamente. En virtud de este hecho, se modificó la histéresis de este comparador para lograr un 99% de eficiencia de detección teórica ambos canales, logrando un 95.2% en el peor caso para el canal defectuoso. Aún cuando este valor no se encuentra dentro del objetivo, se consideró aceptable dadas las limitaciones del detector.

Con respecto al compensador de geometría se realizaron múltiples experimentos utilizando los LEDs de calibración instalados en el detector prototipo, con el fin de determinar una configuración de entrada para lograr la mayor resolución posible, es decir, el menor "jitter". Es importante mencionar que estos experimentos fueron acumulativos, es decir, se llevaron a cabo sobre el sistema completo incluyendo el discriminador de fracción constante y el compensador de geometría. La configuración que dió mejores resultados es la que utilizó cables de conexión de igual longitud, al contrario de lo que se planteó en la sección de diseño. Con este esquema se obtuvo una resolución de $0.674 [\text{ns}]$ en el peor caso, valor que cumple ampliamente con los requisitos de diseño.

En cuanto a la unidad de coincidencia multicanal, se realizó solo un experimento preeliminar considerando solo este primer módulo y un generador de señales. Los resultados obtenidos para este caso son sobresalientes, se obtuvo un retardo medio de entrada/salida de $3.66 [\text{ns}]$ y una dispersión total de $492[\text{ps}]$. Para el trabajo futuro queda pendiente realizar experimentos en conjunto con el sistema completo cuando existan al menos dos detectores prototipo.

REFERENCIAS

- [1] D. B. Adil Baitenov, Alexander Iakovlev, “Technical manual: a survey of scintillating medium for high-energy particle detection,” *ArXiv*, vol. 1601.00086, 2016.
- [2] C. J. M. M. D’Ambrosio, T. Gys and L. Ropelewski, “A short overview on scintillators,” https://ph-dep-dt2.web.cern.ch/CAT2005_3a.pdf <En línea>.
- [3] R. R. Caballero, “Estimación de eficiencia de detección de fotones en multipixel photon counter mppc,” Thesis, Universidad Técnica Federico Santa María, 2013.
- [4] *A technical guide to silicon photomultipliers (MPPC)*, Hamamatsu Photonics, 2018.
- [5] A. Boston, “Nuclear instrumentation: Lecture 5: Pulse timing systems,” http://ns.ph.liv.ac.uk/~ajb/ukgs_nis/pre-course-material/lec5-03.pdf <En línea>.
- [6] R. M. A. Baldwin, “An analog mean-timer circuit for use with large-volume scintillation counters,” *Nuclear Instruments and Methods*, vol. 171, pp. 149 – 152, 1980.
- [7] D. B. J. Carlson, R. Finlay, “High intrinsic efficiency, time-compensated scintillation detector,” *Nuclear Instruments and Methods*, vol. 147, pp. 353–360, 1977.
- [8] N. C. C. L. F. Clemêncio, A. Blanco, “Multi-purpose trigger system for medium particle detector devices,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 929, pp. 142 – 147, 2019.
- [9] M. L. John W. Young, J. C. Moyers, “Fpga based front-end electronics for a high resolution pet scanner,” *IEEE Transactions on Nuclear Science*, vol. 47, pp. 1676 – 1680, 2000.
- [10] C. Combaret, “CAMAC TTL/NIM translator,” http://www.hephy.at/project/electronic2/_PDF_/Translator/TTL_NIM%2520user%2520manual_v10.pdf <En línea>.