



UNIVERSIDAD TECNICA FEDERICO SANTA MARIA

Memoria de Título

Generación de un protocolo de pruebas y armado de un Test Bed para un convertidor DC-DC integrado

Memoria de titulación para optar al título de
Ingeniero Civil Electrónico

Alumno

Ítalo Ignacio Muñoz Lira

Profesor Supervisor
Dr. Jorge Marin

Comisión Co-Referente
Dr. Christian Rojas

Enero 17, 2025, Valparaíso, Chile



CONSTANCIA DE VALIDACIÓN Y CONFIDENCIALIDAD DE MONOGRAFÍA A REPOSITORIO ACADÉMICO

1.- IDENTIFICACIÓN DEL TRABAJO ACADÉMICO

Tipo de monografía (marcar una opción): Memoria o trabajo de título; Tesis de Postgrado;

Título del trabajo: Generación de un protocolo de pruebas y armado de un Test Bed para un convertidor DC-DC integrado

Nombre del candidato(a): Ítalo Muñoz Lira

Carrera / Grado: Ingeniero Civil Electrónico

Campus: Casa Central Valparaíso ; **Departamento:** Electrónica

2.- VALIDACIÓN DEL PROFESOR GUÍA/DIRECTOR DE TESIS

Yo, Jorge Marin, en mi calidad de profesor(a) guía/director(a) del trabajo académico mencionado anteriormente **DEJO CONSTANCIA** que:

- He revisado esta versión del documento y corresponde a la versión final aprobada del trabajo.
- El trabajo cumple con los requisitos académicos y de formato establecidos por la institución

3.- EVALUACIÓN DE CONFIDENCIALIDAD POR PROPIEDAD INDUSTRIAL

El trabajo **NO contiene información que amerite confidencialidad** y puede ser publicado de inmediato en repositorio con acceso abierto.

El trabajo **CONTIENE** información con potenciales implicancias de propiedad industrial o intelectual y requiere un periodo de confidencialidad (embargo) por:

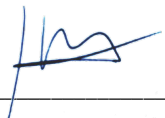
6 meses; 12 meses; 2 años; 3 años; 5 años; 10 años

Fundamentación de la necesidad de confidencialidad (obligatorio si se solicita embargo):

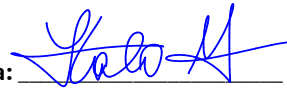
Trabajo con datos experimentales a ser publicados

4.- FIRMAS

Profesor(a) guía o director(a) de memoria o tesis:

Fecha: _____ ; Firma: 

Estudiante o Candidato(a):

Fecha: _____ ; Firma: 

Este formulario debe ser insertado como página 2 de la memoria o tesis, completado y firmado por estudiante y profesor(a) antes de la entrega en portal PRISMA de Biblioteca USM.

"I know I know I'm awesome"
-Duane "Bang" Ludwig

Dedicado a todos los que hicieron este viaje posible

AGRADECIMIENTOS

QUISIERA comenzar expresando mis agradecimientos a las instituciones que permitieron el desarrollo de este trabajo: la UTFSM, el AC3E, la UCh y el SPEL. También agradecer al ANID-Basal Project AFB240002 y al FONDECYT Initiation Research Project 11240947.

Agradezco a los profesores Jorge Marín y Christian Rojas, quienes confiaron en mis habilidades e impulsaron mi desarrollo como estudiante. Espero que este trabajo sea un lindo recuerdo de mi etapa bajo su tutela. Del mismo modo, expreso mi gratitud al profesor Marcos Díaz de la Universidad de Chile por su disposición y conocimiento.

Debo incluir también a la iniciativa de Robótica Estudiantil, donde forjé amistades viejas y nuevas. A la selección de Taekwondo, donde me desarrollé no solo como deportista sino también como persona. Los tendré siempre en el corazón. Y a dos profesores muy importantes en mi formación: Sergio Véliz, quien me enseñó que la vida no es una carrera de caballos; y al profesor Sebastián Aguilar, más que un profesor, un amigo, quien hizo de un simple competidor un atleta. Jamás ganamos una pelea oficial, pero sí todas las que importan.

A los amigos que hice en el camino: Vale, Joel, Agustín y Simón, que nos cuida desde arriba. Sin ustedes, ¿qué sería de mí?

A la familia Vidal-Catalán, que me acogió como uno de los suyos. Me apoyaron y se volvieron parte de mi historia. A mis tíos, tías, primos y primas, y en especial, a mis abuelos. Mami y Papi, sin su trabajo y esfuerzo, sin su crianza, sin ustedes, no podría haberlo logrado. A mis hermanos, que siempre se preocuparon por mí. Mi falta de afecto no representa el cariño que les tengo.

A mi compañero de departamento, a ti, Osvaldo, el mayor detractor de mi trabajo, jamás conforme con mis métodos pero siempre dispuesto a ayudar. Y a Danilo, que estará feliz de aparecer aquí.

A mis padres, Ximena Lira y Marcos Muñoz. Si bien nuestra relación nunca ha sido perfecta, no los cambiaría por nadie. Desde mi infancia, jamás dudaron de mí. Jamás me faltó la comida o la ropa, y si el día de hoy escribo estas palabras es por el fruto de sus esfuerzos. Mamá, Papá, los quiero.

Finalmente, quisiera hacer uso de este último párrafo para agradecer a Yunis Vidal. Fuiste mi compañera por diez años y me enseñaste lo bonito que es el mundo. No hay en mí palabras que describan la gratitud que siento. Me viste reír y llorar en este viaje y mantuviste mi cabeza en alto cuando ni yo podía. Por eso y más, te agradezco desde el fondo de mi corazón.

Ítalo Muñoz Lira

RESUMEN

DESDE sus inicios, la exploración espacial ha demostrado ser de gran interés para la humanidad, dedicando una gran cantidad de recursos a estas misiones. Hoy en día, la barrera de entrada está siendo reducida cada vez más gracias al uso de nanosatélites, siendo los CubeSats sus mayores exponentes. El uso de este tipo de satélites implica el desarrollo y la adaptación de nuevas tecnologías capaces de operar en las condiciones ambientales del espacio.

En este trabajo se estudia un convertidor DC-DC integrado de topología de condensador flotante, desarrollado en tecnología SkyWater 130 nanómetros, para su uso en aplicaciones CubeSat. Junto con el convertidor, se estudian también las interfaces para operarlo y las condiciones ambientales donde debe desempeñar sus funciones, destacando la presión y la temperatura como elementos de mayor importancia.

Una vez obtenidos los rangos de las condiciones ambientales, se procede a definir las variables de interés, junto con las pruebas a realizar, estableciendo cinco pruebas distintivas. Posteriormente, se desarrolla un protocolo para la toma de pruebas, detallando el orden y procedimiento para realizar los experimentos.

Para someter el convertidor a las condiciones definidas, se ensambla un entorno de pruebas con una cámara de termovacío como elemento central, que permite recrear las condiciones de vacío y temperatura que se encontrarían en el espacio. Junto con la cámara de termovacío, se utilizan múltiples instrumentos para medir, controlar y registrar los valores de voltaje, corriente y temperatura durante las pruebas.

Palabras Claves

CubeSat, DC-DC, Convertidor Buck, Convertidor Integrado, Convertidor de Condensador Flotante, Convertidor Multinivel.

ABSTRACT

SINCE its beginnings, space exploration has proven to be of great interest to humanity, dedicating a large amount of resources to these missions. Nowadays, the barrier to entry is being increasingly lowered thanks to the use of nanosatellites, with CubeSats being their main exponents. The use of this type of satellite implies the development and adaptation of new technologies capable of operating under the environmental conditions of space.

In this work, an integrated DC-DC converter with floating capacitor topology, developed using SkyWater 130 nanometer technology, is studied for its use in CubeSat applications. Along with the converter, the interfaces to operate it and the environmental conditions where it must perform its functions are also studied, highlighting pressure and temperature as key elements.

Once the ranges of the environmental conditions are obtained, the variables of interest and the tests to be performed are defined, establishing five distinctive tests. Subsequently, a protocol for taking measurements is developed, detailing the order and procedure for conducting the experiments.

To subject the converter to the defined conditions, a test environment with a thermovacuum chamber as the central element is assembled, which allows recreating the vacuum and temperature conditions found in space. Along with the thermovacuum chamber, multiple instruments are used to measure, control, and record the voltage, current, and temperature values during the tests.

Keywords

CubeSat, DC-DC, Buck Converter, Integrated Converter, Floating Capacitor Converter, Multilevel Converter.

ÍNDICE

AGRADECIMIENTOS	I
RESUMEN	II
ABSTRACT	III
ÍNDICE DE FIGURAS	VII
ÍNDICE DE TABLAS	IX
ABREVIACIONES	X
1. INTRODUCCIÓN	1
1.1. Contexto y Motivación	1
1.2. Definición del Problema a Resolver	2
1.3. Objetivos	2
1.3.1. Objetivo General	2
1.3.2. Objetivos Específicos	2
1.4. Alcances y Contribución	3
1.5. Estructura del Documento	3
2. CARACTERÍSTICAS DE LOS SATÉLITES CUBESAT	4
2.1. Estructura	4
2.2. EPS	6
2.3. Órbita	6
3. DISPOSITIVO BAJO PRUEBA: CIRCUITO INTEGRADO 3LFCC	8
3.1. Convertidor DC-DC	9
3.1.1. Topología	9
3.1.2. Funcionamiento del Convertidor	9
IV	

3.1.2.1.	Estados de Funcionamiento	9
3.1.2.2.	Modulación de Ancho de Pulso	10
3.1.2.3.	Gate Drivers	11
3.1.2.4.	Filtro de Salida	12
3.1.2.5.	Modo Interleaved	12
3.1.3.	Ventajas del Convertidor 3LFCC	13
3.2.	Plataforma Caravan	13
3.2.1.	I/O	13
3.3.	Test Bed del Convertidor	15
4.	METODOLOGÍA DE PRUEBAS	18
4.1.	Antecedentes	18
4.2.	Variables de Interés y Figuras de Mérito	19
4.3.	Configuraciones del Convertidor	20
4.4.	Condiciones de Control y Variaciones Experimentales	20
4.4.1.	Condiciones Ambientales	20
4.4.2.	Parámetros del Convertidor	20
4.5.	Procedimiento General	21
5.	ENTORNO DE PRUEBAS	23
5.1.	Test Bed (adaptado)	23
5.2.	Fuentes de Alimentación	24
5.3.	FPGA	24
5.4.	Joulescopes	25
5.5.	Carga Programable	26
5.6.	Multímetro con Termocupla	27
5.7.	Cámara de Termovacío	27
5.8.	Integración	29
6.	RESULTADOS Y ANÁLISIS	32
6.1.	Temperatura del Empaquetado	32
6.2.	Voltaje de Salida	34
6.3.	Eficiencia	37
6.3.1.	Prueba de Vacío	37
6.3.2.	Prueba de Vacío con Temperatura Elevada	38
6.3.3.	Prueba de Vacío con Temperatura Disminuida	39
6.3.4.	Control Final	40
7.	CONCLUSIONES	41
7.1.	Conclusiones	41

7.2. Trabajo Futuro	42
A. CÓDIGO SYSTEM VERILOG	44
BIBLIOGRAFÍA	53

Índice de figuras

2.1. CubeSat desarrollado por la Universidad de Chile (Proyecto SUCHAI).	5
2.2. Distintas estructuras de CubeSats (NASA).	5
2.3. Estructura típica de un EPS [1].	6
3.1. Topología de convertidor DC-DC de condensador flotante (3LFCC).	9
3.2. Estados de operación del convertidor.	10
3.3. Esquema PS-PWM utilizado para el control del convertidor. Cada señal S_n se vincula con el transistor M_n correspondiente de la Figura 3.1.	11
3.4. Forma de onda de PS-PWM (el tiempo muerto se ha exagerado para su visualización).	11
3.5. Configuración interleaved del 3LFCC.	12
3.6. Vista de layout de los convertidores 3LFCC implementados en la plataforma Caravan de Efabless [1].	14
3.7. Test Board V1.1.2, en rojo la etapa de alimentación, en azul la sección de PWM, en amarillo los puertos para la medición de condensadores, en blanco los puertos para Joulescope, en naranja el filtro LC de salida, en negro el conector Interleaved y en púrpura las conexiones para cargas.	17
3.8. Adaptation board v1.1	17
5.1. Fuente de alimentación PS-3305U	24
5.2. FPGA Nexys A7	25
5.3. Joulescope JS220	26
5.4. Carga Programable MP710258	26
5.5. Multitester EXTECH MN36	27
5.6. Cámara de termovació NDT-4000	28
5.7. Diagrama de interconexión	29
5.8. Conector DB25.	30

5.9. Entorno de pruebas utilizado para el experimento (cámara de termovació, fuentes de poder, carga programable, joulescopes y FPGA).	30
5.10. Entorno de pruebas utilizado para el experimento (fuentes de poder, carga programable, joulescopes, FPGA, notebook).	31
6.1. Temperatura del Empaquetado para cada prueba	33
6.2. Voltajes de Salida configuración Single Core	35
6.3. Voltajes de Salida configuración Interleaved	36
6.4. Eficiencia configuración Single Core	38
6.5. Eficiencia configuración Interleaved	39

Índice de tablas

2.1. Masa máxima de CubeSats.	5
2.2. Condiciones de operación en misiones LEO	7
4.1. Condiciones ambientales de las pruebas a realizar.	20
4.2. Parámetros eléctricos del convertidor.	21
4.3. Variación de la Carga para las pruebas de funcionamiento.	21
6.1. Resumen Temperatura del Empaquetado	34
6.2. Resumen Voltaje de Salida	37
6.3. Resumen de desempeño	40

ABREVIACIONES

Mayúsculas

3LFCC	: three level flying capacitor converter
DC	: direct current
DC-DC	: direct current to direct current
FPGA	: field programmable gate array
IC	: integrated circuit
I/O	: input/output
LEO	: low earth orbit
PCB	: printed circuit board.
PWM	: pulsewidth modulation.
PS-PWM	: phase-shifted pulsewidth modulation.
SoC	: system on chip
SMD	: surface-mounted device

Minúsculas

dc	: direct current
gpio	: general purpose input output

INTRODUCCIÓN

1.1. Contexto y Motivación

La exploración espacial ha alcanzado grandes hitos a lo largo de la historia, desde la creación de cohetes hasta la exploración de Marte por los Mars Exploration Rovers [2]. Uno de los eventos más significativos fue el lanzamiento del satélite Sputnik I por parte de la Unión Soviética en octubre de 1957 [3]. La puesta en órbita de este satélite marcó el inicio de las exploraciones extraterrestres, permitiendo que, con el tiempo, la evolución tecnológica posibilitara misiones con mayor capacidad de computación y autonomía.

Sin embargo, el desarrollo de estos avances también ha implicado un aumento en la complejidad del diseño e implementación de los satélites, lo que, a su vez, ha extendido los tiempos de desarrollo y ha incrementado los costos de manufactura [4]. Aunque esto conlleva una mejor preparación de las misiones, también resulta en una lenta incorporación de nuevas tecnologías debido a la falta de un historial que avale su buen funcionamiento junto con restricciones económicas dada la magnitud e importancia de los proyectos. De esta problemática surge el desarrollo y uso de los CubeSats, nanosatélites estandarizados que, al ser reducidos en tamaño, eliminan o reducen muchas de las problemáticas, pero inducen nuevos desafíos.

La motivación para el desarrollo de este trabajo surge de continuar los estudios presentados en [5], los cuales se centran en la validación del funcionamiento de un convertidor integrado de corriente continua a corriente continua (DC-DC), con topología de condensador flotante, desarrollado utilizando la tecnología Skywater de 130 nm [1]. El objetivo final de este diseño es integrar el convertidor como parte de un sistema de potencia en CubeSats, donde la densidad de potencia es un factor determinante en la elección de componentes. Con la primera etapa concluida y publicada, que consistió en la comprobación del funcionamiento

del convertidor como reductor de voltaje con modulación de ancho de pulso (PWM) en lazo abierto, este trabajo busca avanzar en la evaluación de su rendimiento en condiciones espaciales análogas a las experimentadas por los CubeSats en sus misiones.

1.2. Definición del Problema a Resolver

El desarrollo y envío de misiones al espacio exterior conlleva un gasto considerable de recursos. Por ello, es importante validar previamente la mayor cantidad posible de componentes y sistemas para su uso en ambientes espaciales.

En el caso del convertidor DC-DC, es necesario asegurar su funcionamiento bajo los límites extremos del entorno en el que operará. Este convertidor debe ser capaz de mantener una conversión de potencia estable y eficiente sin sufrir daños estructurales.

La resolución de esta incógnita permitirá utilizar el convertidor como su propio módulo de prueba en una misión espacial si los resultados son positivos. En caso contrario, impulsará un rediseño a nivel de arquitectura, topología y/o tecnología de implementación, con el objetivo de conseguir un mejor desempeño.

1.3. Objetivos

1.3.1. Objetivo General

Generar un protocolo de pruebas y armar un TestBed para validar el funcionamiento de un convertidor DC-DC integrado en condiciones ambientales similares a las que encuentran los satélites CubeSat.

1.3.2. Objetivos Específicos

- Estudiar los ambientes a los que se someten los componentes y equipos electrónicos que se implementan en una misión espacial.
- Familiarizarse con el proyecto de convertidor DC-DC integrado "3LFCC" y su Test Bed.
- Realizar pruebas de rendimiento al conjunto Test Bed-convertidor.
- Comparar el desempeño del conjunto en condiciones de laboratorio contra condiciones de pruebas espaciales.
- Concluir sobre la viabilidad del Test Bed y el convertidor como parte de una potencial misión.

1.4. Alcances y Contribución

Se espera obtener un set de resultados suficiente para contrastar el funcionamiento del convertidor junto con su TestBed en condiciones similares a las de una misión CubeSat con las condiciones controladas de laboratorio.

El proyecto no incluye un rediseño total del TestBed del microchip, pero sí una adaptación del mismo debido a la presencia de nuevos equipos de medición con sus propias interfaces. Dicha adaptación no solo responde a una interconexión de señales, sino también a garantizar la seguridad y fiabilidad del uso del TestBed en entornos de prueba.

El proyecto busca aportar con resultados reales que sirvan como antecedentes para concluir sobre la viabilidad del convertidor DC-DC como un sistema de prueba en una misión CubeSat.

1.5. Estructura del Documento

Este documento está dividido en 7 capítulos. El **Capítulo 1** es una introducción al tema de investigación. Contiene la motivación, alcances, objetivos y contribuciones del trabajo, así como la estructuración del mismo. El **Capítulo 2** contiene las características más relevantes de las misiones CubeSat para el desarrollo del trabajo. El **Capítulo 3** contiene la información necesaria para entender el funcionamiento del convertidor DC-DC. El **Capítulo 4** presenta trabajos relacionados al ámbito espacial, junto con las señales de importancia a medir y la definición de las condiciones de prueba. El **Capítulo 5** detalla los instrumentos a utilizar para la toma de mediciones y su interconexión. El **Capítulo 6** muestra los resultados obtenidos junto con un análisis de los mismos. Finalmente, en el **Capítulo 7**, las conclusiones y comentarios de este trabajo son incluidos.

CARACTERÍSTICAS DE LOS SATÉLITES CUBESAT

Dentro del campo de los satélites artificiales, se encuentran los nanosatélites y dentro de éstos últimos se pueden encontrar los CubeSat (Figura 2.1), satélites estandarizados compuestos de bloques estructurales llamados unidades (U). Una unidad corresponde a un cubo de $10 \times 10 \times 10 \text{ cm}^3$, los cuales pueden apilarse logrando un satélite con mayor cantidad de unidades y por tanto mayor tamaño.

El proyecto CubeSat surgió como una colaboración entre profesores de la Universidad Politécnica Estatal de California y el Laboratorio de Desarrollo de Sistemas Espaciales de la Universidad de Stanford. El objetivo era reducir el tiempo de desarrollo y los costos de los satélites, además de aumentar la accesibilidad a la investigación espacial y el número de lanzamientos [6].

Hoy en día, el interés y desarrollo de CubeSats abarca un amplio espectro, desde escuelas hasta organizaciones gubernamentales, existiendo distintos programas para interactuar con el mundo de estos nanosatélites [7].

2.1. Estructura

Los CubeSat estructuralmente se componen de las llamadas unidades, las cuales permiten un gran recorte en el proceso de diseño tanto del CubeSat como del dispensador espacial. Gracias a este tipo de organización estructural se es capaz de configurar satélites de distinto tamaño según se necesite o se permita (Figura 2.2).

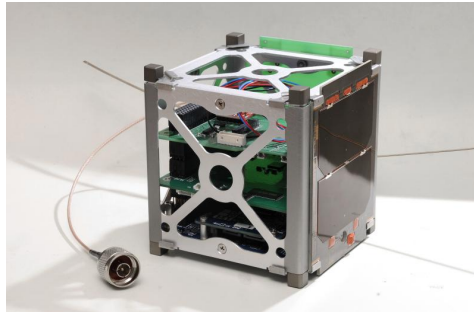


Figura 2.1: CubeSat desarrollado por la Universidad de Chile (Proyecto SUCHAI).

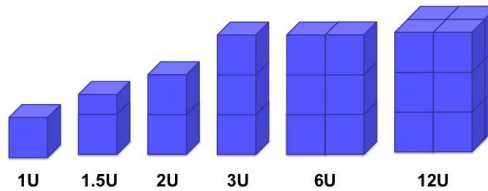


Figura 2.2: Distintas estructuras de CubeSats (NASA).

Dada la naturaleza restrictiva de las misiones espaciales, los CubeSat están también limitados en la masa que poseen según su configuración como se puede ver en la tabla 2.1.

Tabla 2.1: Masa máxima de CubeSats.

Configuración (U)	Masa (kg)
1U	2.00
1.5U	3.00
2U	4.00
3U	6.00
6U	12.00
12U	24.00

Toda la información detallada acerca de las especificaciones, los requerimientos de pruebas y dispensadores de CubeSats se puede encontrar en el documento CubeSat Design Specification Rev. 14 [6].

2.2. EPS

Los CubeSat son plataformas diseñadas para la investigación. Por esta razón, deben realizar tareas como la recopilación de datos, el almacenamiento y la transmisión de información, además de ser capaces de comunicarse con el equipo en Tierra. Para estos fines, utilizan diversos componentes y sensores electrónicos que deben ser alimentados de la manera más eficiente posible, pues la única fuente de energía disponible es la captada por los paneles solares, siendo el encargado del almacenamiento y manejo de energía el sistema eléctrico de potencia (EPS).

Al tratarse de un sistema de alimentación que contempla la captación, almacenamiento y administración de energía, los EPS utilizan una parte no menor de los recursos espaciales y de peso dentro de los CubeSat, por tanto, los avances en la densidad de potencia de estos sistemas son de suma importancia.

Como se observa en la Figura 2.3, los CubeSat poseen una gran cantidad de convertidores DC-DC. La miniaturización de estos, ya sea por la tecnología utilizada, la reducción de componentes pasivos o una combinación de ambas, se perfila como un punto de investigación clave para mejorar la eficiencia y funcionalidad de estos satélites.

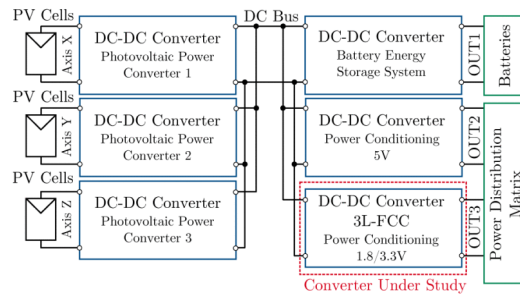


Figura 2.3: Estructura típica de un EPS [1].

2.3. Órbita

Se le denomina órbita al camino que toma un cuerpo alrededor de otro en el espacio a causa de las fuerzas gravitatorias [8]. Dentro de las órbitas utilizadas en el contexto aeroespacial se pueden encontrar: órbita Geoestacionaria (GEO); órbita terrestre baja (LEO); órbita terrestre media (MEO); órbita polar y heliosincrónica (SSO); órbita de transferencia y órbita geoestacionaria de transferencia (GTO) y finalmente Puntos de Lagrange (L-points).

Es común en la actualidad que los CubeSats desempeñen sus funciones en órbitas LEO [9]. Estas órbitas tienen como principal característica su relativa cercanía al planeta Tierra, alrededor de 2000 km de altura o menos. A diferencia de otro tipo de órbitas, el

recorrido de una misión LEO no es único, es decir no sigue un camino particular como podría ser el ecuador de la Tierra. Esto conlleva a que las órbitas LEO sean ampliamente utilizadas por su libertad de trazado [8].

En el contexto del presente trabajo las condiciones de operación más relevantes que presenta una misión LEO son las de temperatura y presión. Según [10] se presentan los rangos límites en la tabla 2.2.

Tabla 2.2: Condiciones de operación en misiones LEO

Tipo de Misión	Condiciones de Temperatura	Condiciones de Presión
LEO	-65 °C a +125 °C, ciclos/año, dependiendo de la altura de la órbita (6 000 para una altura de 2 km, 780 para 20 000 km).	$1.33 \cdot 10^{-9}$ mbar

Si bien es necesario seguir las recomendaciones de la tabla 2.2 para garantizar el correcto desempeño de los sistemas dentro del satélite, la realidad indica que en un ambiente de temperatura más controlado, las variaciones de temperatura que sufre la electrónica son más acotadas, siendo hasta la mitad de las variaciones presentadas anteriormente [10]. En cuanto a las condiciones de presión experimentadas, en su rango más bajo (≈ 200 km) la presión atmosférica se encuentra alrededor de los 10^{-6} mbar [11].

Como se puede observar, las limitaciones de volumen y peso, así como las necesidades de resistencia térmica y estructural, presentan un desafío para los desarrolladores de estos nanosatélites. Para resolver estos obstáculos, recurren a tecnologías cada vez más avanzadas y miniaturizadas, como los circuitos integrados (IC).

DISPOSITIVO BAJO PRUEBA: CIRCUITO INTEGRADO 3LFCC

La edición 2022 de la IEEE SSCS PICO Open Source Chipathon, una competencia para acercar el diseño de circuitos integrados al público general [12], dio lugar al diseño y posterior fabricación del proyecto "Convertidor Reductor DC-DC Integrado de Tres Niveles con Condensador Flotante para Aplicaciones CubeSat" [1], denominado en este documento como 3LFCC. Este proyecto tiene como fin el diseño e implementación de un convertidor DC-DC en tecnología SkyWater 130 nm [13], integrando completamente los circuitos de potencia dentro del chip, con el fin de obtener una alta densidad de potencia, deseable en las misiones CubeSat. Este diseño integra dos núcleos idénticos con la finalidad de ser utilizados en conjunto para un mejor desempeño y mayor manejo de potencia.

3.1. Convertidor DC-DC

3.1.1. Topología

El convertidor DC-DC, cuya topología se muestra en la figura 3.1, está compuesto por cuatro transistores dispuestos en una configuración vertical. En esta estructura, la fuente de alimentación se conecta a los extremos del conjunto de transistores. El condensador flotante se encuentra conectado, por un lado, entre el par superior de transistores y, por el otro, entre el par inferior de transistores. Entre los transistores centrales se conecta la inductancia L_o , que junto con C_o conforman el filtro de salida del convertidor, alimentando a la carga R_o . Tanto la fuente como el filtro de salida y carga representan componentes externos al diseño integrado del convertidor.

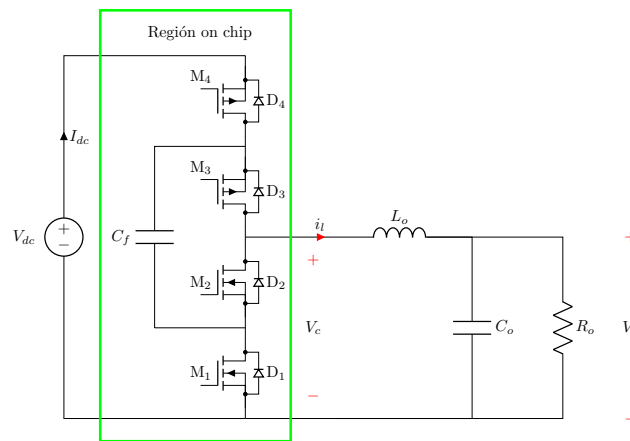


Figura 3.1: Topología de convertidor DC-DC de condensador flotante (3LFC).

3.1.2. Funcionamiento del Convertidor

3.1.2.1. Estados de Funcionamiento

La figura 3.2 muestra los cuatro estados distintivos de funcionamiento del convertidor, junto con el camino que recorre la corriente. Éstos estados se detallan a continuación:

- Fuente DC a salida (Estado 0): Los transistores M_1 y M_2 se encuentran abiertos mientras que M_3 y M_4 están cerrados. Esto permite a la corriente fluir directamente desde la fuente V_{dc} a la salida ($V_o = V_{dc}$).
- Carga de condensador C_f (Estado 1): Los transistores M_1 y M_3 permanecen abiertos a la par que M_2 y M_4 se cierran, conectando a C_f con la fuente en modo de carga ($V_o \approx \frac{V_{dc}}{2}$).

- Descarga de condensador C_f (Estado 2): Los transistores M_1 y M_3 se cierran y M_2 junto a M_4 quedan abiertos, conectando a C_f entre la salida y tierra ($V_o \approx \frac{V_{dc}}{2}$).
- Salida a tierra (Estado 3): Los transistores M_1 y M_2 se cierran y M_3 con M_4 se abren, conectando la salida del convertidor a tierra ($V_o = 0$).

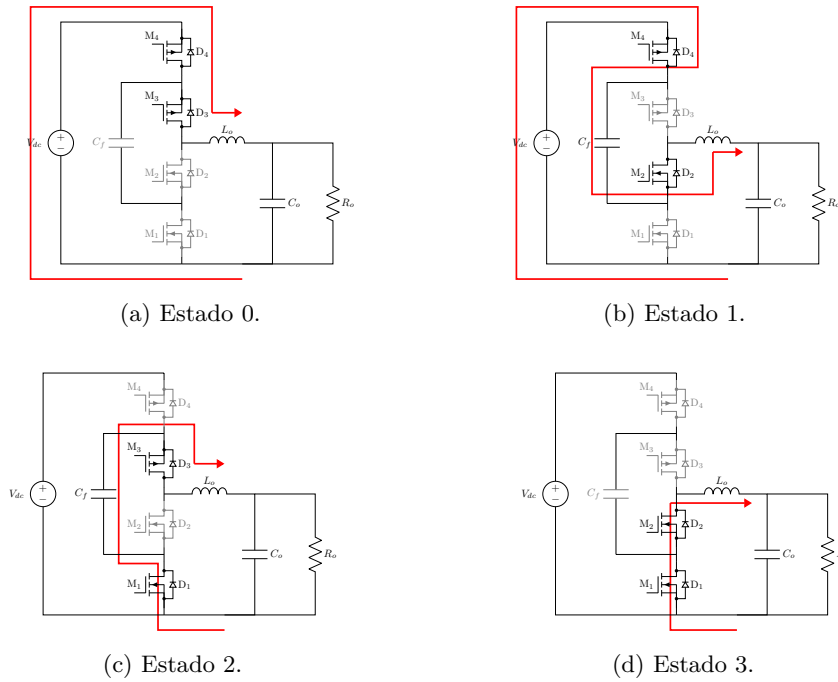


Figura 3.2: Estados de operación del convertidor.

Dependiendo del ciclo de trabajo (Duty Cycle) del convertidor se emplearán los estados 0, 1 y 2 (Duty Cycle > 0.5) ó 1, 2 y 3 (Duty Cycle < 0.5), siendo el voltaje de salida V_o :

$$V_o = Duty\ Cycle \cdot V_{dc} \quad (3.1)$$

3.1.2.2. Modulación de Ancho de Pulso

Para conmutar entre los estados de funcionamiento se hace uso de una modulación de ancho de pulso (PWM), más específicamente una modulación PWM con desfase de fases (PS-PWM). Esta señal debe ser proporcionada off chip y es aplicada en un esquema de control de lazo abierto. Para evitar un corto circuito al momento de cambiar de estado se hace uso de tiempos muertos. El esquema de modulación y las señales obtenidas pueden ser vistas en las Figuras 3.3 y 3.4.

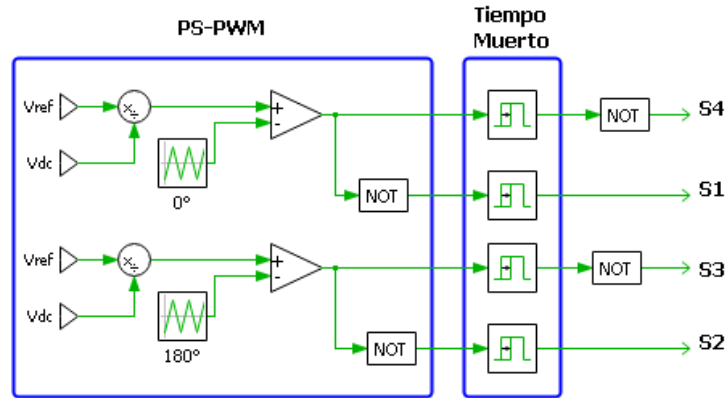


Figura 3.3: Esquema PS-PWM utilizado para el control del convertidor. Cada señal S_n se vincula con el transistor M_n correspondiente de la Figura 3.1.

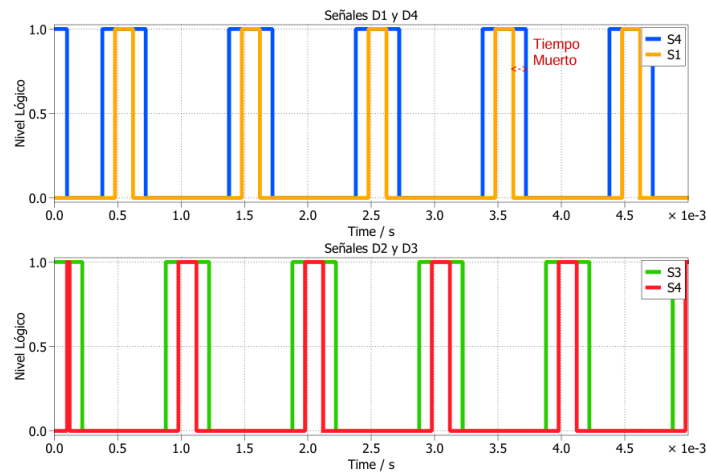


Figura 3.4: Forma de onda de PS-PWM (el tiempo muerto se ha exagerado para su visualización).

3.1.2.3. Gate Drivers

Para poder activar los transistores de un circuito de potencia normalmente es necesario contar con una interfaz que permita suministrar el voltaje y corriente necesarios, pues las señales lógicas en su mayoría carecen de esta capacidad. Para éste fin, el proyecto 3LFCC posee Gate Drivers integrados en el diseño [1], los cuales necesitan ser alimentados externamente.

3.1.2.4. Filtro de Salida

El filtro de salida es un elemento de gran importancia en los convertidores DC-DC, pues suprime el ruido de alta frecuencia y ayuda a minimizar el ripple causado por las conmutaciones. El filtro utilizado consiste en un inductor y un condensador, ambos off chip, constituyendo un filtro LC como se aprecia en la Figura 3.1, donde $L_o = 47\mu H$ y $C_o = 470nF$ [5].

3.1.2.5. Modo Interleaved

Al poseer dos convertidores idénticos dentro de un mismo empaquetado, el proyecto 3LFCC está diseñado para ser utilizado en configuración interleaved. Esta configuración consiste en interconectar N ramas de conmutación (en este caso, $N = 2$), con la misma frecuencia de conmutación pero desfasadas. Esta disposición de ramas, también llamadas nucleos o cores, permite disminuir la amplitud del ripple total del convertidor y aumentar la frecuencia del ripple sin incrementar pérdidas por conmutación ni añadir estrés adicional a los componentes [14]. En el caso del 3LFCC, ambas ramas poseen un inductor propio y comparten un capacitor como filtro LC de salida, como se puede ver en la Figura 3.5.

El ángulo de desfase ϕ entre los dos convertidores viene dado por:

$$\phi = \frac{360^\circ}{(l-1)(N)} \quad (3.2)$$

donde l es la cantidad de niveles de voltaje que el convertidor puede proporcionar y N la cantidad de ramas conectadas en paralelo. En el caso del 3LFCC para una conexión interleaved con 2 ramas idénticas se hace uso de un ángulo $\phi = \frac{360^\circ}{(3-1)(2)} = 90^\circ$.

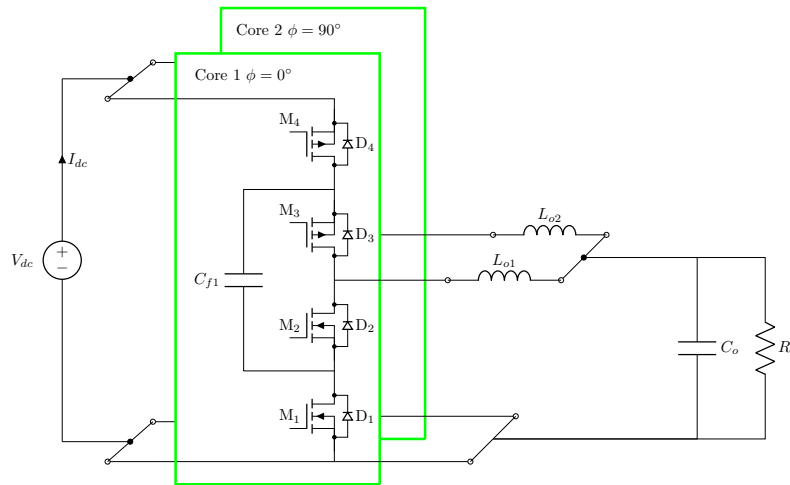


Figura 3.5: Configuración interleaved del 3LFCC.

3.1.3. Ventajas del Convertidor 3LFCC

El convertidor integrado 3LFCC cuenta con distintas características que lo convierten en una alternativa interesante para algunas aplicaciones:

- **Convertidor multinivel:** Los convertidores multinivel poseen la capacidad de sintetizar una forma de onda más fiel a la de referencia en comparación a los convertidores de dos niveles, esto resulta en una mejora en la distorsión armónica total (THD). Esto implica también la posibilidad de disminuir el tamaño de elementos pasivos externos.
- **Configuración interleaved:** El uso en modo interleaved del convertidor permite una mejor distribución de potencia en los componentes conmutadores, reducción de pérdidas por conducción, un menor ripple y una disminución o eliminación de componentes pasivos. Además, esta conexión de celdas permite un manejo mayor de corriente sin la necesidad de alterar el diseño original de los transistores.
- **Diseño integrado:** El diseño de condensadores integrados del 3LFCC hace posible su uso sin la necesidad de implementar estos componentes pasivos off chip. De esta manera se ahorra espacio y se crea un sistema de potencia con menos puntos de falla.

En resumen, las cualidades del convertidor 3LFCC lo posicionan como un candidato atractivo para aplicaciones donde la densidad de potencia y robustez del sistema son elementos de gran importancia, siendo las aplicaciones en satélites CubeSats entornos ideales para exhibir las ventajas del proyecto 3LFCC.

3.2. Plataforma Caravan

Para el desarrollo de los proyectos concursantes en la Chipathon 2022, se utilizó como plantilla de diseño la plataforma de circuito integrado denominada Caravan. Esta incluye todos los componentes necesarios para la creación de un chip incluyendo: entradas y salidas (I/O), dominios de energía, reloj, reset y un System on Chip (SoC) de gestión que puede utilizarse como parte del proyecto, además de un área de 10 mm² para el diseño principal [15].

3.2.1. I/O

Si bien la plataforma Caravan cuenta con 38 pines de I/O programables (mprj_io), no todos son usados o necesarios para el proyecto 3LFCC. A continuación se pueden observar los pines más importantes para la operación del convertidor.

- **Alimentación:** La infraestructura Caravan posee distintos dominios de alimentación. Para el área del proyecto del usuario se proporcionan cuatro dominios, dos análogos de 3.3V (vdda1 y vdda2) y dos digitales de 1.8V (vccd1 y vccd2). La energía para

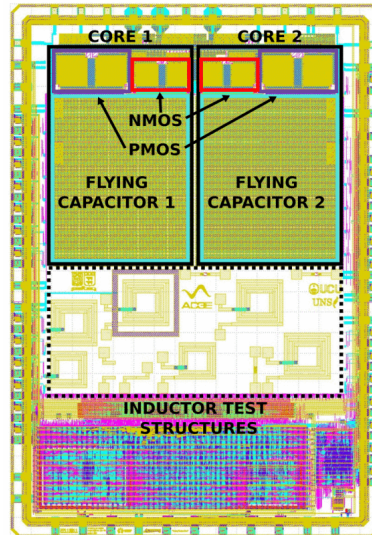


Figura 3.6: Vista de layout de los convertidores 3LFCC implementados en la plataforma Caravan de Efabless [1].

el padframe del IC y para las entradas/salidas de propósito general (gpio) viene suministrada por vddio y vdda. Por último vccd alimenta el SoC del área de gestión.

- Alimentación de los Convertidores: Ambos convertidores del IC comparten una conexión a la fuente de alimentación DC externa. Ésta conexión se divide en cuatro pines gpio: mprj_io[22-21] y mprj_io[17-16]. El uso de múltiples pines se debe a la limitante de corriente que poseen las pistas.
- Alimentación de Gate Drivers: Para operar los Gate Drivers del chip es necesario suministrar energía por los pines vdda1 (convertidor primario) y vdda2 (convertidor secundario).
- Salida del Convertidor: Los convertidores poseen salidas independientes por los pines mprj_io[20] y mprj_io[18] (convertidor primario y secundario). Esto permite el uso de un convertidor de manera de independiente o de ambos en formato interleaved.
- Pines de PWM: Para poder controlar ambos convertidores de manera desfasada es necesario tener pines individuales para cada señal de activación de los transistores, completando un total de 8 entradas. Las entradas mprj_io[28-31] corresponde a las señales de $M_{[1-4]}$ del convertidor primario, mientras que mprj_io[7-10] corresponden a las señales de $M_{[4-1]}$ del convertidor secundario.
- Pines de los Condensadores Flotantes: Los terminales de los condensadores flotantes en los convertidores están enrutados a las salidas mprj_io para poder supervisar

el voltaje o para conectar condensadores externos de ser necesario. Se utilizan los pines mprj_io[23-24] para el condensador primario y los pines mprj_io[15-14] para el condensador secundario (positivo y negativo respectivamente).

3.3. Test Bed del Convertidor

Para la validación del proyecto 3LFCC, fue necesario el desarrollo de un banco de pruebas o Test Bed para facilitar la conexión de componentes, la alimentación del sistema y la medición de señales. Dentro de los componentes más importantes que lo conforman, podemos destacar dos interfaces físicas en la forma de placas de circuito impreso (PCB), denominadas PCB Motherboard (Figura 3.7) e IC M.2 (Figura 3.8) [5].

- PCB Motherboard: También llamada Test Board V 1.1.2, es una placa diseñada como punto de conexión entre los equipos de alimentación, control y medición con los pines de la plataforma Caravan. La placa fue creada por el equipo de microelectrónica dedicado a trabajar con el chip. Esta se diseñó utilizando el software KiCad y cuenta con un manual de usuario disponible para revisión en [16]. A continuación se detallan las funcionalidades de la PCB:
 - Alimentación: La Test Board posee la capacidad de generar 4 rieles distintos de voltaje, tres de 5V y uno de 3V, con el fin de alimentar tanto la plataforma Caravan como una matriz de puertas lógicas programable en campo (FPGA) externa para el control del convertidor.
 - Puertos de Control PWM: Se cuenta con dos puertos de conexión para las señales PWM, uno por cada Core. Cada conector es redirigido a un traductor de voltaje, o level shifter, para poder suministrar señales en lógica de 1.8V al convertidor.
 - Puertos de Medición de los Condensadores Flotantes: Para poder monitorear el desempeño de los condensadores flotantes, además de una eventual integración de control en lazo cerrado, la Test Board dispone de 2 puertos para la medición de los condensadores en cada convertidor. Estos puertos pueden ser también utilizados para la conexión en paralelo de condensadores externos.
 - Conexión de Joulescopes: Para realizar mediciones de voltaje y corriente en distintos puntos del sistema, se contemplaron conectores compatibles con un dispositivo de análisis de energía denominado Joulescope, este dispositivo se discutirá en el **Capítulo 5**.
 - Filtro LC: El filtro LC de salida para los convertidores se encuentra soldado en la TestBoard. Se compone de dos inductores, uno para cada Core, y un capacitor. Todos los componentes del filtro corresponden a elementos de montaje superficial (SMD).

- Conexión Interleaved: Para poder utilizar el convertidor en modo Interleaved es necesario conectar físicamente ambas ramas de los convertidores. Esto se logra a través de dos pines unidos por un jumper.
 - Conexión de Cargas: La Test Board contiene dos matrices de conexiones distintas para facilitar la conexión de cargas tanto en paralelo como en serie.
- IC M.2: Debido a un cambio de diseño por parte del proveedor Efabless, el IC no es capaz de conectarse con la Test Board directamente. Como solución, se desarrolló una PCB de adaptación conocida como IC M.2 ó Adaptation board v1.1. Esta PCB cuenta con un puerto M.2 para alojar la PCB original del IC. Luego, a través de 4 filas de pines, ubicados en la contracara, es posible interactuar con la Test Board.

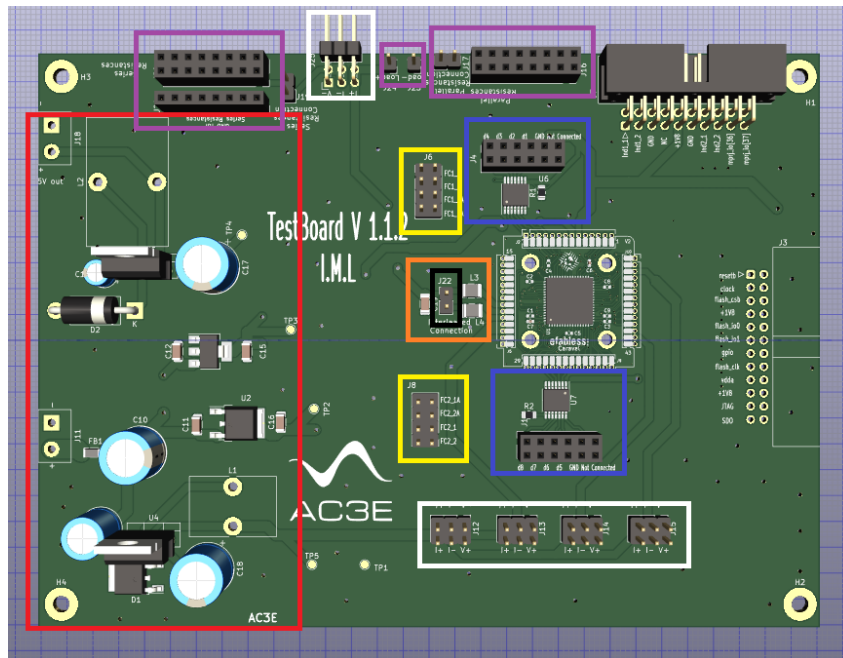


Figura 3.7: Test Board V1.1.2, en rojo la etapa de alimentación, en azul la sección de PWM, en amarillo los puertos para la medición de condensadores, en blanco los puertos para Joulescope, en naranja el filtro LC de salida, en negro el conector Interleaved y en púrpura las conexiones para cargas.

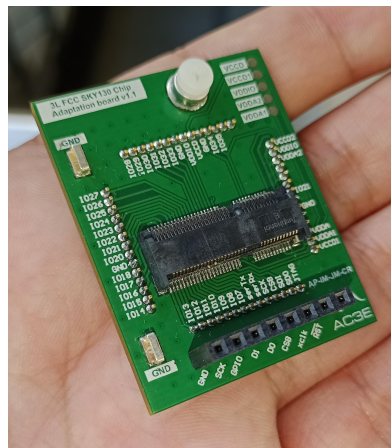


Figura 3.8: Adaptation board v1.1

METODOLOGÍA DE PRUEBAS

Como se planteó en el **Capítulo 2**, los efectos sobre la electrónica que se estudiarán corresponden a los causados por la presión y la temperatura sufridas en las misiones CubeSat en órbita LEO. Para ello, se debe utilizar un equipo de simulación específico y se deben medir las variables de interés para analizar el desempeño del convertidor.

4.1. Antecedentes

En cuanto a la evaluación del desempeño de sistemas o componentes electrónicos para aplicaciones satelitales, es posible observar distintos enfoques. En [17] se examina la disipación de calor de una memoria SSD debido a su uso cada vez mayor en satélites, utilizando una cámara de vacío y termocuplas para la recreación del ambiente y medición de temperatura respectivamente. Por otro lado, en [18] se estudia el impacto de la radiación en la operación de microcontroladores y microprocesadores, utilizando una metodología basada en pequeñas pruebas concisas y repetitivas. A su vez, en [19] se analiza cómo la radiación impacta en los sistemas de potencia, partiendo desde la teoría y concluyendo con información proveniente tanto de simulaciones como de experimentos presentes en la literatura. Finalmente, en [20] se desarrolla un trabajo sistemático para la elección de componentes y posterior testing del subsistema de control de actitud (ADCS) de un CubeSat. Esta investigación muestra la elección de componentes en base a requerimientos específicos y la verificación de funcionamiento de los mismos con pruebas simples que aíslan las variables de interés lo más posible.

Si bien estos trabajos desarrollan métodos para verificar el funcionamiento de los elementos a probar, ninguno de ellos propone una metodología que permita evaluar los componentes electrónicos en condiciones de vacío y temperaturas extremas, definiendo las

variables de importancia y los pasos a seguir para la ejecución de los experimentos. Debido a esto, se propone definir tanto las variables de interés como las condiciones de prueba y el paso a paso en la ejecución y toma de datos.

4.2. Variables de Interés y Figuras de Mérito

Al ser un convertidor DC-DC, las variables más importantes a registrar corresponden a:

- Voltaje de alimentación del convertidor (V_{dc}).
- Corriente de entrada al convertidor (I_{dc}).
- Voltaje suministrado a la carga (V_o).
- Corriente suministrada a la carga (I_o).

En cuanto a las variables en el entorno del convertidor se deben registrar:

- Temperatura del entorno de pruebas.
- Temperatura en la superficie del IC.
- Presión dentro del entorno de pruebas.

A partir de estas mediciones se puede caracterizar el sistema según las siguientes cualidades:

- Temperatura v/s Corriente de Salida: Permite observar el efecto que tiene el aumento de corriente en la temperatura del empaquetado. Esta información permite evaluar la capacidad del convertidor de disipar el calor generado, junto con ser crucial para determinar si el calor del empaquetado induce de alguna manera en el funcionamiento del convertidor.
- Voltaje de Salida v/s Corriente de Salida: Permite ver las variaciones que presenta la tensión de salida del convertidor a medida que el valor de la carga disminuye. Esto permite examinar tanto la capacidad de control del convertidor como la existencia de pérdidas que provoquen una caída de voltaje.
- Eficiencia v/s Corriente de Salida: Representa la capacidad del convertidor de transformar la mayor cantidad de energía suministrada en energía útil, conforme aumenta la demanda de corriente a un voltaje fijo. Se define la eficiencia η de un sistema eléctrico como:

$$\eta = \frac{P_{out}}{P_{in}} \quad (4.1)$$

donde P_{out} corresponde a la potencia absorbida por la carga R_o mientras que P_{in} representa la Potencia suministrada al convertidor.

4.3. Configuraciones del Convertidor

En referencia al funcionamiento del convertidor presentado en el **Capítulo 3**, se pueden diferenciar dos modos distintos de operación. El primer modo corresponde al uso de uno de los núcleos y se denominará Single Core, debido a la existencia de dos núcleos en el IC. El segundo modo es el ya nombrado Interleaved, donde ambos núcleos trabajarán en conjunto.

Las pruebas a realizar se impartirán tanto para el modo Single Core como para el modo Interleaved.

4.4. Condiciones de Control y Variaciones Experimentales

4.4.1. Condiciones Ambientales

Aunque el objetivo de la investigación debería guiar el uso de los equipos de simulación de ambiente espacial, determinando los límites de operación del experimento, la complejidad de los ambientes a recrear influye en la ejecución de las pruebas. Esto resulta en la incapacidad de generar un vacío y un ciclo térmico idénticos a los experimentados en una misión LEO estándar durante el tiempo de acceso a los equipos de laboratorio. Por tanto, basándose en pruebas experimentales y siguiendo las recomendaciones del operador, se han definido las condiciones ambientales extremas realizables dentro del horario de laboratorio. Estas condiciones, junto con las condiciones de control establecidas como las condiciones estacionarias dentro del laboratorio, se detallan en la Tabla 4.1.

Tabla 4.1: Condiciones ambientales de las pruebas a realizar.

Tipo de Medición	Condiciones de Temperatura	Condiciones de Presión
Control Inicial	27°C	0.0010197 mbar (1 atm)
Vacío	27°C	$\approx 1 \cdot 10^{-5}$ mbar
Vacío y Temperatura Elevada	$\approx [58, 65]^{\circ}\text{C}$	$\approx 1 \cdot 10^{-5}$ mbar
Vacío y Temperatura Disminuida	$\approx [-24, -16]^{\circ}\text{C}$	$\approx 1 \cdot 10^{-5}$ mbar
Control Final	27°C	0.0010197 mbar (1 atm)

Si bien las condiciones ambientales para las pruebas no representan exactamente las misiones CubeSat, es suficiente para emular la experiencia de un satélite en el rango inferior de las órbitas LEO.

4.4.2. Parámetros del Convertidor

Para poder obtener resultados comparables entre las distintas pruebas, se definen los parámetros observados en la Tabla 4.2.

Tabla 4.2: Parámetros eléctricos del convertidor.

Parámetros Eléctricos	Valor
Voltaje de alimentación	3.3V
Voltaje de salida	1.815V
Voltaje vddio	3V
Voltaje vdda1, vdda2	3.3V

A continuación, se detallan los límites entre los cuales se moverá el valor de la carga del convertidor. Utilizando los resultados obtenidos en [5], se define el barrido a realizar. Para simplificar el análisis, se detalla el barrido en términos de la corriente por la carga y no su valor óhmico. Los rangos obtenidos se presentan en la Tabla 4.3.

Tabla 4.3: Variación de la Carga para las pruebas de funcionamiento.

Configuración de 3LFCC	Rango de Corriente en la Carga
Single Core	[1, 175]mA
Interleaved	[1, 390]mA

4.5. Procedimiento General

Para emular un potencial viaje en órbita LEO se seguirá el siguiente procedimiento:

- 1) Mediciones de Control Inicial: Para obtener un rendimiento base se ejecuta una prueba de funcionamiento del convertidor en condiciones de control.
- 2) Pruebas en Vacío: Luego de obtener las mediciones de control se procede a generar vacío dentro de la cámara, ejecutando una prueba del convertidor cuando el ambiente llegue a la presión óptima, sin variar la temperatura a la que se encuentra el ambiente.
- 3) Pruebas en Vacío y Temperatura Elevada: Tras obtener los datos anteriores se procede a elevar la temperatura de la cámara de pruebas. Una vez obtenida la temperatura deseada, se desarrollan las pruebas de funcionamiento.
- 4) Pruebas en Vacío y Temperatura Disminuida: Análogo a las pruebas pasadas, una vez finalizada la toma de datos se inicia el proceso de disminución de la temperatura, realizando pruebas de funcionamiento al convertidor una vez se logra la temperatura configurada.

- 5) Mediciones de Control Final: Una vez obtenidas todas las mediciones en las condiciones de interés, se lleva el sistema a las condiciones iniciales de control para observar si existe algún cambio considerable en el rendimiento del sistema.

ENTORNO DE PRUEBAS

Para poder realizar las pruebas de funcionamiento, es necesario el uso de distintos equipos. La correcta selección y el uso de dichos equipos de prueba son fundamentales para garantizar resultados confiables y repetibles. En este capítulo, se detallaran los instrumentos utilizados para el desarrollo del trabajo junto con sus especificaciones.

5.1. Test Bed (adaptado)

La reutilización del Test Bed con el cual se han obtenido los resultados de [5] presenta un cierto numero de ventajas. Por un lado los resultados obtenidos son válidos para el conjunto convertidor-Test Bed, mientras que se elimina la necesidad de un rediseño total, ahorrando tiempo y recursos.

Para poder reutilizar el banco de pruebas presentado en el **Capítulo 3** es necesario eliminar los componentes que sean propensos a fallas en los ambientes detallados en el **Capítulo 4**. En el caso de la Test Board, los componentes con mayor potencial de falla corresponden a los capacitores electrolíticos del área de alimentación. Debido al impedimento de usarlos para implementar fuentes reguladas en la placa, se hace necesario alimentar los distintos niveles de energía con fuentes de alimentación externas.

5.2. Fuentes de Alimentación

Para alimentar los distintos niveles de voltaje requeridos por el IC, se hace uso de 2 fuentes Uni PS-3305U idénticas (Figura 5.1), las cuales, según [21], cuentan con:

- Dos salidas ajustables Independientes: 0-30V/5A*2.
- Una salida fija : 2.5V/3.3V/5V(Seleccionable)-3A.
- Resolución mínima: 100mV/10mA.

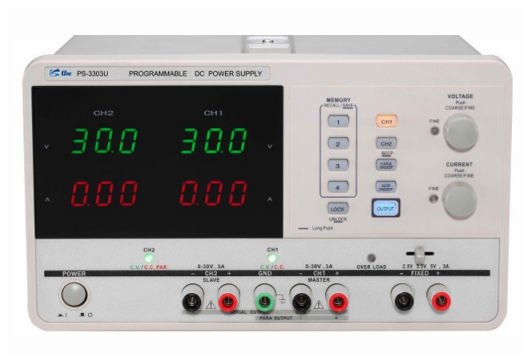


Figura 5.1: Fuente de alimentación PS-3305U

5.3. FPGA

Para controlar la modulación PS-PWM del convertidor tanto en su configuración Single Core como su configuración Interleaved, se hace uso de una FPGA, más específicamente la Nexys A7 de Digilent (Figura 5.2), la cual permite sintetizar el esquema de la Figura 3.3. El uso de este instrumento se debe a su capacidad de sintetizar una señal PWM de alta frecuencia (1Mhz) con una resolución de 128 bits. Desde el manual de usuario en [22] se detallan las siguientes características:

- 15 850 bloques lógicos programables, cada uno con cuatro LUTs de 6 entradas y 8 flip-flops.
- 4 860 Kbits de RAM rápida.
- Seis bloques de gestión de reloj, cada uno con un bucle de enganche de fase (PLL).
- 240 bloques DSP.
- Velocidades de reloj internas superiores a 450 MHz.
- 16 Interruptores.

- 16 LEDs.
- Cuatro conectores Pmod que proporcionan un total de 32 FPGA I/O.

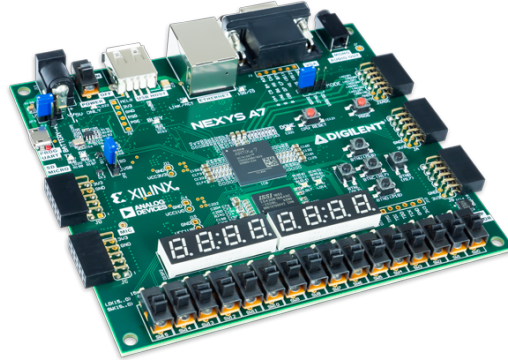


Figura 5.2: FPGA Nexys A7

La FPGA corre el código encontrado en el **Apéndice A**. Este consiste en la generación de una señal PWM a partir de una onda triangular digitalmente sintetizada. El ciclo de trabajo fue programado para ser ajustable a pasos fijos mediante los interruptores físicos, lo que permite ajustar el voltaje de salida del convertidor sin la necesidad de implementar un control avanzado en casos de pruebas específicas. Un inconveniente de lo anterior, es la posibilidad de carecer del ciclo de trabajo correcto para ciertas condiciones, siendo imposible la síntesis automática del voltaje deseado en dicho caso.

5.4. Joulescopes

Desarrollados para analizar el consumo de energía de dispositivos electrónicos, los Joulescopes JS220 (Figura 5.3) ofrecen un monitoreo constante de voltaje y corriente con una elevada tasa de muestreo. Desde el manual de usuario en [23] se desprenden las prestaciones principales:

- Rango de Voltaje: $\pm 15\text{V}$.
- Rango de Corriente: $\pm 3\text{A}$ continuo (10A en pulsos).
- Resolución: 0.5 nA, equivalente a 34 bits de rango dinámico.
- Ancho de Banda: 300 kHz con 2 millones de muestras por segundo, 16 bits, simultáneo de corriente y voltaje.
- Cambio Rápido: Conmutación rápida de 1 μs entre resistencias de derivación para una medición dinámica de corriente sin interrupciones.

- Funcionalidades: Calcula potencia, energía y carga.
- Puertos del Sensor: Aislados eléctricamente del USB.



Figura 5.3: Joulescope JS220

5.5. Carga Programable

Para simular una carga a la salida del convertidor DC-DC, se hace uso de una carga programable Multicomp Pro MP710258 (Figura 5.4). Esta carga permite actualizar el valor de la carga de manera automática o manual ya sea en términos de voltaje, potencia, resistencia o, en el caso de este trabajo, corriente (manual de usuario en [24]), siendo sus características:

- 4 modos de trabajo CV/CC/CR/CW.
- Resolución de voltaje y corriente 0.1mV/0.1mA.



Figura 5.4: Carga Programable MP710258

5.6. Multímetro con Termocupla

Monitorear la temperatura del empaquetado del chip entrega información complementaria a la temperatura ambiental medida por la cámara de termovacío a través de las termocuplas ubicadas en los contornos del espacio confinado, y con gran relevancia, pues al realizar pruebas en un entorno de vacío extremo, la única manera de realizar transferencia de calor es a través de la radiación. Esto implica que en si el ciclo de temperatura es relativamente corto, el sistema completo no necesariamente se encontrará en un estado estacionario. Para poder obtener tal medición, se hace uso de un multitester EXTECH MN36 (Figura 5.5) con la adición de una termocupla. Del manual de usuario en [25] se extraen las siguientes características:

- Rango de Temperatura: -20 a 750°C.
- Resolución Máxima: 1°.
- Precisión Básica: $\pm(1\%+4^\circ)$.



Figura 5.5: Multitester EXTECH MN36

5.7. Cámara de Termovacío

El equipo encargado de la simulación del ambiente espacial es la cámara de termovacío NDT-4000 de Nano-Master, Inc. (Figura 5.6). Esta cámara está diseñada para realizar pruebas a dispositivos en vacío extremo, con ciclados de temperaturas altas y bajas de manera uniforme y controlada, a través de un sistema de refrigeración y calefacción a base de tuberías. Entre las características encontradas en [26], se destacan:

- Cámara cilíndrica horizontal de 24" x 43".

- La cámara tiene una provisión para 4 bridas CF de 8”.
- Plataforma térmica de 16” x 32” controlada dentro de $\pm 1^{\circ}\text{C}$ para temperaturas que van desde -100°C hasta 150°C .
- La plataforma térmica está montada sobre rodillos para que pueda extraerse hasta el 75% de su longitud para cargar dispositivos.
- Sistema de refrigeración cerrado para eliminar el costo de consumibles de nitrógeno líquido utilizado en la mayoría de los otros sistemas.
- Control automático de presión.
- Presión base de $7 \cdot 10^{-8}$ Torr ($9.33 \cdot 10^{-8}$ mbar).
- Interfaces de conexión personalizadas.



Figura 5.6: Cámara de termovació NDT-4000

5.8. Integración

En la Figura 5.7 se puede observar el esquema de interconexión de los elementos que conforman el entorno de pruebas. La comunicación entre el interior y el exterior de la cámara de termovació es manejada a través de un conector DB25 (Figura 5.8). El entorno real utilizado se puede encontrar en las Figuras 5.9 y 5.10.

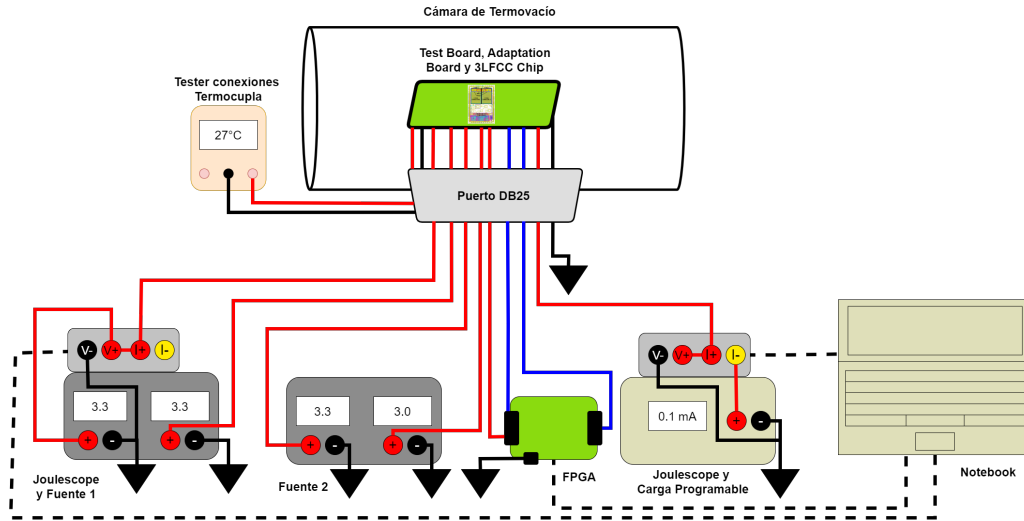


Figura 5.7: Diagrama de interconexión

En cuanto a la conexión específica del entorno, basándose en el manual de usuario [27] del entorno original de [5], se detalla la siguiente configuración:

- Fuentes: Las fuentes de alimentación entregan cinco voltajes independientes, vddio (3.0V), vdda1 y vdda2 en una misma línea (3.3V), voltaje de alimentación del convertidor (3.3V) y una alimentación de 3.3V para el convertidor que controla el nivel de 1.8V de la Test Board.
- Joulescopes: Los Joulescopes se posicionan en dos sectores: uno en la línea de alimentación del convertidor y el otro en la línea de conexión a la carga programable, pues son los encargados de medir las señales de voltaje y corriente de entrada y salida. A su vez también se encuentran conectados al computador (Notebook) para la captura de datos y supervisión en tiempo real.
- Carga Programable: La carga programable se encuentra conectada como una resistencia entre la salida del convertidor y la tierra del sistema.
- FPGA: Se conectan dos buses de datos correspondientes a las señales PWM de ambos convertidores. Junto con esto también se entrega un nivel de tensión de 3.3V para el

lado alto de los convertidores de nivel del sistema PWM. Al igual que los Joulescopes, la FPGA necesita de una conexión al computador.

- Multitester y Termocupla: La termocupla es posicionada en la cara frontal del IC con cinta kapton. Luego, sus terminales son conectados al Multitester del exterior para supervisión en tiempo real de la temperatura del encapsulado.

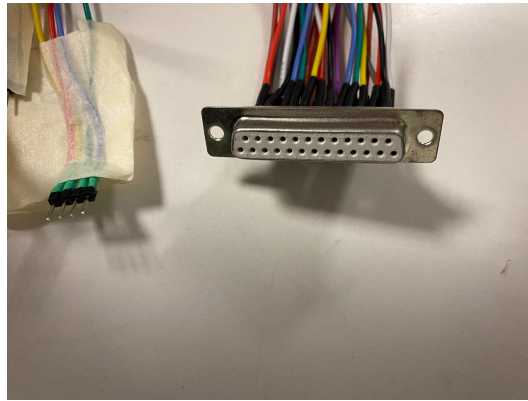


Figura 5.8: Conector DB25.

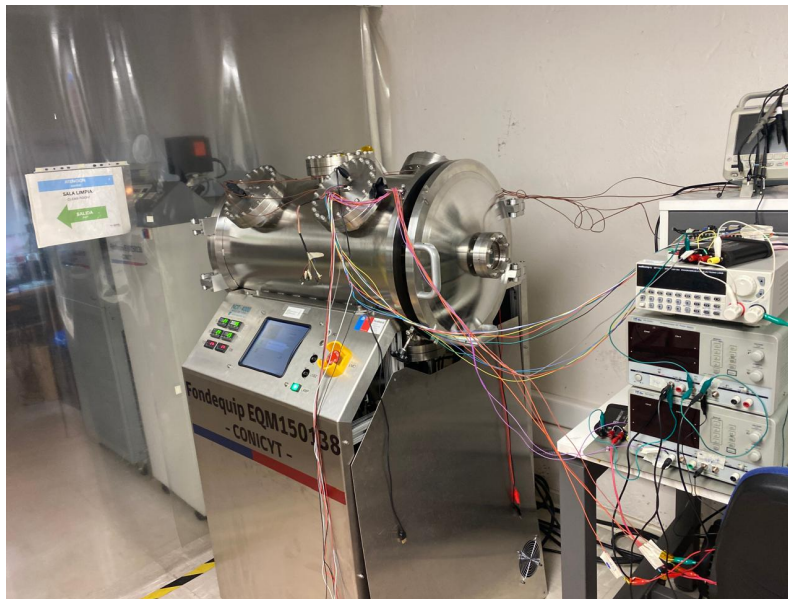


Figura 5.9: Entorno de pruebas utilizado para el experimento (cámara de termovacío, fuentes de poder, carga programable, joulescopes y FPGA).

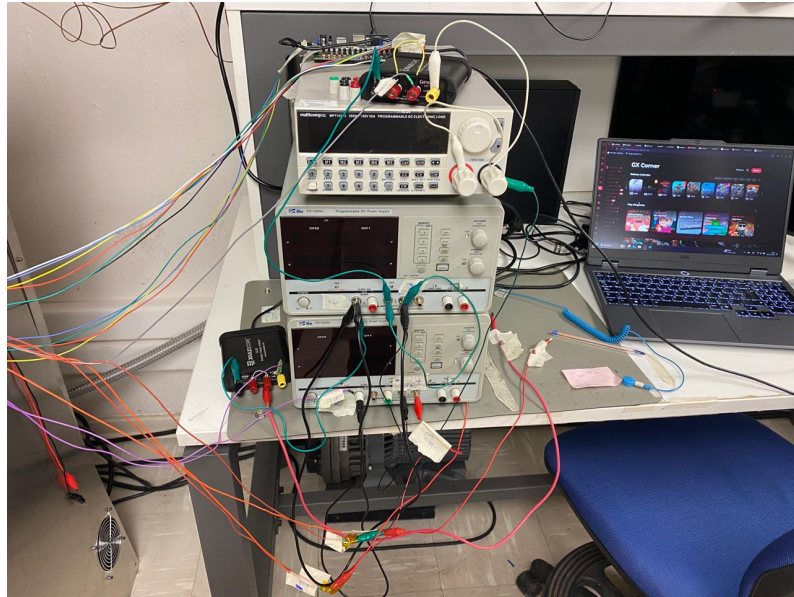


Figura 5.10: Entorno de pruebas utilizado para el experimento (fuentes de poder, carga programable, joulescopes, FPGA, notebook).

RESULTADOS Y ANÁLISIS

Una vez aplicado el procedimiento visto en el **Capítulo 4** al entorno de las Figuras 5.9 y 5.10, se obtienen los resultados presentados en este capítulo.

6.1. Temperatura del Empaquetado

Se registraron las mediciones de la termocupla del empaquetado para las distintas pruebas, obteniendo la Figura 6.1. Tanto en el caso de un core como en el de dos cores, se observa una tendencia de la temperatura al alza a medida que la carga requiere más corriente. La temperatura se mantiene siempre en el rango de 26 °C a 32 °C, registrando los valores mínimos cuando la temperatura ambiental se reduce y los máximos cuando esta aumenta.

Para el caso Single Core se observa en cuatro de los cinco mediciones un aumento de la temperatura alrededor de los 100 mA siendo la excepción la prueba de vacío. En el caso Interleaved este salto temperatura se sitúa entre los 90 mA y 220 mA.

En cuanto al desempeño térmico, en las mediciones de control inicial y vacío la configuración Interleaved se mantiene con una temperatura menor que su contraparte Single Core. En los casos de temperatura elevada y control final el comportamiento es prácticamente idéntico para ambos esquemas. Para el caso de la temperatura disminuida, la configuración Single Core mantiene temperaturas de funcionamiento más bajas, este comportamiento puede ser atribuido a una temperatura en general más baja para la prueba Single Core. Las temperaturas ambientales de cada prueba pueden ser observadas en las Figuras 6.2 y 6.3 siendo los valores de control los detallados en el **Capítulo 4**. Un resumen de las pruebas térmicas puede ser encontrado en la Tabla 6.1.

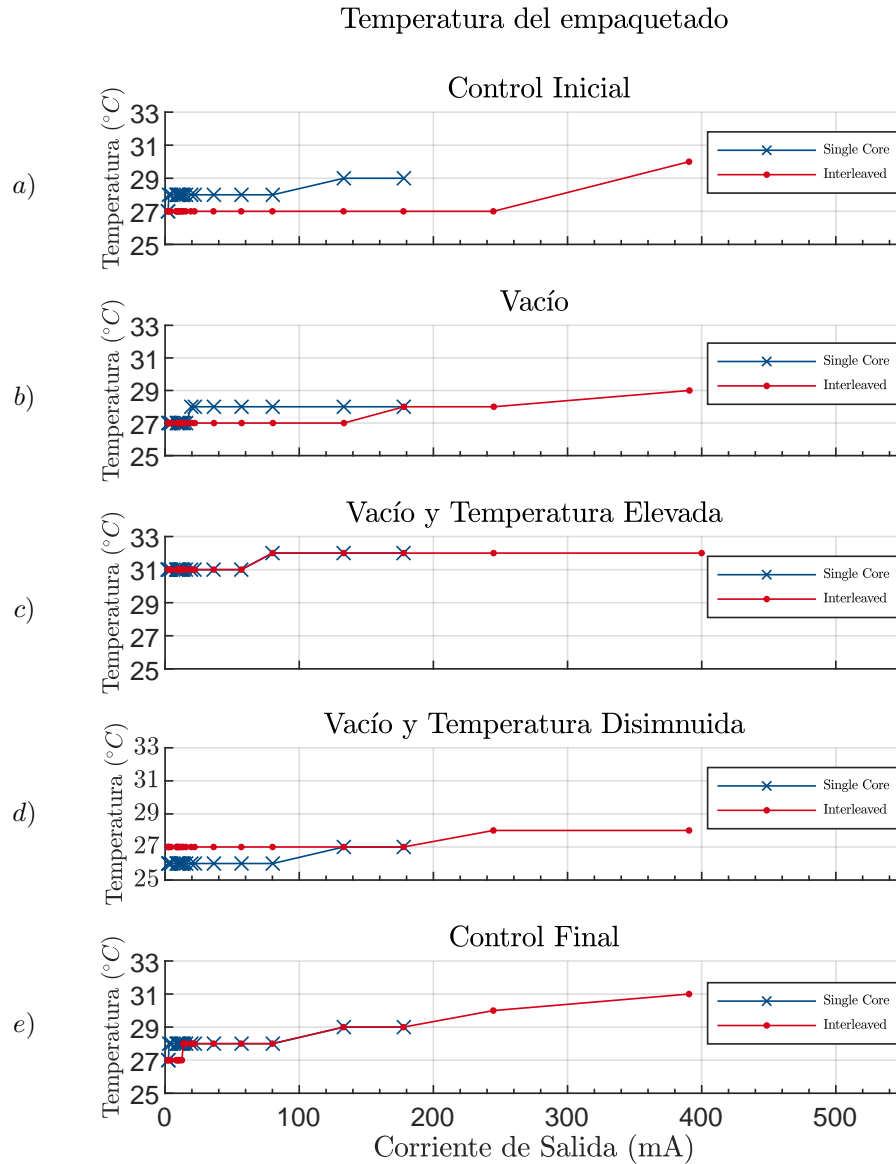


Figura 6.1: Temperatura del Empaquetado para cada prueba

Como observación general, se debe mencionar que en el experimento realizado, la definición del instrumento junto con la incapacidad de registrar de manera automática los valores obtenidos dificultó la obtención de resultados.

Tabla 6.1: Resumen Temperatura del Empaquetado

Medición	Configuración	Temperatura Promedio (°C)	Temperatura Máxima (°C)	Temperatura Mínima (°C)	Δ Temperatura (°C)
Control Inicial	Single Core	28	29	27	2
	Interleaved	27.142	30	27	3
Vacío	Single Core	27.368	28	27	1
	Interleaved	27.190	29	27	2
Vacío y Temperatura Elevada	Single Core	31.157	32	31	1
	Interleaved	31.238	32	31	1
Vacío y Temperatura Disminuida	Single Core	26.105	27	26	1
	Interleaved	27.095	28	27	1
Control Final	Single Core	28	29	27	2
	Interleaved	27.857	31	27	4

6.2. Voltaje de Salida

El voltaje de salida del convertidor se puede encontrar en las Figuras 6.2 y 6.3. En general, se observa que las cinco mediciones en modo Single Core poseen una evolución en función de la corriente semejante, siendo esto análogo para el modo Interleaved. El valor de la tensión se ajustó para no sobrepasar los 2 V ni caer por debajo de los 1.6 V en ninguna de las dos configuraciones, manteniendo un valor medio de aproximadamente 1.8 V en todas las pruebas, cercano al voltaje esperado de salida de 1.815 V.

Para el caso Single Core, los valores máximos, así como el Δ Voltaje, son mayores que en los casos Interleaved. Este comportamiento se atribuye a menores pérdidas en la configuración de dos cores, por tanto es posible mantener el voltaje cercano a 1.8 V a un mayor valor de corriente. En contraste en el convertidor de un core, el voltaje debe ser reajustado antes, en la recta de corriente, lo que combinado al paso de fijo de la modulación en lazo abierto, produce voltajes más lejanos al esperado.

Se elaboró la Tabla 6.2 para resumir la información y comparar las distintas pruebas y configuraciones.

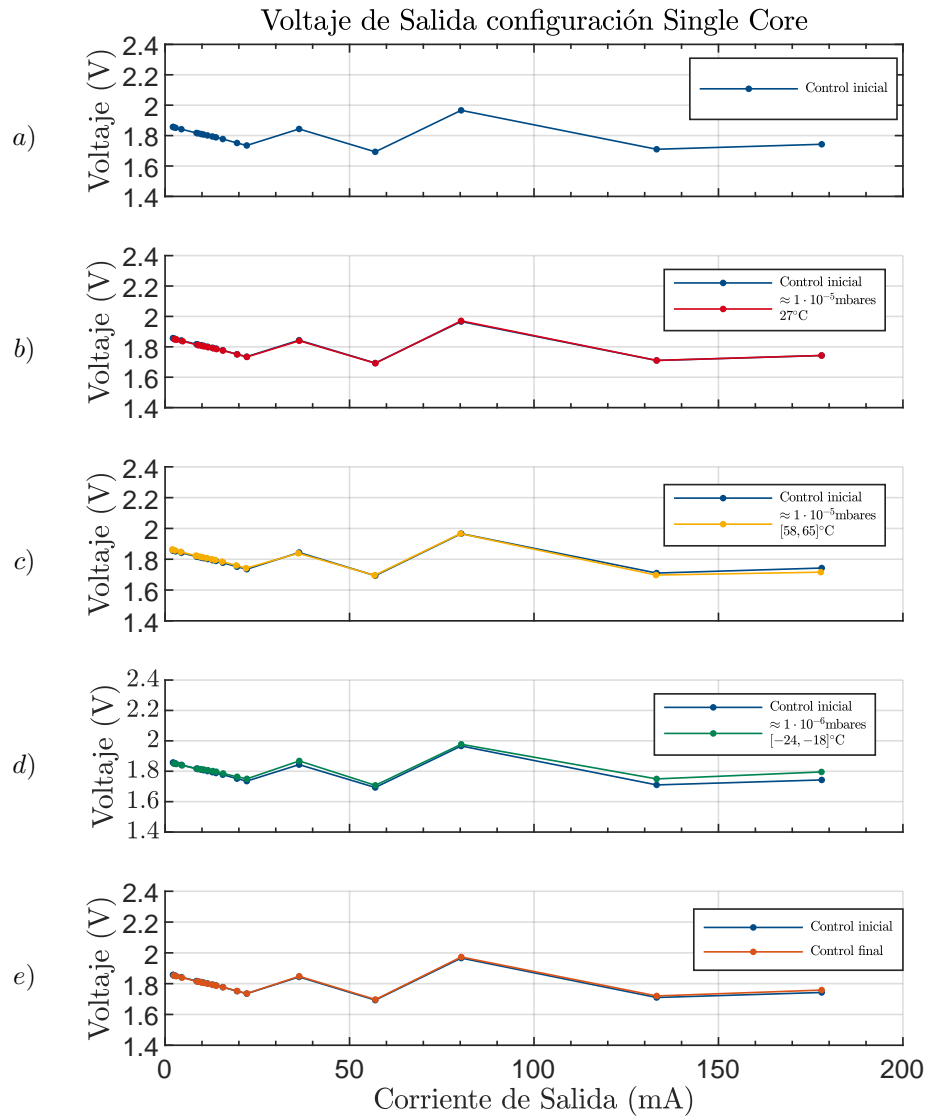


Figura 6.2: Voltajes de Salida configuración Single Core

En el caso de la configuración Single Core, el voltaje máximo observado es de 1.977 V a 80.270 mA, mientras que el mínimo es de 1.692 V a 57.006 mA. Para la configuración Interleaved, los valores máximo y mínimo de tensión son 1.865 V y 1.659 V a 2.048 mA y 244.882 mA, respectivamente.

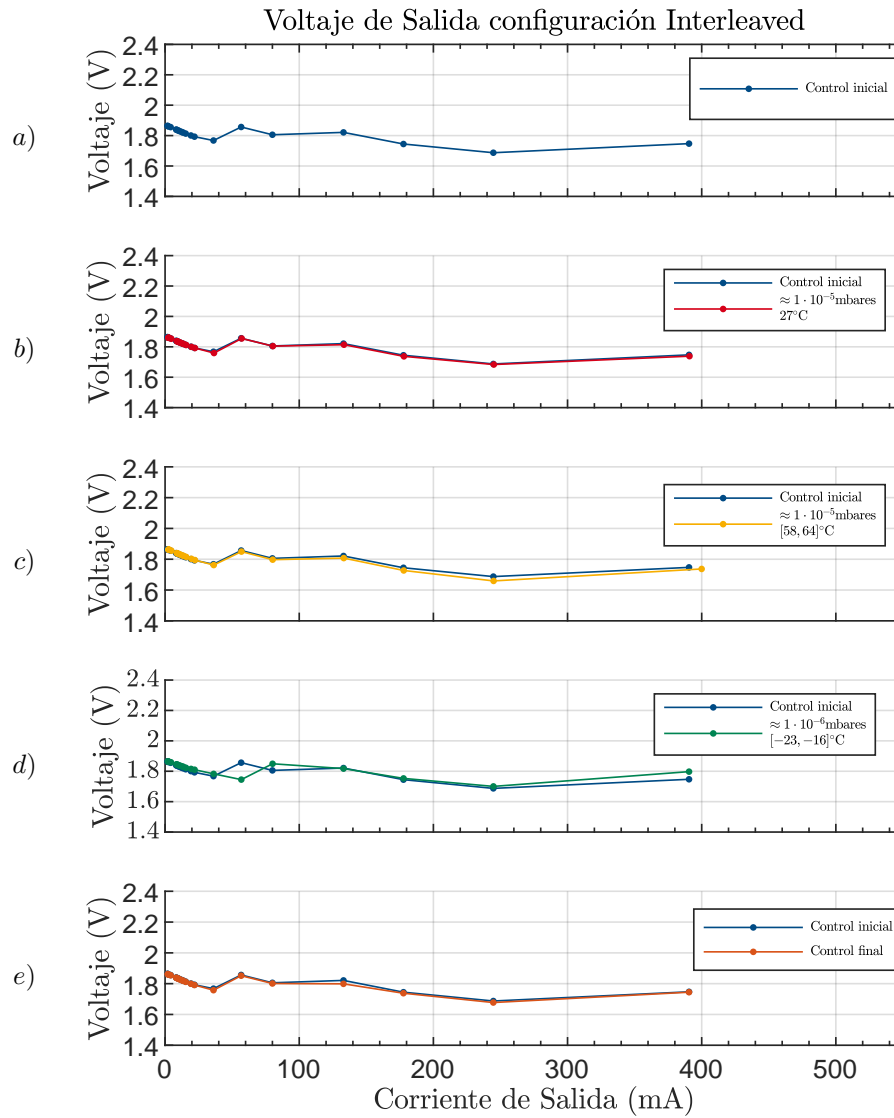


Figura 6.3: Voltajes de Salida configuración Interleaved

Tabla 6.2: Resumen Voltaje de Salida

Medición	Configuración	Voltaje Promedio (V)	Voltaje Máximo (V)	Voltaje Mínimo (V)	Δ Voltaje (V)
Control Inicial	Single Core	1.803	1.966	1.693	0.273
	Interleaved	1.814	1.864	1.687	0.176
Vacío	Single Core	1.800	1.970	1.692	0.278
	Interleaved	1.810	1.860	1.683	0.176
Vacío y Temperatura Elevada	Single Core	1.805	1.966	1.695	0.271
	Interleaved	1.810	1.862	1.659	0.203
Vacío y Temperatura Disminuida	Single Core	1.812	1.977	1.707	0.270
	Interleaved	1.819	1.865	1.700	0.164
Control Final	Single Core	1.803	1.973	1.697	0.276
	Interleaved	1.810	1.862	1.677	0.184

6.3. Eficiencia

Siendo el parámetro de mayor importancia para la evaluación del desempeño, se compara la medición de control inicial con cada una de las pruebas efectuadas. En la Figura 6.4 se grafica la eficiencia en función de la corriente de salida del sistema para la configuración Single Core, mientras que para la configuración Interleaved se pueden encontrar en la Figura 6.5.

Los peaks de eficiencia, para todas las pruebas, se encuentran alrededor de los 14 mA (Figura 6.4) para las mediciones Single Core mientras que para las Interleaved es alrededor de los 22 mA (Figura 6.5), bordeando en ambos casos el 93% de eficiencia.

6.3.1. Prueba de Vacío

Se obtiene un peak de eficiencia del 93.56% en el control inicial Single Core y 93.42% en vacío para una corriente de salida de 13.78 mA y 13.95 mA respectivamente (Figura 6.4(a)). En cuanto al caso Interleaved los valores peak de eficiencia son de 93.01% a 21.91 mA y 93.07% a 22.49 mA para los casos de control inicial y prueba de vacío respectivamente (Figura 6.5 (a)). En general, la condición de alto vacío en el entorno de prueba no demuestra poseer un impacto significativo en comparación con las mediciones de control a la misma temperatura.

6.3.2. Prueba de Vacío con Temperatura Elevada

Al aumentar considerablemente la temperatura ambiental, se observa una clara baja de desempeño del convertidor, acentuándose a mayores corrientes de operación. Si bien el peak de eficiencia presenta un diferencia de solo el 0,289 % para la configuración Single Core (Figura 6.4 (b)) y del 0,433 % en Interleaved (Figura 6.5 (b)), en comparación al control inicial, esta diferencia aumenta a 2.173 % y 2.547 % en el extremo de máxima corriente. En este mismo tramo se observa una baja de eficiencia en promedio del 0.765 % en Single Core y 1.119 % en Interleaved.

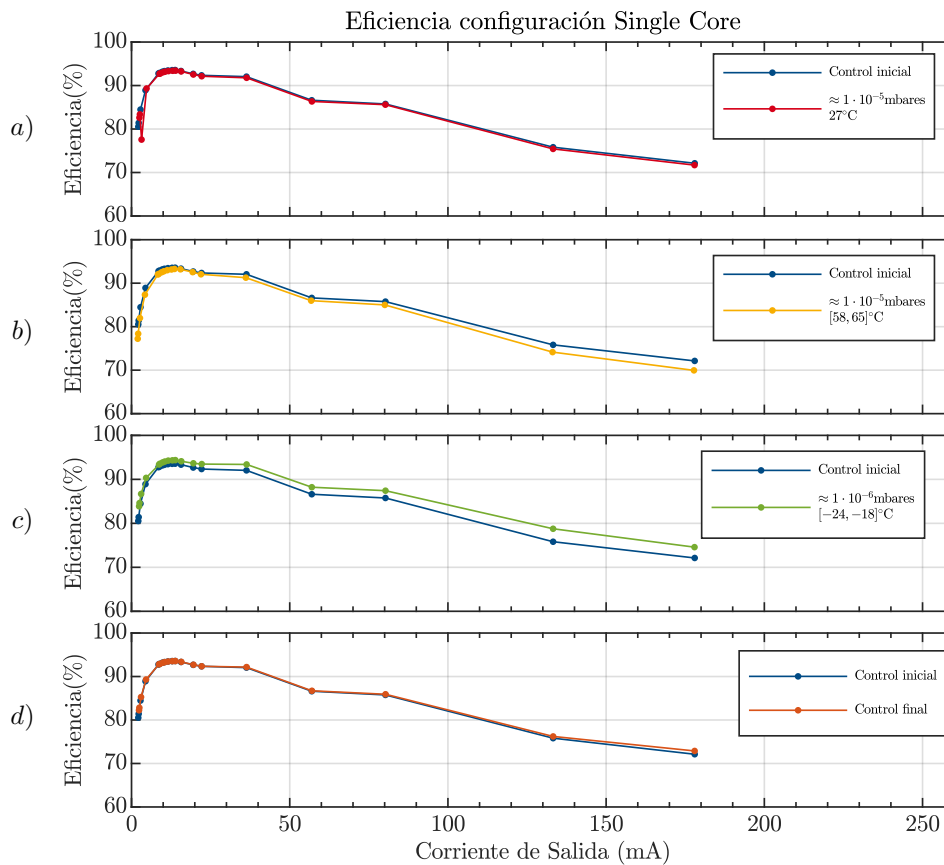


Figura 6.4: Eficiencia configuración Single Core

6.3.3. Prueba de Vacío con Temperatura Disminuida

La disminución de la temperatura ambiental a temperaturas bajo cero evidencian una mejora considerable, en comparación al control, en gran parte del tramo de la curva de eficiencia, con una diferencia en el peak del 0.808 % en Single Core (Figura 6.4 (c)) y 1.403 % en Interleaved (Figura 6.5 (c)), aumentando a 2.458 % y 2.562 % a máxima corriente. Si bien éstas diferencias son comparables a la prueba anterior, entre el peak y el punto de máxima corriente, la diferencia promedio de eficiencia es de 1.520 % para Single Core mientras que para el conjunto Interleaved es de 2.132 %, siendo casi el doble de diferencia para ambas configuraciones en comparación a la prueba anterior.

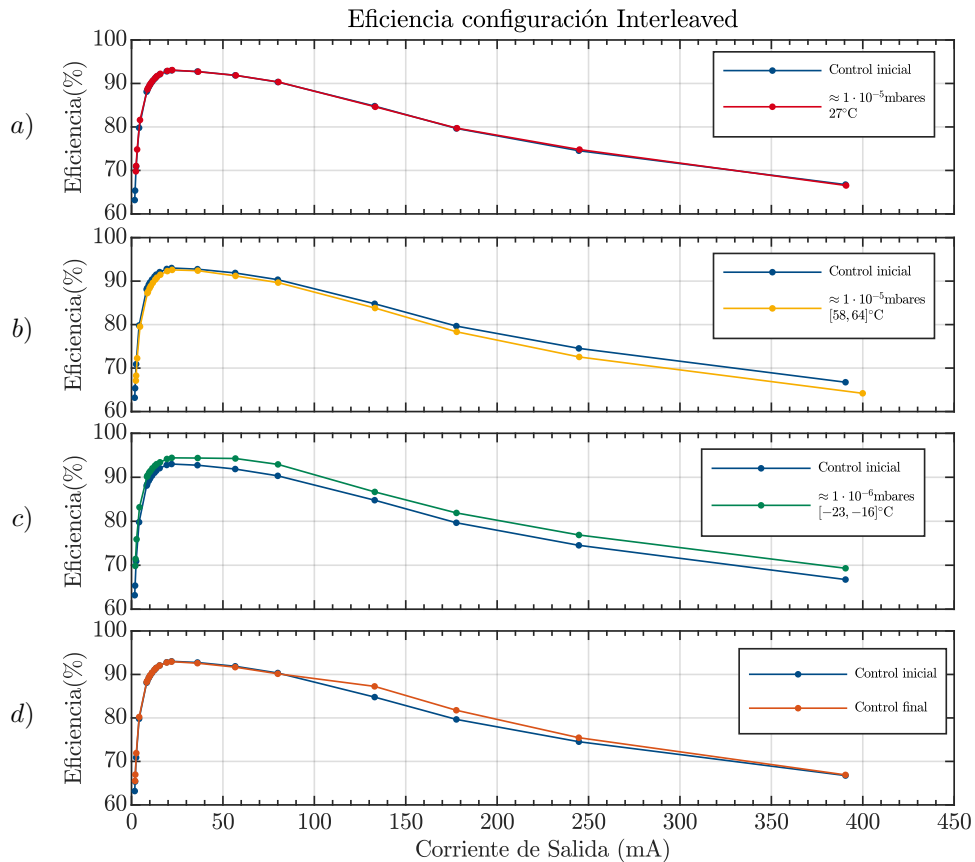


Figura 6.5: Eficiencia configuración Interleaved

6.3.4. Control Final

La medición de control al final de las pruebas muestra una discrepancia entre el modo Single Core y el modo Interleaved.

Para el funcionamiento de una rama el convertidor no presenta mayor desviación del comportamiento de control inicial, con un peak de eficiencia del 93.560 % (Figura 6.4 (d)), solo un 0.005 % de diferencia en cuanto al valor de control inicial, y una diferencia del 0.759 % a corriente máxima, con un promedio de diferencia de 0.176 % entre estos puntos.

Para el caso de ambas ramas en Interleaved, el peak de eficiencia se encuentra en el 92.945 % (Figura 6.5 (d)), una diferencia del 0.0681 % en relación al control inicial, con un promedio de 0.6307 % entre el peak y la máxima corriente. Este promedio tan elevado, en comparación al caso Single Core, se debe a un alza de la eficiencia entre los 100 a 250 mA, siendo la diferencia en promedio de 1.8331 %.

Tabla 6.3: Resumen de desempeño

Medición	Configuración	Peak de Eficiencia(%)	Corriente de Salida (mA)
Control Inicial	Single Core	93.565	13.786
	Interleaved	93.013	21.911
Vacío	Single Core	93.424	13.959
	Interleaved	93.072	22.249
Vacío y Temperatura Elevada	Single Core	93.276	13.593
	Interleaved	92.580	22.219
Vacío y Temperatura Disminuida	Single Core	94.373	13.856
	Interleaved	94.416	22.004
Control Final	Single Core	93.560	13.890
	Interleaved	92.945	21.885

CONCLUSIONES

7.1. Conclusiones

En este trabajo, se ha logrado desarrollar un protocolo de pruebas para medir el desempeño de eficiencia de un convertidor DC-DC integrado con topología de condensador flotante. Este desarrollo se ha basado en el estudio tanto de los ambientes en los cuales se desea utilizar el convertidor como del funcionamiento del propio dispositivo. En base a los resultados obtenidos, se realizan las siguientes observaciones.

Se demuestra un aumento de la temperatura del chip a medida que la corriente consumida por la carga aumenta, registrando una diferencia máxima de 4°C desde el reposo hasta la máxima corriente.

Se observa que el esquema Interleaved posee mejor desempeño manteniendo el nivel de tensión de salida, debido a una menor caída de voltaje en comparación al modo Single Core, traduciéndose en un menor desvío del valor de 1.815 V de referencia, con voltajes extremos de 1.865 V y 1.659 V.

Se determina que la configuración Single Core es más apta para el trabajo a corrientes menores llegando al peak de eficiencia alrededor de los 13 mA, mientras que en Interleaved se alcanza a los 22 mA. Junto con lo anterior, se observa un mejor desempeño del convertidor en esta última modalidad, ofreciendo una eficiencia sobre el 80 % en un rango de 160 mA desde el peak.

Se observa una relación inversamente proporcional entre la temperatura de operación del chip y la eficiencia del convertidor en un ambiente de alto vacío. Se obtiene una eficiencia peak de hasta el 94 % con el empaquetado entre los 26°C y 27°C. En contraste, el peak de eficiencia con el peor desempeño se obtiene a una temperatura de 31°C.

Se advierte que pequeñas variaciones en la temperatura del empaquetado afectan de manera considerable el desempeño del convertidor para altas corrientes, logrando entre el peak de eficiencia y el punto de máxima corriente un aumento en promedio de hasta un 2.1 %.

7.2. Trabajo Futuro

Si bien, este trabajo presenta un gran avance en el proceso de validación del convertidor para su uso en ambientes espaciales, aún quedan puntos a mejorar en el proceso de medición y pasos a realizar para un avance en las investigaciones.

Se promueve la utilización de simulaciones para estimar la eficiencia del IC en función de la temperatura interna del mismo, con el fin de contrastar los resultados obtenidos y desarrollar una hipótesis acerca de la temperatura real dentro del empaquetado.

Junto con una estimación de la temperatura de junta se propone el estudio del fenómeno de self-heating, donde la operación del convertidor produce un aumento en la temperatura del mismo, lo que se acentúa conforme se aumenta la corriente de operación.

Respecto a las mediciones, es necesaria la implementación de sensores de temperatura con mayor definición y con un registro de datos automático para un análisis de mayor precisión.

En cuanto al protocolo de pruebas, se realizan las siguientes observaciones:

- Se vuelve de interés obtener mediciones donde el empaquetado presente la misma elevación o disminución de temperatura que la cámara. Esto se puede lograr mediante el uso de dispositivos adicionales, como una celda Peltier, o extendiendo la duración de las pruebas en el entorno original.
- El funcionamiento del convertidor a distintas temperaturas bajo un régimen de presión ambiental de 1 atm es necesario para entender el impacto de la disipación de calor a través del aire.
- Una variable a considerar es la duración de las pruebas, donde el funcionamiento a lo largo de un periodo extenso de tiempo debe ser registrado y analizado para una mejor comprensión de las capacidades del sistema.
- La toma de datos a diferentes voltajes podría brindar información que sitúe el voltaje y la corriente de operación más óptimos a distintos valores de los obtenidos.

Con una visión hacia el futuro, se vuelve imperativa la utilización de un lazo cerrado para el control de voltaje, con la intención de ser implementado de manera integrada junto al convertidor dentro de un mismo empaquetado. Junto a lo anterior, se propone

el uso de sensores de temperatura integrados para una medición más exacta al interior del encapsulado. Asimismo, se debe plantear un rediseño del Test Bed del convertidor, puesto que sus dimensiones presentan un obstáculo para poder implementar el convertidor en una misión CubeSat.

CÓDIGO SYSTEM VERILOG

```
1 'timescale 1ns / 1ps
2 ///////////////////////////////////////////////////////////////////
3 // Design Name: Top
4 // Module Name: Top
5 // Project Name: TT05 Modulacion PS-PWM para 3L-FCC
6 // Details: The frequency of this project is clk used / 128
7 ///////////////////////////////////////////////////////////////////
8
9
10 module Top(
11
12     input CLK100MHZ,
13
14     input [13:0]SW,
15
16     //input [5:0] d1, // Senal 1 que viene del controlador
17     //input [5:0] d2, // Senal 2 que viene del controlador
18
19     output [4:1]JD, // d4 d3 d2 d1
20     output [4:1]JB, // d8 d7 d6 d5
21
22     output [13:0]LED
23     //output CLK_OUTPUT
24 );
25
26 /***** PARAMETROS *****/
27
28 parameter [4:0]dt= 5'd2; // periodos de tiempo muerto a la freq del PLL
29
```

```

30 assign RST = SW[13];
31 assign ENABLE = SW[12];
32
33 assign LED[0] = RST ? 0 : SW[0]; // 25%
34 assign LED[1] = RST ? 0 : SW[1]; // 63%
35 assign LED[2] = RST ? 0 : SW[2]; // 55%
36 assign LED[3] = RST ? 0 : SW[3]; // 60%
37 assign LED[4] = RST ? 0 : SW[4]; // 65%
38 assign LED[5] = RST ? 0 : SW[5]; // 70%
39 assign LED[6] = RST ? 0 : SW[6]; // 75%
40 assign LED[7] = RST ? 0 : SW[7]; // 80%
41 assign LED[8] = RST ? 0 : SW[8]; // 85%
42 assign LED[9] = RST ? 0 : SW[9]; // 90%
43 assign LED[10] = RST ? 0 : SW[10]; // 95%
44 assign LED[11] = RST ? 0 : SW[11]; // 100%
45
46 assign LED[12] = RST ? 0 : ENABLE;
47 assign LED[13] = SW[13];
48
49 reg [5:0] d1;
50 reg [5:0] d2;
51
52 always @(SW[11:0]) begin // RECORDAR CAMBIAR LOS VALORES DE ABAJO TAMBIEN
53     case (SW[11:0])
54         /*
55             12'b000000000001 : d1 = 6'd21; // 0 (0%)
56             12'b000000000011 : d1 = 6'd38; // 6 (10%)
57             12'b000000000111 : d1 = 6'd13; // (20%)
58             12'b000000001111 : d1 = 6'd19; // (30%)
59             12'b000000011111 : d1 = 6'd25; // (40%)
60             12'b000000111111 : d1 = 6'd32; // (50%)
61             12'b000001111111 : d1 = 6'd38; // (60%)
62             12'b000011111111 : d1 = 6'd44; // (70%)
63             12'b000111111111 : d1 = 6'd50; // (80%)
64             12'b001111111111 : d1 = 6'd57; // (90%)
65             12'b011111111111 : d1 = 6'd63; // (100%)
66             12'b111111111111 : d1 = 6'd60; // (95%)
67         */
68             12'b000000000001 : d1 = 6'd16; // 16 (25%)
69             12'b000000000011 : d1 = 6'd40; // 40 (63%)
70             12'b000000000111 : d1 = 6'd35; // 35 (55%)
71             12'b000000001111 : d1 = 6'd38; // 38 (60%)
72             12'b000000011111 : d1 = 6'd42; // 42 (65%)
73             12'b000000111111 : d1 = 6'd45; // 45 (70%)
74             12'b000001111111 : d1 = 6'd48; // 48 (75%)
75             12'b000011111111 : d1 = 6'd51; // 51 (80%)
76             12'b000111111111 : d1 = 6'd54; // 54 (85%)
77             12'b001111111111 : d1 = 6'd55; // 55 (87%)

```

```

78         12'b01111111111111 : d1 = 6'd57; // 57 (90%)
79         12'b11111111111111 : d1 = 6'd60; // 60 (95%)
80
81         default : d1 = 6'd0;
82     endcase
83 end
84
85 always @(SW[11:0]) begin
86     case(SW[11:0])
87         /*
88         12'b0000000000001 : d2 = 6'd21; // (0%)
89         12'b0000000000011 : d2 = 6'd38; // (10%)
90         12'b0000000000111 : d2 = 6'd13; // (20%)
91         12'b0000000001111 : d2 = 6'd19; // (30%)
92         12'b0000000011111 : d2 = 6'd25; // (40%)
93         12'b0000000111111 : d2 = 6'd32; // (50%)
94         12'b0000001111111 : d2 = 6'd38; // (60%)
95         12'b0000011111111 : d2 = 6'd44; // (70%)
96         12'b0000111111111 : d2 = 6'd50; // (80%)
97         12'b0001111111111 : d2 = 6'd57; // (90%)
98         12'b0111111111111 : d2 = 6'd63; // (100%)
99         12'b1111111111111 : d2 = 6'd60; // (95%)
100
101         */
102         12'b0000000000001 : d2 = 6'd16; // 16 (25%)
103         12'b0000000000011 : d2 = 6'd40; // 40 (63%)
104         12'b0000000000111 : d2 = 6'd35; // 35 (55%)
105         12'b0000000001111 : d2 = 6'd38; // 38 (60%)
106         12'b0000000011111 : d2 = 6'd42; // 42 (65%)
107         12'b0000000111111 : d2 = 6'd45; // 45 (70%)
108         12'b0000001111111 : d2 = 6'd48; // 48 (75%)
109         12'b0000011111111 : d2 = 6'd51; // 51 (80%)
110         12'b0000111111111 : d2 = 6'd54; // 54 (85%)
111         12'b0001111111111 : d2 = 6'd55; // 55 (87%)
112         12'b0111111111111 : d2 = 6'd57; // 57 (90%)
113         12'b1111111111111 : d2 = 6'd60; // 60 (95%)
114
115         default : d2 = 6'd0;
116     endcase
117 end
118
119
120 /***** ETAPA DE FRECUENCIA DE CLOCK *****/
121 // freq_base / 128 = freq_module esto por los bits de la triangular
122 // m xima frecuencia probada con dt fijo : 600khz
123
124
125 clk_wiz_0 clk_wiz_inst

```

```
126 (
127 // Clock out ports
128 .clk_out1(clk_out1), // freq_base= 128MHz
129 // Status and control signals
130 .reset(),
131 .locked(locked),
132
133 // Clock in ports
134 .clk_in1(CLK100MHZ)
135 );
136
137 //assign clk = CLK100MHZ; //freq_base= 100MHz => freq_module= 781250
138 assign clk = clk_out1 & locked;
139
140 /***** ETAPA DE TRIANGULARES *****/
141
142 // Fases de la triangular 1
143 wire [5:0] triangular_1_0;
144 Signal_Generator_0phase Signal_Generator_1_0phase_inst(
145     clk,
146     RST,
147     triangular_1_0
148 );
149
150 wire [5:0] triangular_2_180;
151 Signal_Generator_180phase Signal_Generator_2_180phase_inst(
152     clk,
153     RST,
154     triangular_2_180
155 );
156
157 // Convertidor 2
158
159 wire [5:0] triangular_1_90_C2;
160 Signal_Generator_90phase Signal_Generator_1_90phase_inst(
161     clk,
162     RST,
163     triangular_1_90_C2
164 );
165
166 wire [5:0] triangular_2_270_C2;
167 Signal_Generator_270phase Signal_Generator_2_270phase_inst(
168     clk,
169     RST,
170     triangular_2_270_C2
171 );
172
173 /***** ETAPA DE COMPARACION *****/
```

```
174
175 wire Output_Comparison_1;
176 Comparator Comparator_Inst_1(
177     d1,
178     triangular_1_0 ,
179     Output_Comparison_1
180 );
181
182 wire Output_Comparison_2;
183 Comparator Comparator_Inst_2(
184     d2,
185     triangular_2_180 ,
186     Output_Comparison_2
187 );
188
189 // Convertidor 2
190
191 wire Output_Comparison_1_C2;
192 Comparator Comparator_Inst_3(
193     d1,
194     triangular_1_90_C2 ,
195     Output_Comparison_1_C2
196 );
197
198 wire Output_Comparison_2_C2;
199 Comparator Comparator_Inst_4(
200     d2,
201     triangular_2_270_C2 ,
202     Output_Comparison_2_C2
203 );
204
205 /***** ETAPA DE DEAD-TIME GENERATOR *****/
206
207 wire pmos1_int;
208 Dead_Time_Generator Dead_Time_Generator_inst_1(
209     clk ,
210     dt ,
211     Output_Comparison_1 ,
212     pmos1_int
213 );
214
215 wire Not_Output_Comparison_1;
216 wire nmos2_int;
217 assign Not_Output_Comparison_1 = ~Output_Comparison_1;
218 Dead_Time_Generator Dead_Time_Generator_inst_2(
219     clk ,
220     dt ,
221     Not_Output_Comparison_1 ,
```

```
222     nmos2_int
223 );
224
225 wire pmos2_int;
226 Dead_Time_Generator Dead_Time_Generator_inst_3(
227     clk ,
228     dt ,
229     Output_Comparison_2 ,
230     pmos2_int
231 );
232
233 wire Not_Output_Comparison_2;
234 wire nmos1_int;
235 assign Not_Output_Comparison_2 = ~Output_Comparison_2;
236 Dead_Time_Generator Dead_Time_Generator_inst_4(
237     clk ,
238     dt ,
239     Not_Output_Comparison_2 ,
240     nmos1_int
241 );
242
243 // Convertidor 2
244
245 wire pmos1_int_C2;
246 Dead_Time_Generator Dead_Time_Generator_inst_5(
247     clk ,
248     dt ,
249     Output_Comparison_1_C2 ,
250     pmos1_int_C2
251 );
252
253 wire Not_Output_Comparison_1_C2;
254 wire nmos2_int_C2;
255 assign Not_Output_Comparison_1_C2 = ~Output_Comparison_1_C2;
256 Dead_Time_Generator Dead_Time_Generator_inst_6(
257     clk ,
258     dt ,
259     Not_Output_Comparison_1_C2 ,
260     nmos2_int_C2
261 );
262
263 wire pmos2_int_C2;
264 Dead_Time_Generator Dead_Time_Generator_inst_7(
265     clk ,
266     dt ,
267     Output_Comparison_2_C2 ,
268     pmos2_int_C2
269 );
```

```

270
271 wire Not_Output_Comparison_2_C2;
272 wire nmos1_int_C2;
273 assign Not_Output_Comparison_2_C2 = ~Output_Comparison_2_C2;
274 Dead_Time_Generator Dead_Time_Generator_inst_8(
275     clk ,
276     dt ,
277     Not_Output_Comparison_2_C2 ,
278     nmos1_int_C2
279 );
280
281
282 /***** ETAPA DE MUX OUTPUT INTERNA *****/
283
284 wire PMOS1_prev, NMOS2_prev, PMOS2_prev, NMOS1_prev;
285
286 assign PMOS1_prev = ~pmos1_int; // TIENE EL NEGADOR POR EL PMOS
287 assign PMOS2_prev = ~pmos2_int; // TIENE EL NEGADOR POR EL PMOS
288 assign NMOS1_prev = nmos1_int;
289 assign NMOS2_prev = nmos2_int;
290
291 // Convertidor 2
292
293 assign PMOS1_prev_C2 = ~pmos1_int_C2; // TIENE EL NEGADOR POR EL PMOS
294 assign PMOS2_prev_C2 = ~pmos2_int_C2; // TIENE EL NEGADOR POR EL PMOS
295 assign NMOS1_prev_C2 = nmos1_int_C2;
296 assign NMOS2_prev_C2 = nmos2_int_C2;
297
298 /***** ETAPA ENABLE OUTPUTs *****/
299
300 // Si ENABLEOUTPUT es 0 -> los 4 transistores cmos estan en corte, si es 1
301 // -> las salidas de los 4 cmos viene dada segun su logica previa,
302 assign PMOS1 = ENABLE ? PMOS1_prev : 1;
303 assign PMOS2 = ENABLE ? PMOS2_prev : 1;
304 assign NMOS1 = ENABLE ? NMOS1_prev : 0;
305 assign NMOS2 = ENABLE ? NMOS2_prev : 0;
306
307 /*
308 assign JD[1] = RST ? 0 : 1;
309 assign JD[2] = RST ? 0 : 1;
310 assign JD[3] = RST ? 0 : 1;
311 assign JD[4] = RST ? 0 : 1;
312 */
313
314 assign JD[1] = RST ? 1 : PMOS1;
315 assign JD[2] = RST ? 1 : PMOS2;
316 assign JD[3] = RST ? 0 : NMOS1;
317 assign JD[4] = RST ? 0 : NMOS2;

```

```

317
318 // Convertidor 2
319 assign PMOS1_C2 = ENABLE ? PMOS1_prev_C2 : 1;
320 assign PMOS2_C2 = ENABLE ? PMOS2_prev_C2 : 1;
321 assign NMOS1_C2 = ENABLE ? NMOS1_prev_C2 : 0;
322 assign NMOS2_C2 = ENABLE ? NMOS2_prev_C2 : 0;
323
324 assign JB[1] = 1;//RST ? 1 : PMOS1_C2; // Si la l gica est comentada,
           entonces no hay interleaved
325 assign JB[2] = 1;//RST ? 1 : PMOS2_C2;
326 assign JB[3] = 0;//RST ? 0 : NMOS1_C2;
327 assign JB[4] = 0;//RST ? 0 : NMOS2_C2;
328 endmodule
329
330 module Shift_Register(
331     input wire CLK_SR,
332     input wire RST,
333     input wire data_in ,
334     output wire [10:0] data_out
335 );
336
337 reg [10:0] internal_data [0:10];
338 reg [3:0] shift_state;
339 integer i;
340
341 always @(posedge CLK_SR or posedge RST) begin
342     if (RST) begin
343         // Reiniciar todas las variables internas a 0 cuando se activa el reset
344         for (i = 0; i < 5'd11; i = i + 1) begin
345             internal_data[i] <= 0;
346         end
347         shift_state <= 0;
348     end else
349         if (shift_state < 5'd11) begin
350             // Almacenar el valor de entrada en la variable interna
351             // correspondiente
352             internal_data[shift_state] <= data_in;
353             // Cambiar al siguiente estado del registro
354             shift_state <= shift_state + 1;
355         end
356     end
357
358 assign data_out[0] = internal_data[0]; // dt[0]
359 assign data_out[1] = internal_data[1]; // dt[1]
360 assign data_out[2] = internal_data[2]; // dt[2]
361 assign data_out[3] = internal_data[3]; // dt[3]
362 assign data_out[4] = internal_data[4]; // dt[4]
363 assign data_out[5] = internal_data[5]; // SELECTOR_SIGNAL_GENERATOR_1[0]
364 assign data_out[6] = internal_data[6]; // SELECTOR_SIGNAL_GENERATOR_1[1]

```

```
363 assign data_out[7] = internal_data[7]; // SELECTOR.SIGNAL_GENERATOR_2[0]
364 assign data_out[8] = internal_data[8]; // SELECTOR.SIGNAL_GENERATOR_2[1]
365 assign data_out[9] = internal_data[9]; // OUTPUT.SELECTOR_EXTERNAL[0]
366 assign data_out[10] = internal_data[10]; // OUTPUT.SELECTOR_EXTERNAL[1]
367
368
369
370
371 endmodule
```

BIBLIOGRAFÍA

- [1] J. Marin, J. Gak, A. Cortes, N. Calarco, A. Oliva, E. Lindstrom, M. Miguez, A. Falcón, N. Osterman, and C. A. Rojas, “Integrated three-level flying capacitor dc-dc buck converter for cubesat applications,” in *2023 Argentine Conference on Electronics (CAE)*. IEEE, 2023, pp. 90–95.
- [2] “Mars exploration rovers: Spirit and opportunity,” <https://science.nasa.gov/mission/mars-exploration-rovers-spirit-and-opportunity/>, NASA, accessed: 03-10-2024.
- [3] A. Milo, “Sputnik 1, el primer satélite artificial y el parteaguas de la carrera espacial,” <https://www.ngenespanol.com/el-espacio/sputnik-1-su-importancia-para-la-exploracion-del-espacio-primer-satelite-artificial/>, 2023, accessed: 03-10-2024.
- [4] G. Brown and W. Harris, “How much do satellites cost?” <https://science.howstuffworks.com/satellite10.htm>, 2023, accessed: 09-10-2024.
- [5] J. Marin, J. Gak, C. A. Rojas, A. H. Wilson-Veas, N. Calarco, M. Miguez, A. R. Oliva, and N. Salvador, “Open-source multilevel converter power ic design and test,” *IEEE Design & Test*, 2024.
- [6] Cal Poly – San Luis Obispo, CA, “Cubesat design specification rev. 14,” <https://static1.squarespace.com/static/5418c831e4b0fa4ecac1bacd/t/62193b7fc9e72e0053f00910/1645820809779/CDS+REV14.1+2022-02-09.pdf>, accessed: 09-10-2024.
- [7] “Cubesat101 basic concepts and processes for first-time cubesat developers,” https://www.nasa.gov/wp-content/uploads/2017/03/nasa_csli_cubesat_101_508.pdf, NASA, 2017.
- [8] “Types of orbits,” https://www.esa.int/Enabling_Support/Space_Transportation/Types_of_orbits, accessed: 29-10-2024.
- [9] “Cubesats,” https://www.esa.int/Enabling_Support/Preparing_for_the_Future/Discovery_and_Preparation/CubeSats, European Space Agency, accessed: 29-10-2024.

- [10] J. Plante and B. Lee, “Environmental conditions for space flight hardware: A survey,” 2005.
- [11] R. Minzner, “The 1976 standard atmosphere above 86-km altitude: Recommendations of task group 2 to coesa,” Washington, Tech. Rep., 1976.
- [12] “Sscs pico program,” <https://sscs.ieee.org/technical-committees/tc-ose/sscs-pico-program/>, SSCS, 2024, accessed: 14-10-2024.
- [13] “Welcome to skywater sky130 pdk’s documentation!” <https://skywater-pdk.readthedocs.io/en/main/>, accessed: 14-10-2024.
- [14] B. A. Miwa, “Interleaved conversion techniques for high density power supplies,” Ph.D. dissertation, Massachusetts Institute of Technology, 1992.
- [15] “Caravan,” https://platform.efabless.com/design_catalog/asic_platform/65, accessed: 04-11-2024.
- [16] *Test Board 1.1.2 User Manual*, https://github.com/AlfonsoUSM/3LFCC_Testboard/blob/testboard.1.1.2/Testing_PCB_User_Manual_for_3LFCC_V1.1.2.pdf, 2023.
- [17] E. C. Lee, J. Rho, B. J. Lee, and H. Kang, “Heat dissipation analysis of m. 2 nvme solid-state drive in vacuum,” in *2019 International Vacuum Electronics Conference (IVEC)*. IEEE, 2019, pp. 1–2.
- [18] S. M. Guertin, M. Amrbar, and S. Vartanian, “Radiation test results for common cubesat microcontrollers and microprocessors,” in *2015 IEEE Radiation Effects Data Workshop (REDW)*, 2015, pp. 1–9.
- [19] P. C. Adell and L. Z. Scheick, “Radiation effects in power systems: A review,” *IEEE Transactions on Nuclear Science*, vol. 60, no. 3, pp. 1929–1952, 2013.
- [20] A. Sulaiman, H. Shahdad, A. Alghfeli, O. Alhammadi, F. Alothali, M. Atallah, M. Okasha, and A.-H. Jallad, “Design, implementation and testing of operational modes in adcs of a cubesat,” in *2022 13th International Conference on Mechanical and Aerospace Engineering (ICMAE)*, 2022, pp. 130–137.
- [21] U. S. Corporation, *3-Channel DC Power Supply PS-3303U / PS-3305U*, <https://www.jameco.com/Jameco/Products/ProdDS/2145772.pdf?srsltid=AfmBOoou6f7tbWzbONftcfQwXvUGXtjR4S-Xk4mEc9yEqrzE73ULzzyR>.
- [22] *Nexys A7 Reference Manual*, https://digilent.com/reference/_media/reference/programmable-logic/nexys-a7/nexys-a7_rm.pdf, 2019.

- [23] *Joulescope™ JS220 User's Guide*, https://download.joulescope.com/products/JS220/JS220-K000/users_guide/Joulescope%20JS220%20User%27s%20Guide%20v1.9.pdf, 2024.
- [24] *DC Electronic Load User Manual Model No.MP710258 and MP.710259*, <https://www.farnell.com/datasheets/3812607.pdf>.
- [25] *User's Manual MiniTec™ Series Model MN36 Auto-Ranging Mini MultiMeter*, https://www.fondriest.com/pdf/extech_mn36_manual.pdf.
- [26] *Space Simulation Systems*, <https://www.nanomaster.com/brochures/Space%20Simulation%20Brochure.pdf>.
- [27] N. Salvador, *Manual para usar el setup de testing para el chip 3LFCC Utilizando PCB Testboard con adaptación m.2*, 2024.