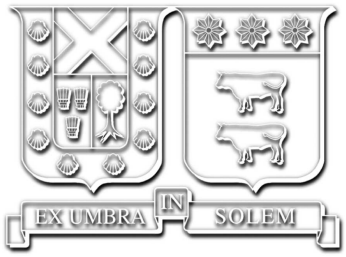
Universidad Técnica Federico Santa María
Departamento de Ingeniería Eléctrica
Valparaíso, Chile



Implementación de un Flying Capacitor Converter trifásico controlado por Phase-Shifted Model Predictive Control.

Francisca Sánchez Novak

2026

Requisito parcial para obtener el título de:
Ingeniera Civil Eléctrica

Profesor Guía:
Dr. Pablo Lezana Illesca (UTFSM)
Profesor Correferente:
Dra. Margarita Norambuena Valdivia (UTFSM)

Comisión:
Dr. Pablo Lezana Illesca (UTFSM)
Dra. Margarita Norambuena Valdivia (UTFSM)

Valparaíso, Octubre 2026.

CONSTANCIA DE VALIDACIÓN Y CONFIDENCIALIDAD DE MONOGRAFÍA A REPOSITORIO ACADÉMICO

1.- IDENTIFICACIÓN DEL TRABAJO ACADÉMICO

Tipo de monografía (marcar una opción): **X** Memoria o trabajo de título ☐ Tesis de Postgrado

Título del trabajo: Implementación de un Flying Capacitor Converter trifásico controlado por Phase-Shifted Model Predictive Control

Nombre del candidato(a): Francisca Constanza Sánchez Novak

Carrera / Grado: Ingeniería Civil Eléctrica

Campus: Casa Central Valparaíso **Departamento:** Ingeniería Eléctrica

2.- VALIDACIÓN DEL PROFESOR GUÍA/DIRECTOR DE TESIS

Yo, Pablo Lezana Illesca, en mi calidad de profesor(a) guía/director(a) del trabajo académico mencionado anteriormente

DEJO CONSTANCIA que:

- He revisado esta versión del documento y corresponde a la versión final aprobada del trabajo.
- El trabajo cumple con los requisitos académicos y de formato establecidos por la institución.

3.- EVALUACIÓN DE CONFIDENCIALIDAD POR PROPIEDAD INDUSTRIAL (marcar una opción)

X El trabajo **NO contiene** información que amerite confidencialidad y puede ser publicado de inmediato en repositorio con acceso abierto.

☐ El trabajo **CONTIENE** información con potenciales implicancias de propiedad industrial o intelectual y requiere un periodo de confidencialidad (**embargo**) por **(marcar una opción)**:

☐ 6 meses ☐ 12 meses ☐ 2 años ☐ 3 años ☐ 5 años ☐ 10 años

Fundamentación de la necesidad de confidencialidad (obligatorio si se solicita embargo):

_____

_____

_____

4.- FIRMAS

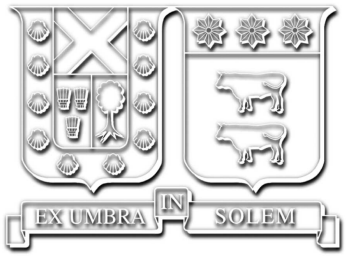
Profesor(a) guía o director(a) de memoria o tesis:

Fecha: __30/10/2026_____ **Firma:** _____ Pablo Lezana Illesca

Estudiante o Candidato(a):

Fecha: ___29/10/2026_____ **Firma:** ___ Fran Sánchez N. _____

Universidad Técnica Federico Santa María
Departamento de Ingeniería Eléctrica
Valparaíso, Chile



Implementación de un Flying Capacitor Converter trifásico controlado por Phase-Shifted Model Predictive Control.

Francisca Sánchez Novak

2026

"El esfuerzo siempre vale la pena, porque en el camino siempre habrás aprendido cosas."

— Rafa Nadal.

Agradecimientos

A mi familia, por apoyarme día a día. A mis padres, que siempre me brindaron su confianza, su ánimo y todas las facilidades para seguir adelante y no rendirme. A mi mamá, que siempre estuvo a mi lado, acompañándome y dándome fuerzas. A mi papá y a mi hermano Andrés, quienes me inspiraron a estudiar una Ingeniería dura; crecí admirándolos y queriendo ser como ellos. A mi papá, que siempre me admiró, diciéndome que siguiera adelante, que iba excelente. Gracias, Andrés, por regalarme el computador con el que realicé esta memoria y por brindarme siempre tu sabiduría y tu confianza. A mi hermana Daniela, que siempre se preocupó por mí, me levantó el ánimo cuando lo necesitaba y me ayudó a elegir el maravilloso outfit para la defensa. A mi abuela Maritza, por su amor y su aliento incondicional. Y a mis perros, por su compañía durante todo este proceso.

A mis amigos de la Universidad, Gabi, Monse, Isi y Purran, que me acompañaron y animaron durante estos años; encontrarlos en el campus durante la realización de la memoria siempre fue la parte entretenida y que más aprecié. A mis compañeros de carrera, por ayudarme en los ramos y estar siempre. A Hugo, que se convirtió en un gran amigo y en una fuente de energía para terminar este trabajo. A Tobal, que me enseñó a hacer cables, a soldar, y a copiar su valentía para llevar la teoría a la práctica con mis propias manos. A mis amigas del colegio que me preguntaban cómo iba y me daban energía para seguir. A mis compañeros de laboratorio que hicieron todo más llevadero.

De principio a fin de esta etapa, el mayor progreso en realidad, más que intelectual fue el personal, mi bienestar mental y físico, algo que no habría sido posible sin el Dr. Héctor Valdés y la Dra. María Arroyo-Segovia. Excelentes personas.

Agradezco también a todos mis profesores por los conocimientos entregados, y la formación que me dieron, incluyendo a mi profesor referente y correferente. Sin dejar de lado que mi profesor referente no creyó durante casi un año que mi simulación estaba correcta, aun cuando le expuse las razones, y me negó el permiso para probar mi código en el prototipo real del LIAcE. Mi profesora correferente mandó a desarmar el convertidor que iba a utilizar para que lo usara otro compañero, lo que finalmente no ocurrió, repercutiendo a que tuviera que realizar un trabajo extra. Finalmente, cuando ya estaba a punto de terminar, me sugirieron cambiar de tema, argumentando que quizás me demoraría demasiado en la parte experimental, considerando cómo me había ido en la parte de simulación... tras eso, les agradezco por hacerme ir contra la corriente. Me hicieron darme cuenta de que debo confiar en mis conocimientos y no permitir que me pasen a llevar, ya que probablemente me encontraré con situaciones similares o peores en el futuro y deberé alzar la voz con más fuerza.

La música fue una parte importante de esta etapa, manteniéndome entretenida y acompañada, por lo que me gustaría agradecer a Taylor Swift, CamelPhat, Billie Eilish y Ariana Grande.

Por último, quiero agradecerme a mí misma: por no rendirme nunca.

Índice de Contenidos

Índice de Contenidos I

Índice de Figuras IV

Índice de Tablas VI

Nomenclatura VIII

Resumen 1

1. Introducción 2

2. Marco Teórico 5
2.1. Convertidores multinivel . . . 5
2.2. Flying Capacitor Converter (FCC) . . . 5
2.3. Modulación PS-PWM . . . 6
2.4. Frecuencias de operación en la modulación PS-PWM . . . 7
2.4.1. Frecuencia equivalente de conmutación ($f_{\mathrm{sw,eq}}$) . . . 7
2.4.2. Frecuencia de muestreo del controlador (f_m) . . . 8
2.5. Control Predictivo basado en Modelo (MPC) . . . 8
2.6. PS-MPC . . . 8
2.7. Métricas de evaluación del desempeño . . . 9
2.7.1. Índices de desempeño dinámico del control . . . 9
2.7.2. Distorsión armónica y THD . . . 9
2.8. Muestreo y filtrado anti-aliasing . . . 10

3. Modelo del convertidor FCC 11
3.1. Topología del convertidor . . . 11
3.2. Niveles de tensión de fase del FCC según la tensión de los capacitores . . . 12
3.3. Modelo en tiempo continuo . . . 14
3.3.1. Ecuación dinámica de la corriente de salida y de las tensiones de capacitores . . . 14
3.3.2. Análisis de las variables de estado en tramos de $v_{in}(t)-v_{on}(t)$ constante 15

4. Phase-Shifted Model Predictive Control (PS-MPC) 17
4.1. Esquema de control . . . 17
4.2. Modelo promedio secuencial . . . 18
4.2.1. Discretización del modelo del FCC . . . 20
4.2.2. Modelo en tiempo discreto: predicción . . . 21

4.2.3. Formulación matricial del modelo 22
4.3. Obtención de las referencias del sistema 25
4.3.1. Obtención de los valores de referencia en tiempo continuo 25
4.3.2. Determinación del índice de modulación y ángulo de desfase bajo la condición de balance 25
4.3.3. Discretización de las referencias 27
4.4. Problema de control óptimo secuencial 27
4.4.1. Función de costo 27
4.4.2. Solución analítica óptima 28
4.4.3. Interpretación de $\boldsymbol{W}_j(k+1)$ y $\boldsymbol{F}_j(k+1)$ como indicadores de controlabilidad 29
4.4.4. Análisis del efecto de los factores de ponderación 31

5. Simulaciones del control PS-MPC 34
5.1. Entorno y parámetros de simulación 34
5.2. Métricas de evaluación del desempeño 35
5.3. Sintonización y resultados: control PS-MPC 36
5.3.1. Casos de sintonización evaluados 36
5.3.2. Análisis de sensibilidad factor ponderación λ_d 37
5.3.2.a. Arranque 37
5.3.2.b. Escalón 39
5.3.2.c. Estado estacionario 41
5.3.2.d. Caso óptimo ($\lambda_d = 5$) 44
5.3.3. Análisis de sensibilidad de λ_1 y λ_2 45
5.3.3.a. Arranque 45
5.3.3.b. Escalón 47
5.3.3.c. Métricas del estado estacionario 49
5.3.3.d. Caso óptimo ($\lambda_1 = \lambda_2 = 1$) 52
5.4. Caso óptimo 53
5.5. Análisis de sensibilidad bajo anulación de pesos de ponderación 54
5.5.1. Singularidad estructural en el arranque ($\lambda_d = 0$) 54
5.5.2. Respuesta ante escalón en régimen permanente con capacitores cargados 55

6. Implementación del FCC 58
6.1. Plataforma experimental: hardware y sensores 58
6.1.1. Sistema de control digital: DSP y FPGA 58
6.1.2. Componentes de potencia del sistema 59
6.1.3. Transmisión de señales de disparo y distribución de alimentación . . 62
6.1.4. Circuitos de medición 63
6.2. Conexión y pruebas de funcionamiento del convertidor 64
6.2.1. Instrumentación de laboratorio 64
6.2.2. Montaje y reemplazo de componentes fallados 64
6.2.3. Ajuste de tiempo muerto 66
6.2.4. Filtro pasa bajos 67
6.2.5. Calibración 67
6.2.6. Seguridad 68
6.2.6.a. Pruebas de seguridad monofásicas 69

6.2.6.b. Pruebas de seguridad trifásicas 69
6.2.7. Pruebas en lazo abierto 70

7. Resultados experimentales 75
7.1. Metodología de ensayo 75
7.1.1. Equipos utilizados 75
7.1.2. Procedimiento de arranque escalonado 75
7.1.3. Casos registrados 76
7.2. Caso óptimo: $\lambda_d = 5$, $\lambda_1 = \lambda_2 = 1$ 77
7.2.1. Ensayo ante escalón 77
7.2.2. Desempeño en estado estacionario 78
7.3. Caso: $\lambda_d = 5$, $\lambda_1 = \lambda_2 = 0,5$ 81
7.3.1. Ensayo ante escalón 81
7.3.2. Desempeño en estado estacionario 82
7.4. Caso: $\lambda_d = 0,5$, $\lambda_1 = \lambda_2 = 1$ 84
7.4.1. Ensayo ante escalón 84
7.4.2. Desempeño en estado estacionario 86
7.5. Discusión comparativa y síntesis de resultados experimentales 87

8. Conclusiones 90

Apéndices 93

A. Figuras y tablas complementarias 93
A.1. Capítulo 5 — Simulaciones 93

B. Código de calibración de los sensores (DSP) 99

C. Código de control en lazo abierto (DSP) 104

D. Código de control en lazo cerrado (DSP) 110

E. Funciones de procesamiento de datos en MATLAB 126
E.1. Lectura de archivos de datos 126
E.2. Métricas de respuesta dinámica 127
E.3. Rizado y esfuerzo de variación del ciclo de trabajo 127

F. Modelo de control PS-MPC implementado en PLECS 129
F.1. Declaraciones 129
F.2. Función de inicialización (*Start Function*) 130
F.3. Función de actualización (*Update Function*) 131
F.4. Función de salida (*Output Function*) 137

Bibliografía 138

Índice de Figuras

2.1. Topología de una fase de un FCC de η celdas. [1] 6

3.1. Topología del FCC trifásico. 12

4.1. Esquema de control. 18
4.2. Actualización secuencial de los ciclos de trabajo bajo PS-PWM de doble actualización para $\eta = 3$. Cada ciclo de trabajo se actualiza en el máximo o mínimo de su portadora y permanece constante durante $T_c/2 = 3h$. Las portadoras de las tres fases son idénticas. Se destaca el ciclo de trabajo optimizado para $k + 1$ y su horizonte de predicción hasta $k + 4$. 19

5.1. Esquemático del modelo de simulación en PLECS: circuito de potencia del FCC trifásico y bloque de control PS-MPC. 34
5.2. Efecto de λ_d sobre la dinámica de arranque de las tensiones flotantes . . . 39
5.3. Corriente de fase a superpuesta para los ocho casos del análisis de sensibilidad de λ_d, en torno al escalón de referencia 40
5.4. Espectro armónico de la corriente i_a en estado estacionario, ocho casos de λ_d, con los dos armónicos dominantes marcados en rojo 43
5.5. Esfuerzo de variación del ciclo de trabajo Δd en función de λ_d, por celda, escala log-log 44
5.6. Tensión de los capacitores flotantes durante el arranque para seis casos del análisis de sensibilidad de $\lambda_1 = \lambda_2$, excluyendo los dos casos más lentos ($0,005$ y $0,05$), (a) v_{C1a}, (b) v_{C2a} 47
5.7. Corriente de fase a superpuesta para los ocho casos del análisis de sensibilidad de $\lambda_1 = \lambda_2$, en torno al escalón de referencia 49
5.8. Espectro armónico de la corriente i_a en estado estacionario, ocho casos de $\lambda_1 = \lambda_2$, con los dos armónicos dominantes marcados en rojo 51
5.9. Esfuerzo de variación del ciclo de trabajo Δd en función de $\lambda_1 = \lambda_2$, por celda, escala log-log 52
5.10. Control PS-MPC en el caso óptimo en estado estacionario 53
5.11. Respuesta transitoria ante escalón de referencia (2 A $\rightarrow$ 3,5 A) para $\lambda_d = 0, \lambda_1 = \lambda_2 = 1$: tensiones flotantes v_{C1a}, v_{C2a} [V] y corrientes de fase i_a, i_b, i_c [A]. 55
5.12. Ciclos de trabajo d_1, d_2, d_3 por celda y fase durante el ensayo de escalón para $\lambda_d = 0, \lambda_1 = \lambda_2 = 1$. 56
5.13. Respuesta ante escalón para $\lambda_d = 0, \lambda_1 = \lambda_2 = 0$: congelamiento de tensiones flotantes, colapso de corrientes y ciclos de trabajo a cero. 57

6.1. Montaje experimental completo del convertidor FCC trifásico. 59

6.2. Flying Capacitor Converter de 3 celdas. 61
6.3. Placa de una fase del convertidor. 61
6.4. Conector de distribución de tensión lógica y de DC-link hacia cada tarjeta de fase. 63
6.5. Mantenimiento y reparación de componentes en la tarjeta de potencia. . . 65
6.6. Fabricación manual de cables de conexión y medición para la plataforma experimental. 66
6.7. Esquema de simulación en PLECS del circuito monofásico en lazo abierto para la obtención de referencias de calibración ($d = 0,7$). 68
6.8. Esquema de simulación en PLECS del convertidor Flying Capacitor trifásico operando en lazo abierto con modulación PS-PWM. 70
6.9. Tensiones en los capacitores flotantes v_{C1} y v_{C2} para las tres fases (A, B y C) en lazo abierto a $V_{DC} = 210$ V. 71
6.10. Corrientes trifásicas de salida y referencia i_a^*, en lazo abierto a $V_{DC} = 210$ V. 71

7.1. Caso óptimo experimental, tensión de los capacitores flotantes, corriente de fase A y ciclo de trabajo de la fase A, en torno al escalón de referencia 78
7.2. Ciclo de trabajo de las tres celdas en las tres fases, caso óptimo experimental, en torno al escalón de referencia. 80
7.3. Tensión de los capacitores flotantes (v_{C1} y v_{C2}) en las tres fases, caso óptimo experimental. 80
7.4. Caso $\lambda_d = 5$, $\lambda_1 = \lambda_2 = 0,5$ experimental: tensión de los capacitores flotantes de la fase A, corrientes trifásicas de salida con la referencia i_a^*, y ciclos de trabajo de la fase A en torno al escalón de referencia. 81
7.5. Ciclo de trabajo de las tres celdas en las tres fases, caso $\lambda_d = 5, \lambda_1 = \lambda_2 = 0,5$, en torno al escalón de referencia. 84
7.6. Caso $\lambda_d = 0,5, \lambda_1 = \lambda_2 = 1$ experimental: tensión de los capacitores flotantes de la fase A, corrientes trifásicas de salida con la referencia i_a^*, y ciclos de trabajo de la fase A en torno al escalón de referencia. 85
7.7. Ciclo de trabajo de las tres celdas en las tres fases, caso $\lambda_d = 0,5, \lambda_1 = \lambda_2 = 1$, en torno al escalón de referencia. 87

A.1. Análisis de sensibilidad de λ_d durante el arranque 93
A.2. Ciclos de trabajo d_1, d_2 y d_3 de la fase A en torno al escalón, análisis de sensibilidad de λ_d 94
A.3. Tensión de los capacitores flotantes de la fase A en torno al escalón, análisis de sensibilidad de λ_d, (a) v_{C1a}, (b) v_{C2a} 95
A.4. Ciclos de trabajo d_1, d_2 y d_3 de la fase A durante el arranque, análisis de sensibilidad de $\lambda_1 = \lambda_2$ 96
A.5. Análisis de sensibilidad de $\lambda_1 = \lambda_2$ durante el arranque y la respuesta ante escalón 97
A.6. Tensiones de los condensadores flotantes en torno al escalón, análisis de sensibilidad de $\lambda_1 = \lambda_2$ 98

Índice de Tablas

3.1. Tensiones de fase del FCC $v_{in}(t)$ según estados de los interruptores 13

5.1. Parámetros del sistema 35
5.2. Casos evaluados en los análisis de sensibilidad de los pesos del funcional de costo 37
5.3. Análisis de sensibilidad de λ_d durante el arranque 37
5.4. Análisis de sensibilidad de λ_d: respuesta ante escalón 40
5.5. Análisis de sensibilidad de λ_d, tensión de los capacitores en estado estacionario 41
5.6. Análisis de sensibilidad de λ_d, corriente en estado estacionario 42
5.7. Análisis de sensibilidad de λ_d, esfuerzo de control y asimetría entre celdas 43
5.8. Análisis de sensibilidad de $\lambda_1 = \lambda_2$ durante el arranque 45
5.9. Análisis de sensibilidad de $\lambda_1 = \lambda_2$, respuesta ante escalón 48
5.10. Análisis de sensibilidad de $\lambda_1 = \lambda_2$, tensión de los capacitores en estado estacionario 50
5.11. Análisis de sensibilidad de $\lambda_1 = \lambda_2$, corriente en estado estacionario . . . 50
5.12. Análisis de sensibilidad de $\lambda_1 = \lambda_2$, esfuerzo de control y asimetría entre celdas 51
5.13. Comparación de desempeño en estado estacionario entre el caso límite $\lambda_d = 0$ ($\lambda_1 = \lambda_2 = 1$) y el caso óptimo ($\lambda_d = 5$, $\lambda_1 = \lambda_2 = 1$). 56

6.1. Valores nominales de los componentes del sistema. 60
6.2. Factores de calibración obtenidos para cada señal medida. 68
6.3. Lazo abierto a $V_{DC} = 210$ V, sesgo y rizado de las tensiones de los capacitores flotantes en estado estacionario 71

7.1. Casos registrados experimentalmente 76
7.2. Caso óptimo ($\lambda_d = 5, \lambda_1 = \lambda_2 = 1$): respuesta dinámica ante el escalón. . 78
7.3. Caso óptimo experimental: sesgo y rizado de las tensiones de los capacitores flotantes en estado estacionario. 79
7.4. Caso óptimo experimental: seguimiento de corriente y esfuerzo de control (fase A). 79
7.5. Caso $\lambda_d = 5, \lambda_1 = \lambda_2 = 0,5$: respuesta dinámica ante el escalón. 82
7.6. Caso $\lambda_d = 5$, $\lambda_1 = \lambda_2 = 0{,}5$ experimental: tensión de los capacitores flotantes (fase A), comparado con el caso óptimo. 82
7.7. Caso $\lambda_d = 5$, $\lambda_1 = \lambda_2 = 0{,}5$ experimental: seguimiento de corriente y esfuerzo de control (fase A), comparado con el caso óptimo. 82
7.8. Caso $\lambda_d = 0,5, \lambda_1 = \lambda_2 = 1$: respuesta dinámica ante el escalón. 85

7.9. Caso $\lambda_d = 0{,}5$, $\lambda_1 = \lambda_2 = 1$ experimental: tensión de los capacitores flotantes (fase A), comparado con el caso óptimo. 86
7.10. Caso $\lambda_d = 0{,}5$, $\lambda_1 = \lambda_2 = 1$ experimental: seguimiento de corriente y esfuerzo de control (fase A), comparado con el caso óptimo. 86
7.11. Comparación global de métricas experimentales bajo distintas sintonizaciones del PS-MPC (fase A). 87

Nomenclatura.

Convenciones generales de notación

$x(t)$	:	Valor instantáneo de la variable x en tiempo continuo.
$x(k)$	:	Valor de la variable x en el instante de muestreo k, en tiempo discreto.
x^*	:	Valor de referencia de la variable x.
$\hat{x}$	:	Amplitud (valor pico) de una señal senoidal x.
x_i	:	Variable x correspondiente a la fase i, con $i \in \{a, b, c\}$.
d_{ji}	:	Ciclo de trabajo de la celda j de la fase i, con $j \in \{1, 2, 3\}$.
x_p	:	Variable x correspondiente a una celda distinta de la celda activa j ($p \neq j$).
x_l, x_m	:	Variable x correspondiente a las otras dos fases distintas de la fase i.
$\boldsymbol{x}$	:	Vector de la variable x.

Símbolos

$\boldsymbol{A}$	:	Matriz diagonal del modelo de predicción en tiempo discreto.
$\boldsymbol{B}_j(\boldsymbol{x}(k+1))$	:	Matriz de sensibilidad del estado predicho respecto al ciclo de trabajo de la celda j.
C_1, C_2	:	Capacitancia de los capacitores flotantes 1 y 2.
$\boldsymbol{d}_j(k+1)$	:	Vector de ciclos de trabajo de la celda activa j, para las tres fases.
$\boldsymbol{d}_p(k+1)$	:	Vector de ciclos de trabajo de las celdas distintas de j.
$\boldsymbol{e}_x(k+4)$	:	Vector de error de seguimiento de los estados internos predichos.
$\boldsymbol{e}_d(k+1)$	:	Vector de error de seguimiento del ciclo de trabajo.
$e_{i,\mathrm{RMS}}$	:	Error cuadrático medio de la corriente de fase respecto a su referencia.
$e_{d,\mathrm{RMS}}$	:	Error cuadrático medio del ciclo de trabajo respecto a su referencia.
$\boldsymbol{F}_j(k+1)$	:	Vector de término independiente del problema de optimización de la celda j.
f_c	:	Frecuencia de las portadoras triangulares.
f_{corte}	:	Frecuencia de corte del filtro pasabajo de la etapa de medición de tensión.
f_{m}	:	Frecuencia de muestreo del modelo, tasa de actualización del controlador.
f_{Nyquist}	:	Frecuencia de Nyquist del sistema de muestreo.
$f_{\mathrm{sw,eq}}$	:	Frecuencia equivalente de conmutación vista por la carga.
h	:	Período de muestreo del modelo de predicción.
$\hat{\imath}$	:	Amplitud de la corriente de referencia.
$i_i(t)$	:	Corriente de salida de la fase i.
I_M	:	Límite de corriente programado en la protección de sobrecorriente del DSP.
$J_j(k+1)$	:	Función de costo asociada a la celda activa j.
J	:	Número de muestras promediadas en el procedimiento de calibración.
k	:	Índice de tiempo discreto (instante de muestreo).
L	:	Inductancia de la carga.
$\hat{m}$	:	Índice de modulación.
M_1, M_2	:	Límites de tensión de las protecciones de sobretensión de v_{c1} y v_{c2} en el DSP.
N_{LEM}	:	Número de vueltas del conductor primario en el sensor de corriente LEM.
n	:	Neutro del convertidor.
$n_{\mathrm{máx}}$	:	Orden armónico máximo considerado en el cálculo de THD y WTHD.
o	:	Neutro levantado de la carga trifásica.
$\boldsymbol{P}$	:	Matriz de proyección trifásica para cargas sin neutro.
$\boldsymbol{Q}$	:	Matriz de ponderación de los estados internos en la función de costo.
R	:	Resistencia de la carga.
R_{eq}	:	Resistencia serie equivalente asociada a las caídas de tensión no modeladas.
$S_{ji}(t)$	:	Estado de conmutación del interruptor de la celda j, fase i.
$\overline{S_{ji}}(t)$	:	Estado de conmutación del interruptor complementario de $S_{ji}(t)$.
t_0	:	Instante de inicio de un tramo de conmutación constante.
t_d	:	Tiempo muerto de conmutación.
T_c	:	Período de la portadora triangular.
$v_{in}(t)$	:	Tensión de fase del FCC, referida al neutro del convertidor (n).
$v_{on}(t)$	:	Tensión entre el neutro del convertidor (n) y el neutro levantado de la carga (o).
$v_{io}(t)$	:	Tensión de fase del convertidor referida a la carga.
$v_{c1i}(t), v_{c2i}(t)$	:	Tensión de los capacitores flotantes 1 y 2 de la fase i.
V_{DC}	:	Tensión del DC-link.
V_{drop}	:	Tensión equivalente de caída asociada a las no idealidades de conmutación.
$\boldsymbol{W}_j(k+1)$	:	Matriz de ponderación del problema de optimización desacoplado de la celda j.
$\boldsymbol{x}(k)$	:	Vector de estado del sistema en el instante k.
Z	:	Impedancia de la carga RL.

Símbolos griegos

γ_a, γ_b	:	Constantes de discretización de la dinámica de la corriente de salida.
γ_{c1}, γ_{c2}	:	Constantes de discretización de la dinámica de las tensiones de los capacitores flotantes.
$\gamma_i, \gamma_l, \gamma_m$	:	Ángulo de desfase entre la corriente de referencia y el ciclo de trabajo de referencia.
Δd	:	Esfuerzo de variación del ciclo de trabajo entre muestras consecutivas.
$\Delta \hat{\imath}$	:	Déficit estimado de la amplitud de corriente respecto a la referencia teórica.
$\Delta v(t)$	:	Perturbación de tensión tipo onda cuadrada asociada a las caídas no modeladas.
ΔV_{td}	:	Pérdida de tensión estimada por efecto del tiempo muerto.
η	:	Número de celdas por fase del convertidor FCC.
λ_d	:	Factor de ponderación del esfuerzo de control en la función de costo.
λ_1, λ_2	:	Factores de ponderación del error de tensión de los capacitores flotantes 1 y 2.
$\boldsymbol{\lambda_d}$	:	Matriz de ponderación del error del ciclo de trabajo ($\text{diag}(\lambda_d, \lambda_d, \lambda_d)$).
τ	:	Constante de tiempo del circuito RL de carga ($\tau = L/R$).
ϕ_i	:	Ángulo de fase de la corriente de referencia de la fase i.
ω	:	Frecuencia angular de la señal de referencia.

Abreviaciones y siglas

ADC	:	Analog-to-Digital Converter (conversor análogo-digital).
CCS	:	Code Composer Studio.
DC	:	Corriente continua (Direct Current).
DSP	:	Digital Signal Processor (procesador digital de señales).
EMI	:	Electromagnetic Interference (interferencia electromagnética).
FCC	:	Flying Capacitor Converter (convertidor Flying Capacitor).
FPGA	:	Field Programmable Gate Array.
HPI	:	Host Processor Interface.
IGBT	:	Insulated Gate Bipolar Transistor.
LIAcE	:	Laboratorio de Investigación de Accionamientos Eléctricos.
LTK	:	Ley de Tensión de Kirchhoff.
PCB	:	Printed Circuit Board (placa de circuito impreso).
PLECS	:	Piecewise Linear Electrical Circuit Simulation.
PS-MPC	:	Phase-Shifted Model Predictive Control.
PS-PWM	:	Phase-Shifted Pulse-Width Modulation (modulación por ancho de pulso con portadoras c
PWM	:	Pulse Width Modulation (modulación por ancho de pulso).
RL	:	Carga resistiva-inductiva.
RMS	:	Root Mean Square (valor eficaz).
SMD	:	Surface Mount Device (componente de montaje superficial).
THD	:	Total Harmonic Distortion (distorsión armónica total).
WTHD	:	Weighted Total Harmonic Distortion (distorsión armónica total ponderada).

Resumen

Este trabajo presenta la implementación y validación experimental de la estrategia de control *Phase-Shifted Model Predictive Control* (PS-MPC) sobre un *Flying Capacitor Converter* (FCC) trifásico de tres celdas por fase. El PS-MPC utiliza la modulación *Phase-Shifted Pulse-Width Modulation* (PS-PWM), la cual genera un espectro fijo en las tensiones y corrientes de salida y produce un balance natural de las tensiones de los capacitores flotantes. Sin embargo, PS-PWM por sí sola no ejerce un control activo sobre dichas tensiones ni sobre la corriente de salida, por lo que el balance presenta una dinámica lenta y oscilatoria, determinada únicamente por los parámetros pasivos del sistema. El PS-MPC aborda esta limitación regulando activamente ambas variables sin perder dicho espectro.

La formulación se basó en una propuesta secuencial ya existente para un FCC monofásico [2], extendida en esta memoria al caso trifásico, lo que agregó un acoplamiento entre las tres fases a través de la tensión de modo común. Se desarrolló el modelo discreto del convertidor y la solución analítica del ciclo de trabajo óptimo de cada celda, resuelta de forma secuencial invirtiendo una matriz de dimensión fija, sin importar el número de celdas. La estrategia se evaluó inicialmente mediante simulaciones en PLECS y, tras habilitar el prototipo de FCC trifásico del laboratorio LIAcE, se implementó sobre una plataforma digital DSP TMS320C6713 y FPGA Spartan-6 para su validación experimental.

El análisis de controlabilidad del modelo de predicción mostró que la penalización del esfuerzo de control ($\lambda_d > 0$) es una condición necesaria para que la matriz de ponderación del problema de optimización sea invertible durante el arranque con capacitores descargados, lo que se confirmó en simulación mediante un caso límite. Un análisis de sensibilidad sobre los pesos de la función de costo permitió elegir la sintonización óptima usada como referencia para la validación experimental.

La habilitación del prototipo incluyó la calibración de los canales de medición, el ajuste del tiempo muerto, la verificación de las protecciones y pruebas en lazo abierto. Se evidenció un déficit sistemático de la corriente respecto a su referencia, consistente con caídas de tensión no modeladas en los semiconductores y con el efecto del tiempo muerto, aunque esta explicación no fue verificada directamente. Los ensayos experimentales bajo tres sintonizaciones distintas confirmaron que el PS-MPC regula de forma simultánea las seis tensiones de los capacitores flotantes, y sus resultados concordaron con las simulaciones: los tiempos de respuesta fueron del mismo orden de magnitud y el efecto de modificar los factores de ponderación siguió la misma tendencia observada en simulación. Estos resultados validan la estrategia de control en un prototipo experimental real.

Capítulo 1

Introducción

A medida que la potencia de las aplicaciones aumenta, es usual aumentar la tensión de estas, requiriendo convertidores con topologías más complejas, en particular, las de tipo multinivel. Estos convertidores pueden alcanzar altos niveles de potencia mediante el uso de varios interruptores conectados de tal manera que sus tensiones de bloqueo queden limitadas a una fracción de la tensión máxima del sistema, permitiendo emplear semiconductores de menor tensión nominal. Otra ventaja a destacar es que estos convertidores producen formas de onda conmutadas con un menor contenido armónico que el convertidor de dos niveles, debido a que la tensión de salida se sintetiza mediante una mayor cantidad de escalones de menor magnitud, en lugar de conmutar directamente entre los extremos del DC-link [1]. Entre los problemas que presentan estas topologías se encuentran la gran cantidad de semiconductores que deben manejarse de manera simultánea y el hecho de que la mayoría de ellas se describen mediante modelos no lineales, con variables internas, como las tensiones de los capacitores, que deben ser controladas. Si bien estas topologías involucran desafíos importantes, las ventajas mencionadas hacen que los convertidores multinivel sean ampliamente adoptados en aplicaciones de alta potencia, como en la integración de energías renovables no convencionales (ERNC) a la red eléctrica [3].

De las topologías multinivel presentes en la literatura, este trabajo se centró en el *Flying Capacitor Converter* (FCC), el cual utiliza capacitores flotantes para dividir la tensión de entrada y así generar niveles adicionales de tensión a la salida. Cada fase del FCC está formada por un conjunto de celdas, y cada celda está compuesta por un capacitor flotante y un par de interruptores controlados cuasi-complementarios. Para que la tensión de bloqueo de cada semiconductor quede limitada a V_{DC}/η, se requiere que la tensión del capacitor de cada celda sea igual a kV_{DC}/η, con V_{DC} igual a la tensión del DC-link que alimenta al convertidor, k igual al índice del capacitor flotante y η igual al número de celdas [1, 4]. En este trabajo se utilizó un FCC de tres celdas por fase, con tensiones de referencia de $V_{DC}/3$ y $2V_{DC}/3$ en sus capacitores flotantes, por lo que la tensión de salida del FCC, medida respecto al negativo del DC-link, puede alcanzar los valores 0, $V_{DC}/3$, $2V_{DC}/3$ y V_{DC}.

Entre las ventajas del FCC con respecto a otros convertidores multinivel se encuentra que requiere un solo DC-link para alimentar una carga trifásica, a diferencia del *Cascaded H-Bridge* (CHB), que requiere un DC-link independiente para cada una de sus celdas, cada uno alimentado por una fuente de tensión DC aislada [5]. Estas fuentes se obtienen típicamente mediante un transformador de desfase con un devanado secundario dedicado

por celda, lo que aumenta considerablemente el volumen y la complejidad del sistema [3]. Además, en comparación con el convertidor *Neutral Point Clamped* (NPC), resulta más sencillo escalar el FCC a un número alto de niveles desde el punto de vista del balance de tensiones. En el NPC, cuyos niveles intermedios se obtienen dividiendo el DC-link en varios capacitores en serie, cuando el convertidor se alimenta mediante un rectificador pasivo, el balance de dichos capacitores deja de ser viable con técnicas de modulación convencionales a medida que aumenta el número de niveles [3]. El FCC, en cambio, presenta un balance natural de las tensiones de sus capacitores flotantes, independiente del número de niveles del convertidor, cuando sus celdas operan con ciclos de trabajo iguales y portadoras desfasadas uniformemente [4].

No obstante, mantener el balance de las tensiones de los capacitores flotantes es crítico para la operación segura del convertidor, ya que si estas se alejan de sus valores de equilibrio, alguno de los semiconductores puede quedar expuesto a una tensión de bloqueo superior a la que está diseñado para soportar; por esta razón, dichas tensiones deben ser monitoreadas y controladas [6].

Desde el punto de vista del control, es necesario traducir la salida del controlador a señales de disparo de los semiconductores, tarea que normalmente se realiza mediante modulación por ancho de pulso (PWM). Esta técnica permite sintetizar la tensión de salida deseada, siempre y cuando las tensiones de los capacitores flotantes se encuentren en sus valores de referencia [2]. Entre las técnicas de modulación disponibles, la *Phase-Shifted Pulse-Width Modulation* (PS-PWM) resulta especialmente adecuada, ya que con ella se obtiene el balance natural mencionado anteriormente [3]. Bajo esta modulación y en estado estacionario, las tensiones de los capacitores se mantienen en torno a su punto de operación sin requerir un control activo adicional [2]. Sin embargo, la dinámica con que estas tensiones alcanzan dicho estado es lenta y presenta grandes oscilaciones, ya que depende únicamente de los parámetros del sistema: en particular, una menor resistencia de carga y una mayor inductancia de carga tienden a producir un balance más lento y oscilatorio [1].

Para superar esta limitación, en este trabajo se utilizó un método de control activo denominado *Phase-Shifted Model Predictive Control* (PS-MPC) [2, 5], el cual aprovecha el principio de funcionamiento de PS-PWM. Este esquema permite regular, mediante un único controlador, la corriente de salida y las tensiones de los capacitores flotantes del convertidor. Al incorporar explícitamente las tensiones de los capacitores dentro de los objetivos del control, el PS-MPC logra dinámicas rápidas en ambas variables, realizando el balance de manera secuencial y conservando el espectro fijo de PS-PWM en las tensiones y corrientes de salida [2]. La formulación secuencial original, propuesta para un FCC monofásico [2], se extendió en esta memoria al caso trifásico, lo que introdujo un acoplamiento entre las tres fases a través de la tensión de modo común.

El objetivo general de este trabajo fue implementar y validar experimentalmente una estrategia PS-MPC para el control de las corrientes de salida y de las tensiones de los capacitores flotantes de un FCC trifásico de tres celdas por fase. Para ello, se plantearon los siguientes objetivos específicos: (i) habilitar y validar experimentalmente la operación del FCC trifásico de tres celdas por fase disponible en el laboratorio LIAcE; (ii) implementar la estrategia PS-MPC para el seguimiento de las corrientes de salida y la regulación de las tensiones de los capacitores flotantes; (iii) evaluar experimentalmente el desempeño del sistema controlado en condiciones estacionarias y transitorias; y (iv) comparar los resultados

experimentales con los obtenidos mediante simulación. Las validaciones experimentales se realizaron ante una carga RL y para distintas magnitudes de referencia de corriente.

Capítulo 2

Marco Teórico

En este capítulo se presentan los fundamentos teóricos necesarios para el desarrollo de esta memoria.

2.1. Convertidores multinivel

Los convertidores de fuente de tensión convencionales, o de dos niveles, como el inversor trifásico estándar utilizado en accionamientos de baja tensión, entregan una tensión de salida restringida a dos valores, 0 y V_{DC} si se mide respecto al negativo del DC-link, o $\pm V_{DC}/2$ si se mide respecto al punto medio de este. Los convertidores multinivel, en cambio, permiten incrementar la capacidad de potencia del convertidor sin requerir semiconductores de mayor tensión nominal que lo componen, mediante el aumento del número de niveles de tensión de la forma de onda de salida. Esta estructura permite alcanzar tensiones elevadas con un bajo contenido armónico, sin la necesidad de utilizar un transformador ni dispositivos de conmutación sincronizados conectados en serie. A medida que aumenta el número de niveles de tensión, el contenido armónico de la forma de onda de tensión de salida se reduce considerablemente, mejorando la calidad de la corriente de salida [3].
El concepto de forma de onda escalonada multinivel surgió a fines de la década de 1960, cuando aparecieron de forma casi simultánea dos desarrollos, la conexión en serie de convertidores H-bridge que dio origen al CHB, y una primera versión de baja potencia del FCC [3]. A fines de la década de 1970 apareció además el diode-clamped converter, precursor del NPC [3]. Posteriormente, el CHB fue reintroducido para aplicaciones de media tensión, hacia fines de la década de 1980, mientras que el FCC alcanzó ese mismo estatus recién a comienzos de la década de 1990 [3]. El CHB y el FCC comparten, además, una estructura modular construida mediante la interconexión de celdas de potencia [3].

2.2. Flying Capacitor Converter (FCC)

El *Flying Capacitor Converter* (FCC) es un convertidor conformado por η celdas conectadas en tándem, lo que permite generar $N = \eta + 1$ niveles de tensión de salida. Cada una de estas celdas está compuesta por un capacitor flotante y un par de interruptores cuasi-complementarios. La topología de este convertidor se puede ver en la Figura 2.1, la

cual muestra un FCC monofásico con un neutro ubicado en el punto medio del DC-link. Para que cada interruptor tenga una tensión de bloqueo equitativa, igual a V_{DC}/η, se requiere que cada capacitor esté balanceado en el valor kV_{DC}/η, con k igual al índice del capacitor flotante correspondiente, por lo cual esta tensión debe ser controlada [1].

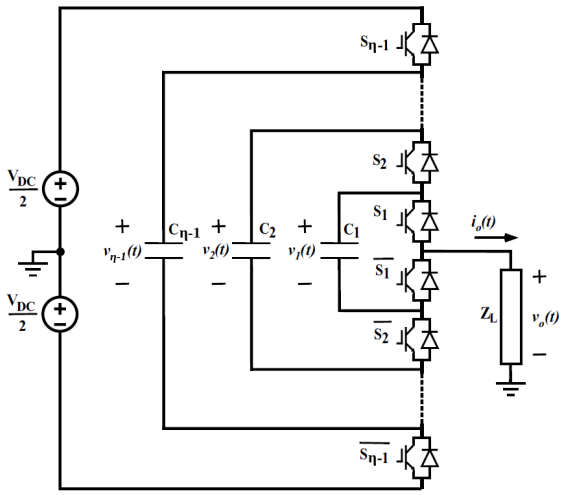


Figura 2.1: Topología de una fase de un FCC de η celdas. [1]

Cuando las tensiones de los capacitores flotantes se encuentran en sus valores de referencia, la tensión de salida del convertidor queda constituida por una forma de onda escalonada de N niveles, en lugar de conmutar directamente entre los extremos del DC-link como ocurre en un convertidor clásico de dos niveles [1].

Una característica adicional del FCC es la existencia de estados de conmutación redundantes, es decir, para algunos de los niveles de tensión de salida existe más de una combinación posible de estados de los interruptores que produce el mismo resultado. Esta redundancia es, de hecho, la que permite distribuir de forma equitativa el esfuerzo de conmutación entre los semiconductores del convertidor [1].

Finalmente, cabe destacar que, desde una perspectiva de control, el modelo dinámico del FCC corresponde a un sistema no lineal, dado que las tensiones de los capacitores flotantes y la corriente de salida dependen del producto entre estas variables y las señales de conmutación, que actúan como entradas de control [2].

2.3. Modulación PS-PWM

La modulación *Phase-Shifted Pulse-Width Modulation* (PS-PWM) consiste en comparar η portadoras triangulares, una por celda, desfasadas entre sí en $2\pi/\eta$, con una misma señal moduladora [1]. Si se utiliza la modulación PS-PWM se logra un balance natural de las tensiones de los capacitores flotantes, aprovechando para ello los estados de conmutación redundantes del convertidor, siempre que todas las celdas operen con un mismo ciclo de trabajo [4], sin requerir de una acción de control activa sobre dichas tensiones.

Sin embargo, la dinámica de este proceso de balance depende fuertemente de las condiciones de operación del convertidor, tales como la corriente de carga, el índice de modulación, la relación entre la frecuencia de conmutación y la frecuencia fundamental (pulse

ratio), y las características de la carga [1]. En particular, cargas de baja resistencia y alta inductancia tienden a producir una respuesta de balance más lenta y oscilatoria [1].

Esta es justamente la principal desventaja de la modulación PS-PWM, al no ser un método de control activo, la dinámica de balance obtenida es, en general, lenta y con oscilaciones considerables, dependiendo únicamente de los parámetros del sistema [2]. Es esta limitación la que motiva el uso de estrategias de control activo, como el control predictivo abordado en las secciones siguientes.

2.4. Frecuencias de operación en la modulación PS-PWM

En convertidores multinivel operados mediante PS-PWM, la frecuencia de conmutación percibida por la carga difiere significativamente de la frecuencia de conmutación individual de cada semiconductor. Por ello, es necesario distinguir entre tres frecuencias relacionadas pero conceptualmente distintas: la frecuencia de conmutación individual de cada semiconductor, que coincide con la frecuencia de la portadora, f_c; la frecuencia equivalente percibida por la carga, $f_{sw,eq}$; y la frecuencia de muestreo del sistema de control digital, f_m.

2.4.1. Frecuencia equivalente de conmutación ($f_{\mathrm{sw,eq}}$)

Considérese una fase del FCC compuesta por η celdas de conmutación moduladas por señales portadoras triangulares de frecuencia f_c. En el esquema PS-PWM, las portadoras de una misma fase presentan un desfase angular dado por:

$$\theta = \frac{2\pi}{\eta} \tag{2.1}$$

El entrelazado temporal (*interleaving*) de las conmutaciones de las η celdas produce un efecto multiplicativo en la tensión de salida de la fase, de modo que la frecuencia equivalente de conmutación ($f_{sw,eq}$) observada en la carga resulta:

$$f_{\mathrm{sw,eq}} = \eta \cdot f_c \tag{2.2}$$

Como consecuencia de este incremento en la frecuencia efectiva, la primera banda lateral de armónicos principales generados por el proceso de conmutación se desplaza hacia múltiplos de $f_{\mathrm{sw,eq}}$, ubicando el orden armónico dominante n_{dom} en torno a:

$$n_{\mathrm{dom}} = \frac{f_{\mathrm{sw,eq}}}{f_1} = \frac{\eta \cdot f_c}{f_1} \tag{2.3}$$

donde f_1 corresponde a la frecuencia fundamental del sistema.[1]

[1] A diferencia del FCS-MPC estándar, en donde la ausencia de una portadora fija produce una frecuencia de conmutación variable y, por ende, un espectro disperso, tanto PS-PWM como PS-MPC conservan la estructura de conmutación sincronizada con las portadoras triangulares, lo que concentra los armónicos de la tensión de salida en múltiplos de la frecuencia de conmutación $f_{\mathrm{sw,eq}} = \eta \cdot f_c$, dando lugar a un espectro fijo y predecible.

2.4.2. Frecuencia de muestreo del controlador (f_m)

En esquemas de control digital con doble actualización (*double-edge sampling*), el ciclo de trabajo se actualiza dos veces por período de portadora, cuando esta alcanza su valor máximo y su valor mínimo. Para garantizar la sincronía en un convertidor de η celdas desfasadas uniformemente, la frecuencia de muestreo del algoritmo de control $f_m = 1/h$ se define como:

$$f_m = 2 \cdot \eta \cdot f_c = 2 \cdot f_{\text{sw,eq}} \tag{2.4}$$

2.5. Control Predictivo basado en Modelo (MPC)

El control predictivo basado en modelo (MPC) es una estrategia de control que utiliza un modelo en tiempo discreto del sistema para predecir el comportamiento futuro de las variables de interés a lo largo de un horizonte de predicción finito, ante un conjunto predefinido de posibles acciones de control. La acción de control aplicada corresponde a aquella que minimiza una función de costo, la cual cuantifica el error de seguimiento entre las variables predichas y sus referencias deseadas [2]. En su variante de conjunto finito de control (Finite Control Set MPC, FCS-MPC), el número de posibles combinaciones de conmutación de un convertidor de potencia es finito, por lo que la búsqueda del óptimo se realiza evaluando la función de costo sobre dicho conjunto finito de acciones. La combinación de conmutación óptima resultante se aplica directamente al convertidor, sin requerir de una etapa de modulación externa [7].

El desempeño de un controlador predictivo suele describirse también en términos de su ancho de banda de lazo cerrado, una medida de qué tan rápido responde el sistema ante cambios en su referencia, inversamente relacionada con el tiempo de establecimiento [8]. A diferencia de un controlador lineal clásico, en un controlador predictivo este ancho de banda no se fija de forma directa, sino que resulta de la ponderación relativa entre el error de seguimiento y el esfuerzo de control dentro de la función de costo.

En el límite en que dicho esfuerzo de control deja de ponderarse, el controlador tiende a un comportamiento tipo *deadbeat*, buscando llevar el error del sistema a cero en el menor número posible de pasos de muestreo, idealmente en uno solo, sin considerar el costo del esfuerzo de control necesario para lograrlo [2].

2.6. PS-MPC

El Phase-Shifted Model Predictive Control (PS-MPC) es una estrategia de control predictivo que aprovecha el principio de funcionamiento de la modulación PS-PWM para obtener, de manera secuencial, un ciclo de trabajo óptimo independiente para cada una de las η portadoras del convertidor. A diferencia del FCS-MPC estándar, en el cual se busca la combinación de conmutación óptima entre un conjunto finito de posibilidades, la cual se mantiene aplicada durante todo el período de muestreo, el PS-MPC obtiene explícitamente el ciclo de trabajo óptimo de cada celda mediante la minimización de una función de costo. Dicha función se evalúa de forma secuencial cada vez que una de las portadoras alcanza su máximo o su mínimo, lo que garantiza una conmutación completa por período de portadora [2].

Esta estrategia mejora dos aspectos del desempeño respecto a PS-PWM estándar y

FCS-MPC. Por un lado, acelera la dinámica de balance de las tensiones de los capacitores flotantes en comparación con la modulación PS-PWM convencional. Por otro, a diferencia del FCS-MPC estándar, cuya ausencia de portadora fija produce un espectro de conmutación disperso, el PS-MPC conserva un espectro de conmutación fijo, heredado del principio de funcionamiento de PS-PWM [2].

2.7. Métricas de evaluación del desempeño

2.7.1. Índices de desempeño dinámico del control

Para evaluar el comportamiento transitorio de un sistema de control ante un cambio de referencia, se utilizan comúnmente los siguientes índices [8].

- **Tiempo de subida ($t_{\mathbf{subida}}$):** tiempo que tarda la respuesta del sistema en pasar del 10 % al 90 % de su valor final, para una referencia creciente.
- **Tiempo de establecimiento (t_{estab}):** tiempo requerido para que la respuesta del sistema permanezca dentro de una banda de tolerancia (habitualmente $\pm 2\,\%$) en torno a su valor final, sin volver a salir de dicha banda.
- **Error en estado estacionario (e_{ss}):** diferencia entre la señal de referencia, $r(t)$, y la señal de salida del sistema controlado, $y(t)$, una vez que este ha alcanzado su estado estacionario.
- **Rizado (Δy):** en estado estacionario, la variación pico a pico de la señal en torno a su valor promedio, evaluada sobre una ventana de un número entero de períodos de la componente fundamental,

$$\Delta y = \max_{t\in[t_0,t_0+nT]} y(t) - \min_{t\in[t_0,t_0+nT]} y(t) \tag{2.5}$$

  con T el período de la componente fundamental y n un número entero.

2.7.2. Distorsión armónica y THD

La Distorsión Armónica Total (THD, por sus siglas en inglés) es un indicador utilizado para cuantificar el contenido armónico de una señal periódica respecto de su componente fundamental. Para una señal $y(t)$ compuesta por una componente fundamental y sus armónicos de orden superior, el THD se define como:

$$\mathrm{THD} = \frac{\sqrt{\sum_{n=2}^{\infty} Y_n^2}}{Y_1} = \sqrt{\left(\frac{Y_{\mathrm{RMS}}}{Y_1}\right)^2 - 1} \tag{2.6}$$

donde Y_1 corresponde al valor RMS de la componente fundamental de la señal, Y_n al valor RMS del armónico de orden n, y Y_{RMS} al valor RMS total de la señal [9]. El THD permite evaluar qué tan alejada se encuentra la forma de onda del convertidor de una señal puramente sinusoidal, siendo un indicador estándar para comparar el desempeño de distintas estrategias de modulación y control.

De manera análoga, la Distorsión Armónica Total Ponderada (WTHD, por sus siglas en inglés) pondera cada armónico por el inverso de su orden antes de sumarlos, reflejando que los armónicos de orden más alto suelen ser atenuados de forma más efectiva por la impedancia de la carga. Para la misma señal $y(t)$, el WTHD se define como:

$$\mathrm{WTHD} = \frac{1}{Y_1}\sqrt{\sum_{n=2}^{\infty}\left(\frac{Y_n}{n}\right)^2} \tag{2.7}$$

El factor $1/n$ aproxima el comportamiento de un filtro inductivo de primer orden ($Z_L = \omega L = n\omega_1 L$), por lo que el WTHD entrega una estimación más representativa de la distorsión efectivamente vista por la carga que el THD, que pondera todos los armónicos por igual.

En el contexto del convertidor FCC operando con modulación PS-PWM, el desfase entre portadoras descrito en la Sección 2.4 concentra el primer grupo relevante de armónicos en torno a la frecuencia equivalente de conmutación $f_{\mathrm{sw,eq}} = \eta \cdot f_c$, con magnitudes bajas en los órdenes intermedios, lo que reduce de forma considerable el THD y el WTHD respecto a un convertidor de dos niveles tradicional.

2.8. Muestreo y filtrado anti-aliasing

Para implementar un control digital es necesario tomar muestras de las señales analógicas del sistema mediante un conversor análogo-digital (ADC) a una frecuencia de muestreo f_m fija. El teorema de muestreo de Nyquist establece que la frecuencia de muestreo debe ser al menos el doble de la componente de mayor frecuencia presente en la señal. La mitad de la frecuencia de muestreo se conoce como frecuencia de Nyquist ($f_{Nyquist}$):

$$f_{Nyquist} = \frac{f_m}{2} \tag{2.8}$$

Si la señal medida contiene frecuencias superiores a $f_{Nyquist}$, estas componentes no se eliminan al digitalizarse, sino que se solapan sobre las frecuencias bajas de la señal. Este fenómeno se conoce como *aliasing* y genera una distorsión en la medición que el control no puede corregir [10].

Para evitar este problema, se coloca un filtro pasabajo antes de la entrada del ADC, denominado filtro anti-aliasing. Este filtro atenúa los ruidos de alta frecuencia generados por las conmutaciones antes de que la señal sea digitalizada. El filtro se implementa de forma activa mediante un amplificador operacional [11]. La frecuencia de corte f_{corte}, definida en el punto donde la ganancia cae -3 dB, se calcula como:

$$f_{\mathrm{corte}} = \frac{1}{2\pi RC} \tag{2.9}$$

Por sobre f_{corte}, el filtro atenúa a razón de 20 dB/década. Por esta razón, la frecuencia de corte se selecciona significativamente menor que la frecuencia de Nyquist (típicamente entre 3 y 6 veces menor), de modo que los armónicos de conmutación cercanos a f_{Nyquist} lleguen fuertemente atenuados a la entrada del conversor y no produzcan *aliasing*.

Capítulo 3

Modelo del convertidor FCC

A partir del Marco Teórico presentado en el Capítulo 2, en este capítulo se presenta el modelo del FCC trifásico implementado en este trabajo. En primer lugar, se describe la topología del convertidor y los niveles de tensión de fase que se generan según el estado de conmutación de los interruptores y la condición de carga inicial de los capacitores flotantes. Finalmente, se desarrolla el modelo en tiempo continuo que describe la dinámica de la corriente de salida y de las tensiones de los capacitores.

3.1. Topología del convertidor

En este trabajo se utilizó un FCC trifásico de 4 niveles, conectado a una carga trifásica resistiva-inductiva (R-L) con neutro aislado. El esquema del convertidor se ilustra en la Figura 3.1, donde V_{DC} representa la tensión del DC-link, n denota el nodo de referencia del convertidor, conectado al terminal negativo del DC-link y a tierra, y o corresponde al neutro de la carga trifásica.

La topología está compuesta por tres celdas de conmutación ($\eta = 3$) por fase, incorporando tres pares de interruptores IGBT cuasi-complementarios[2]. El estado de conmutación de cada dispositivo se define mediante la variable binaria $S_{ji}(t) \in \{0, 1\}$, donde el índice $j \in \{1, 2, 3\}$ identifica la celda y $i \in \{a, b, c\}$ indica la fase correspondiente. Así, $S_{ji}(t) = 1$ representa el estado conducido (ON) y $S_{ji}(t) = 0$ el estado bloqueado (OFF), mientras que $\overline{S}_{ji}(t)$ determina el estado del interruptor complementario respectivo.

Tal como se estableció en el marco teórico, las tensiones de referencia en los capacitores flotantes de cada fase deben satisfacer la relación $V_{Ck} = k \cdot V_{\mathrm{DC}}/\eta$, con $k \in \{1, 2\}$. De este modo, las tensiones nominales corresponden a $V_{C1i} = V_{\mathrm{DC}}/3$ y $V_{C2i} = 2V_{\mathrm{DC}}/3$. Esta configuración permite sintetizar una forma de onda de tensión de salida de 4 niveles respecto al neutro n, dados por: 0, $V_{\mathrm{DC}}/3$, $2V_{\mathrm{DC}}/3$ y V_{DC}.

[2]Los interruptores de una misma celda no son estrictamente complementarios debido al tiempo muerto introducido para evitar cortocircuitos durante las conmutaciones. Sin embargo, para efectos del modelado matemático, este tiempo muerto se desprecia y se asume una operación complementaria ideal.

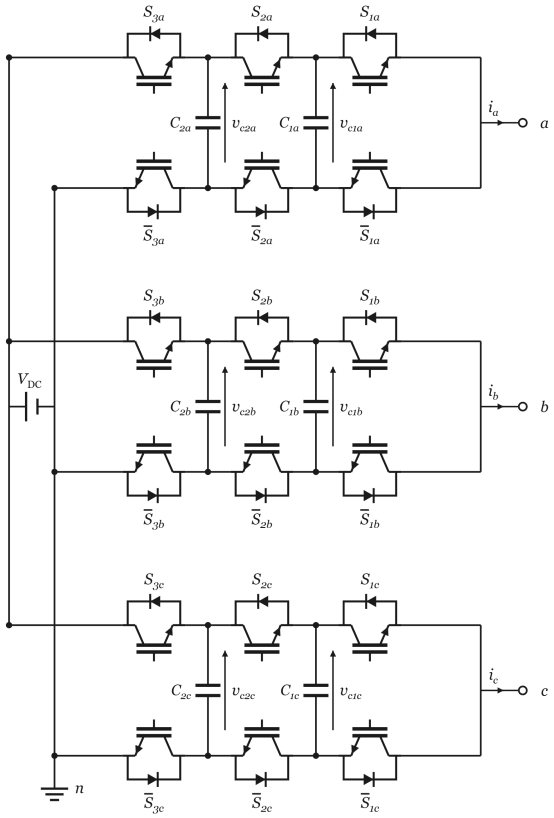


Figura 3.1: Topología del FCC trifásico.

3.2. Niveles de tensión de fase del FCC según la tensión de los capacitores

Los niveles de tensión de cada fase del convertidor se generan a partir de la combinación de los estados de conmutación de los interruptores y de la condición de carga de los capacitores flotantes. Esto es representado en la Tabla 3.1, en donde se presentan los valores de tensión de fase del FCC según el estado de los interruptores, para tres casos de condiciones iniciales de la carga de los capacitores:

1. Caso 1: Balanceado
   Se considera: $v_{c1i}(0^+) = \frac{V_{DC}}{3}$ y $v_{c2i}(0^+) = \frac{2 \cdot V_{DC}}{3}$
2. Caso 2: Desbalanceado
   Se considera: $v_{c1i}(0^+) = 0$ y $v_{c2i}(0^+) = \frac{2 \cdot V_{DC}}{3}$
3. Caso 3: Descargados
   Se considera: $v_{c1i}(0^+) = 0$ y $v_{c2i}(0^+) = 0$

Tabla 3.1: Tensiones de fase del FCC $v_{in}(t)$ según estados de los interruptores

$S_{3i}(t)$	$S_{2i}(t)$	$S_{1i}(t)$	Tensión de fase del FCC $v_{in}(t)$	Caso 1: Balanceado	Caso 2: Desbalanceado	Caso 3: Descargados
0	0	0	0	0	0	0
0	0	1	$v_{c1i}(t)$	$\frac{1}{3}V_{DC}$	0	0
0	1	0	$v_{c2i}(t) - v_{c1i}(t)$	$\frac{1}{3}V_{DC}$	$\frac{2}{3}V_{DC}$	0
0	1	1	$v_{c2i}(t)$	$\frac{2}{3}V_{DC}$	$\frac{2}{3}V_{DC}$	0
1	0	0	$V_{DC} - v_{c2i}(t)$	$\frac{1}{3}V_{DC}$	$\frac{1}{3}V_{DC}$	V_{DC}
1	0	1	$V_{DC} - v_{c2i}(t) + v_{c1i}(t)$	$\frac{2}{3}V_{DC}$	$\frac{1}{3}V_{DC}$	V_{DC}
1	1	0	$V_{DC} - v_{c1i}(t)$	$\frac{2}{3}V_{DC}$	V_{DC}	V_{DC}
1	1	1	V_{DC}	V_{DC}	V_{DC}	V_{DC}

De la Tabla 3.1 se puede verificar que la tensión de una fase del FCC depende de la conmutación de los interruptores y de la tensión de los capacitores. Del Caso 1 se puede ver que, si bien los ocho estados de conmutación posibles generan cuatro niveles de tensión distintos (0, $\frac{1}{3}V_{DC}$, $\frac{2}{3}V_{DC}$ y V_{DC}), estos niveles no se obtienen todos con la misma cantidad de combinaciones de interruptores. Los niveles extremos (0 y V_{DC}) se generan mediante un único estado cada uno, mientras que los niveles intermedios ($\frac{1}{3}V_{DC}$ y $\frac{2}{3}V_{DC}$) se generan mediante tres estados de conmutación distintos. Si bien estos estados producen la misma tensión de salida, cada uno de ellos involucra una combinación distinta de interruptores, lo que hace que la corriente de carga circule por un subconjunto diferente de capacitores flotantes en cada caso, afectando de manera distinta su proceso de carga y descarga. Esto permite seleccionar, en cada instante, el estado de conmutación que contribuya al balance de las tensiones de los capacitores sin alterar la tensión de salida deseada.

En el Caso 2, se mantienen los mismos cuatro niveles de tensión de salida, pero la cantidad de estados de conmutación redundantes por nivel disminuye respecto del Caso 1, reduciendo con ello el grado de libertad disponible para el balance de los capacitores. Adicionalmente, como el nivel de tensión asociado a cada estado depende directamente de $v_{c1i}(t)$ y $v_{c2i}(t)$, un mismo estado de conmutación deja de generar necesariamente el mismo nivel de tensión que produciría bajo la condición nominal de diseño, lo que evidencia que el desbalance de los capacitores altera la relación entre los estados de conmutación y la tensión de salida del convertidor. El Caso 3 representa la situación más desfavorable, ya que, al estar los capacitores completamente descargados, el convertidor solo es capaz de generar dos niveles de tensión (0 y V_{DC}), comportándose como un convertidor de dos niveles y perdiendo las ventajas propias de la operación multinivel descritas en el Marco Teórico. Este análisis evidencia que el balance de las tensiones de los capacitores flotantes no es una condición opcional, sino un requisito para el correcto funcionamiento del FCC, lo que motiva la necesidad de un esquema de control activo capaz de garantizar dicho balance, como el que se presenta en el Capítulo 4.

Como se mencionó en el marco teórico, para que la tensión de bloqueo de cada semiconductor quede limitada a la misma fracción de la tensión total del DC-link, dada por V_{DC}/η (en este caso, $V_{DC}/3$), se requiere que la tensión del k-ésimo capacitor flotante sea $V_{Ck} = k \cdot V_{DC}/\eta$, con $k \in \{1, \ldots, \eta - 1\}$. En general, el interruptor bloqueado de cada celda debe soportar la diferencia entre las tensiones adyacentes a dicha celda, es decir, $v_{c1i}(t)$ en la celda 1, $v_{c2i}(t) - v_{c1i}(t)$ en la celda 2 y $V_{DC} - v_{c2i}(t)$ en la celda 3. En el Caso 1, estas tres tensiones son iguales a $V_{DC}/3$. En cambio, en el Caso 2 las celdas 1, 2 y 3 bloquean 0, $2V_{DC}/3$ y $V_{DC}/3$, respectivamente, de modo que los semiconductores

de la celda 2 deben soportar el doble de su tensión nominal, mientras que en el Caso 3 los semiconductores de la celda 3 deben bloquear la totalidad de V_{DC}. Así, el desbalance de los capacitores no solo altera los niveles de tensión de salida, sino que también puede exponer a los semiconductores a tensiones de bloqueo superiores a su valor de diseño [1].

Cabe destacar que si se eligen otras tensiones de referencia de los capacitores flotantes, diferentes a $V_{C1i} = V_{DC}/3$ y $V_{C2i} = 2V_{DC}/3$, se pueden obtener más niveles de tensión de salida. Por ejemplo, si se asignaran tensiones de referencia iguales a $V_{C1i} = V_{DC}/7$ y $V_{C2i} = 3V_{DC}/7$, sería posible sintetizar hasta 8 niveles distintos de tensión a la salida usando las mismas tres celdas, lo que corresponde al número máximo de combinaciones de los interruptores, $2^\eta = 2^3 = 8$. Sin embargo, este enfoque presenta desventajas importantes: en primer lugar, los semiconductores pasarían a tener diferentes tensiones de bloqueo según la celda en la que se ubiquen, iguales a $V_{DC}/7$, $2V_{DC}/7$ y $4V_{DC}/7$, perdiendo la simetría en los dispositivos de potencia; en segundo lugar, se elimina por completo la redundancia en los estados de conmutación, privando al convertidor de su balance natural mediante PS-PWM y dejando al control activo (PS-MPC) sin combinaciones alternativas para regular los capacitores sin distorsionar la tensión de salida. Por estas razones, en este trabajo se adopta la distribución uniforme tradicional de 4 niveles.

3.3. Modelo en tiempo continuo

3.3.1. Ecuación dinámica de la corriente de salida y de las tensiones de capacitores

Se establece el comportamiento dinámico del sistema estudiado mediante un modelo de ecuaciones en tiempo continuo. La Ley de Tensión de Kirchhoff (LTK) para cada fase está dada por:

$$v_{in}(t) = v_R(t) + v_L(t) + v_{on}(t), \quad i \in \{a, b, c\} \tag{3.1}$$

Desarrollando dicha ley, se obtiene:

$$v_{in}(t) = R \cdot i_i(t) + L \cdot \frac{di_i(t)}{dt} + v_{on}(t) \tag{3.2}$$

Despejando, se obtiene la ecuación diferencial de primer orden (EDO) que representa la dinámica de la corriente de salida de cada fase:

$$(v_{in}(t) - v_{on}(t)) = R \cdot i_i(t) + L \cdot \frac{di_i(t)}{dt} \tag{3.3}$$

A continuación se presentan las tres EDOs que modelan el comportamiento dinámico del sistema estudiado, correspondientes a las variables de estado del sistema para cada fase: $i_i(t)$, $v_{c1i}(t)$ y $v_{c2i}(t)$. Las siguientes ecuaciones corresponden a las derivadas de la tensión de los capacitores 1 y 2 de cada fase, respectivamente, dependientes de los estados de conmutación de los interruptores adyacentes a cada capacitor, y a la derivada de la corriente de salida de cada fase:

$$\frac{dv_{c1i}(t)}{dt} = -\frac{1}{C_{1i}} \cdot i_i(t) \cdot (S_{1i}(t) - S_{2i}(t)) \tag{3.4}$$

$$\frac{dv_{c2i}(t)}{dt} = -\frac{1}{C_{2i}} i_i(t) \cdot (S_{2i}(t) - S_{3i}(t)) \tag{3.5}$$

$$\frac{di_i(t)}{dt} = -\frac{R}{L} \cdot i_i(t) + \frac{1}{L} \cdot (v_{in}(t) - v_{on}(t)) \tag{3.6}$$

donde la tensión de fase del convertidor, referida a su neutro, $v_{in}(t)$, es igual a

$$v_{in}(t) = V_{DC} \cdot S_{3i}(t) + v_{c2i}(t) \cdot (S_{2i}(t) - S_{3i}(t)) + v_{c1i}(t) \cdot (S_{1i}(t) - S_{2i}(t)) \tag{3.7}$$

Las Ecuaciones (3.4) a (3.7) evidencian que el modelo dinámico del FCC es no lineal, ya que en ellas aparecen productos entre las variables de estado del sistema, $i_i(t)$, $v_{c1i}(t)$ y $v_{c2i}(t)$, y las señales de conmutación $S_{ji}(t)$, que actúan como entradas del sistema.

En cuanto a la tensión entre el nodo de referencia del convertidor (n) y el neutro aislado de la carga trifásica (o), $v_{on}(t)$, esta se obtiene aplicando la Ley de Tensión de Kirchhoff en cada fase, para luego sumar las tres ecuaciones resultantes. Dado que en este modelo la resistencia R y la inductancia L de carga se consideran idénticas para las tres fases, la suma de las caídas de tensión en las impedancias de fase puede expresarse en función de la suma de las corrientes de fase, $R\,(i_a(t)+i_b(t)+i_c(t))+L\,\frac{d}{dt}(i_a(t)+i_b(t)+i_c(t))$, tal como se muestra en la Ecuación (3.9). Adicionalmente, dado que la carga trifásica posee un neutro aislado, sin una cuarta conexión de retorno hacia el convertidor, la Ley de Corrientes de Kirchhoff aplicada al nodo o exige que la suma instantánea de las corrientes de fase sea nula en todo momento, $i_a(t) + i_b(t) + i_c(t) = 0$, independientemente de si el sistema opera en condiciones balanceadas o no. Esta condición topológica es la que permite cancelar por completo la suma de las caídas de tensión en las impedancias de carga, obteniéndose, bajo la hipótesis de parámetros de carga idénticos entre fases, una expresión exacta para $v_{on}(t)$, tal como se muestra a continuación:

$$v_{in}(t) - v_{io}(t) - v_{on}(t) = 0 \tag{3.8}$$

$$3 \cdot v_{on}(t) = \sum_{i\in\{a,b,c\}} v_{in}(t) - R \sum_{i\in\{a,b,c\}} i_i(t) - L\,\frac{d}{dt} \sum_{i\in\{a,b,c\}} i_i(t) \tag{3.9}$$

$$v_{on}(t) = \frac{1}{3} \sum_{i\in\{a,b,c\}} v_{in}(t) \tag{3.10}$$

3.3.2. Análisis de las variables de estado en tramos de $v_{in}(t) - v_{on}(t)$ constante

Dado que el estado de conmutación $S_{ji}(t)$ con $j \in \{1, 2, 3\}$ e $i \in \{a, b, c\}$ cambia entre 0 y 1 a lo largo del tiempo, la tensión aplicada $v_{in}(t)-v_{on}(t)$ no es continua, sino que presenta discontinuidades por cada conmutación. Por esta razón, las soluciones de las ecuaciones diferenciales (3.6), (3.4) y (3.5) se obtienen analizando el sistema por tramos, es decir, en los intervalos de tiempo comprendidos entre conmutaciones consecutivas, dentro de los cuales los estados de conmutación $S_{1i}(t)$, $S_{2i}(t)$ y $S_{3i}(t)$ permanecen constantes. Dado que la capacitancia de los capacitores flotantes se selecciona de manera que la variación de su tensión durante un tramo sea pequeña en comparación con su valor nominal, las tensiones $v_{c1i}(t)$ y $v_{c2i}(t)$ también pueden considerarse aproximadamente constantes dentro de dicho intervalo, y por lo tanto $v_{in}(t) - v_{on}(t)$ también puede considerarse constante mientras los $S_{ji}(t)$ mantengan su valor. Para cada uno de estos tramos, se resuelven las ecuaciones diferenciales del modelo, obteniéndose una expresión explícita en el tiempo para la corriente

de salida y una expresión en función de la integral de dicha corriente para las tensiones de los capacitores. En primer lugar, se determina la expresión de la corriente de salida $i_i(t)$ mediante la solución completa de la ecuación diferencial (3.6), la cual está compuesta por la solución natural (homogénea) y la respuesta forzada (particular). Posteriormente, las tensiones de los capacitores $v_{c1i}(t)$ y $v_{c2i}(t)$ se obtienen integrando directamente las ecuaciones (3.4) y (3.5), expresándose en función de la integral de la corriente de salida en el intervalo correspondiente.

A continuación, se presenta la expresión analítica en tiempo continuo de la corriente de salida $i_i(t)$, con $i \in \{a, b, c\}$, para un tramo $t \in [t_0, t_0 + \Delta t]$ en el cual la tensión aplicada a la carga puede aproximarse como constante, $v_{in}(t) - v_{on}(t) \approx V_0$. La solución de la Ecuación (3.6) en dicho tramo está dada por

$$i_i(t) = e^{-\frac{t-t_0}{\tau}} \cdot i_i(t_0) + \left(1 - e^{-\frac{t-t_0}{\tau}}\right) \cdot \frac{V_0}{R} \tag{3.11}$$

donde $\tau = L/R$ corresponde a la constante de tiempo de la carga RL, t_0 es el instante inicial del tramo e $i_i(t_0)$ es la corriente de fase al inicio de dicho tramo.

Por su parte, las expresiones en el tiempo de las tensiones de los capacitores $v_{c1i}(t)$ y $v_{c2i}(t)$ se obtienen integrando (3.4) y (3.5) entre t_0 y t, lo que resulta en

$$v_{c1i}(t) = v_{c1i}(t_0) - \frac{1}{C_{1i}} \cdot (S_{1i}(t) - S_{2i}(t)) \cdot \int_{t_0}^{t} i_i(\sigma)\, d\sigma \tag{3.12}$$

$$v_{c2i}(t) = v_{c2i}(t_0) - \frac{1}{C_{2i}} \cdot (S_{2i}(t) - S_{3i}(t)) \cdot \int_{t_0}^{t} i_i(\sigma)\, d\sigma \tag{3.13}$$

donde σ corresponde a la variable temporal de integración.

Es importante notar que la expresión en el tiempo de la corriente de salida, obtenida en esta sección, corresponde a la solución exacta de la ecuación diferencial (3.6) bajo la aproximación de tensión aplicada constante, V_0, considerada en (3.11), mientras que las expresiones en el tiempo de las tensiones de los capacitores se obtienen integrando directamente dicha corriente en las Ecuaciones (3.4) y (3.5). Esta aproximación es válida dentro de un tramo real de conmutación, es decir, mientras $S_{1i}(t)$, $S_{2i}(t)$ y $S_{3i}(t)$ permanecen efectivamente constantes, condición bajo la cual $v_{c1i}(t)$ y $v_{c2i}(t)$ varían poco respecto a su valor nominal, tal como se justificó anteriormente en esta misma subsección. Sin embargo, el período de muestreo h utilizado por el controlador PS-MPC, definido en el Capítulo 4, contiene una conmutación de alguno de estos interruptores, por lo que $S_{ji}(t)$ no permanece constante durante todo dicho período. La discretización del modelo del convertidor sobre el período h, desarrollada en el Capítulo 4, se obtiene entonces aplicando estas mismas expresiones, pero reemplazando el estado de conmutación $S_{ji}(t)$ por su valor promedio durante h, es decir, por el ciclo de trabajo $d_{ji}(k)$, el cual sí permanece constante durante todo el período de muestreo, siendo así la corriente y las tensiones obtenidas en dicho modelo una aproximación de la evolución real de dichas variables, que filtra la variación de alta frecuencia (rizado) producida por la conmutación real de $S_{ji}(t)$ dentro del intervalo h, consistente con el carácter promedio del modelo introducido en la Sección 4.2.

Capítulo 4

Phase-Shifted Model Predictive Control (PS-MPC)

En el Capítulo 2 se explicó que, si bien la modulación PS-PWM permite un balance natural de las tensiones de los capacitores flotantes del FCC, la dinámica resultante es lenta y oscilatoria, dependiendo únicamente de los parámetros del sistema. Para superar esta limitación, en este trabajo se implementó un esquema de control activo denominado Phase-Shifted Model Predictive Control (PS-MPC), el cual incorpora explícitamente el objetivo de balance de tensiones dentro de la optimización del controlador, aprovechando al mismo tiempo el principio de funcionamiento de PS-PWM para conservar un espectro de conmutación fijo.

La formulación de PS-MPC implementada en esta memoria se basó en la propuesta secuencial de [2], desarrollada originalmente para un FCC monofásico de cuatro niveles. En este trabajo, dicha formulación se extendió al caso trifásico, lo que introdujo un acoplamiento adicional entre las tres fases del convertidor a través de la tensión $v_{on}(k)$, ausente en el caso monofásico original. Además, a diferencia de dicho caso, en este trabajo el neutro del convertidor se conecta al negativo del DC-link. La formulación del control se basa en la optimización de una función de costo. Para ello, en la Sección 4.1 se presenta primero el esquema de control. Posteriormente, en la Sección 4.2 se obtiene el modelo promedio secuencial de todo el sistema. A continuación, en la Sección 4.3 se determinan las referencias del sistema que ingresan al controlador y, finalmente, en la Sección 4.4 se presenta la formulación de la optimización.

4.1. Esquema de control

La Figura 4.1 presenta el esquema de control de lazo cerrado implementado en este trabajo. Como se describió en la Sección 2.6, el PS-MPC es un controlador predictivo que aprovecha el principio de funcionamiento de la modulación PS-PWM, presentada en la Sección 2.3, para obtener de forma secuencial un ciclo de trabajo óptimo para cada celda del convertidor.

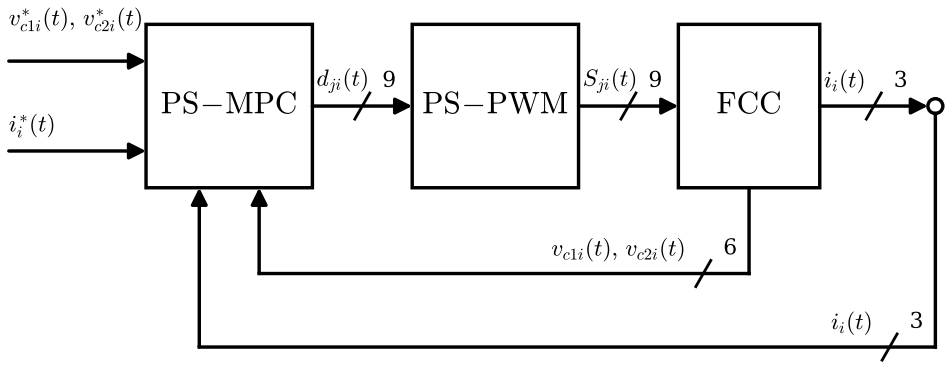


Figura 4.1: Esquema de control.

El bloque PS-MPC recibe como entradas las referencias de tensión de los capacitores flotantes, $v^*_{c1i}(t)$ y $v^*_{c2i}(t)$, las referencias de corriente de fase, $i^*_i(t)$, las tensiones medidas de los capacitores flotantes, $v_{c1i}(t)$ y $v_{c2i}(t)$ (6 señales, correspondientes a las dos tensiones de capacitor de cada una de las tres fases), y las corrientes de fase medidas, $i_i(t)$ (3 señales, una por fase). A partir de estas calcula de forma secuencial los ciclos de trabajo óptimos d_{ji}. Dado que el convertidor cuenta con $\eta = 3$ celdas por fase, el vector $d_{ji}(t)$ está compuesto por 9 componentes. Estos ciclos de trabajo son entregados al modulador PS-PWM, el cual los compara con las portadoras triangulares desfasadas para generar los estados de conmutación $S_{ji}(t)$ que se aplican al FCC.

El desarrollo matemático de este esquema, incluyendo el modelo de predicción empleado por el bloque PS-MPC y la obtención de las referencias $v^*_{c1i}(t), v^*_{c2i}(t)$ e $i^*_i(t)$, se presenta en las secciones 4.2 y 4.3, respectivamente.

4.2. Modelo promedio secuencial

En esta sección se desarrolla el modelo utilizado por el controlador PS-MPC para predecir el comportamiento del convertidor, cuyo carácter promedio y secuencial se explican a continuación.

Cada interruptor $S_{ji}(t)$ conmuta una vez durante su período de actualización, lo que permite definir su valor promedio en dicho período como el ciclo de trabajo $d_{ji}(t)$. Debido a esta conmutación, la corriente de salida $i_i(t)$ y las tensiones de los capacitores $v_{c1i}(t)$ y $v_{c2i}(t)$ también varían dentro del período de actualización, por lo que el modelo no predice su valor instantáneo, sino una aproximación de su evolución que filtra dicha variación, obtenida al sustituir $S_{ji}(t)$ por $d_{ji}(t)$ en las ecuaciones dinámicas del sistema. Esta sustitución es la que da origen al carácter promedio del modelo. En lugar de trabajar con la señal de conmutación binaria $S_{ji}(t)$, la cual conmuta en un instante específico dentro de cada período de actualización, el modelo predice la evolución promedio del sistema en función de los ciclos de trabajo $d_{ji}(t) \in [0, 1]$, que permanecen constantes durante todo el período de actualización.

Por otro lado, se tiene una modulación PS-PWM en modo de doble actualización, es

decir, cada ciclo de trabajo $d_{ji}(t)$ se actualiza únicamente cuando su portadora asociada alcanza su valor máximo o mínimo, permaneciendo constante durante la mitad del período de la portadora triangular (T_c), es decir, en $T_c/2$. Como se estableció en la Sección 2.3, las η portadoras triangulares utilizadas se encuentran desfasadas entre sí en $2\pi/\eta$, lo que para $\eta = 3$ corresponde a un desfase de 120° entre las portadoras T_1, T_2 y T_3. Este desfase provoca que los máximos y mínimos de cada portadora ocurran en instantes distintos, de modo que las referencias de las celdas se actualizan una a la vez, mientras la celda j se actualiza, las otras dos permanecen constantes. Dado que las portadoras de las tres fases son idénticas y se encuentran en fase, esta actualización ocurre de forma simultánea en las tres fases, por lo que en cada período de actualización solo es necesario calcular tres ciclos de trabajo, uno por fase, asociados a la celda j, en lugar de los nueve de forma simultánea. Este proceso de actualización por celda constituye el carácter secuencial del modelo, y se ilustra en la Figura 4.2.

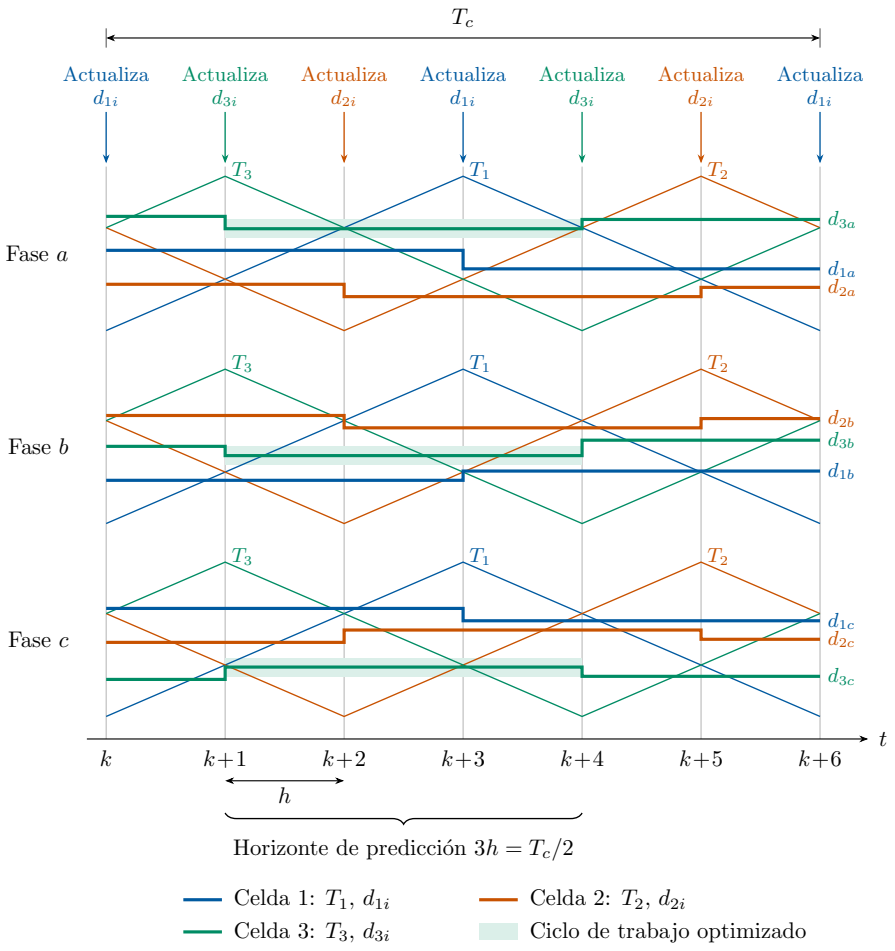


Figura 4.2: Actualización secuencial de los ciclos de trabajo bajo PS-PWM de doble actualización para $\eta = 3$. Cada ciclo de trabajo se actualiza en el máximo o mínimo de su portadora y permanece constante durante $T_c/2 = 3h$. Las portadoras de las tres fases son idénticas. Se destaca el ciclo de trabajo optimizado para $k+1$ y su horizonte de predicción hasta $k+4$.

4.2.1. Discretización del modelo del FCC

La transformación del modelo en tiempo continuo del sistema a tiempo discreto es necesaria para calcular las predicciones de los estados a partir de las cuales se obtienen los ciclos de trabajo óptimos, cálculo que se implementa en la plataforma digital DSP+FPGA. Además, de esta manera el ciclo de trabajo d_{ji} de cada celda permanece constante dentro de cada período de actualización de su portadora triangular.

A partir de la actualización secuencial de las η celdas de una fase, descrita en la Sección 4.2, se define h como el período de muestreo del modelo, correspondiente al tiempo entre dos actualizaciones consecutivas. Como estas η actualizaciones se distribuyen dentro de un mismo período de actualización, $T_c/2$, h resulta de dividir dicho período en η intervalos iguales,

$$h = \frac{T_c/2}{\eta}, \tag{4.1}$$

lo que para $\eta = 3$ equivale a $h = T_c/6$. Al compartir las tres fases el mismo conjunto de portadoras, este período h es el mismo para las tres fases del convertidor. Es conveniente además expresar estas cantidades en términos de frecuencia. La frecuencia de las portadoras triangulares, $f_c = 1/T_c$, corresponde a la frecuencia de la portadora del esquema PS-PWM introducido en la Sección 2.3. De manera análoga, la frecuencia asociada al período de muestreo del modelo, $f_m = 1/h$, corresponde a la tasa a la que el controlador PS-MPC actualiza el ciclo de trabajo de una celda. Combinando esta definición con (4.1), se obtiene,

$$f_m = \frac{1}{h} = \frac{2\eta}{T_c} = 2\eta \cdot f_c, \tag{4.2}$$

relación que, para $\eta = 3$, equivale a $f_m = 6f_c$. Esta es la frecuencia a la que se ejecuta el algoritmo de control en el DSP.

Como se estableció en la Sección 3.3.2, la expresión exacta para la corriente de salida corresponde a la solución de la ecuación diferencial que describe su dinámica, bajo la aproximación de tensión aplicada constante, válida dentro de un tramo real de conmutación, es decir, mientras el estado de conmutación $S_{ji}(t)$ permanece constante. Bajo esa misma condición, las expresiones de las tensiones de los capacitores se obtienen integrando dicha corriente. Dado que el período de muestreo h puede contener la conmutación de uno o más de estos interruptores, la discretización del modelo sobre h se obtiene aplicando estas mismas expresiones, pero reemplazando $S_{ji}(t)$ por su valor promedio durante h, es decir, por el ciclo de trabajo $d_{ji}(k)$, consistente con el modelo promedio introducido en la Sección 4.2. Bajo esta aproximación, se considera que la tensión aplicada $v_{in}(k) - v_{on}(k)$, evaluada a partir de los ciclos de trabajo según se muestra a continuación, permanece constante durante el intervalo h.

Se procede a discretizar la ecuación de la corriente de salida $i_i(t)$. Para esto se debe evaluar la solución analítica de la corriente (3.11), en el instante $t = t_0 + h$, considerando $i_{medida} = i_i(k)$ y $V_0 = v_{in}(k) - v_{on}(k)$, obteniéndose la siguiente expresión:

$$i_i(k+1) = \gamma_a|_{t=h} \cdot i_i(k) + \gamma_b|_{t=h} \cdot (v_{in}(k) - v_{on}(k)) \tag{4.3}$$

donde las constantes γ_a y γ_b corresponden a:

$$\gamma_a\big|_{t=h} = e^{-\frac{h}{\tau}}, \qquad \gamma_b\big|_{t=h} = \frac{(1-\gamma_a)}{R}. \tag{4.4}$$

donde las tensiones de fase promedio del convertidor dentro de un período h, $v_{in}(k)$ y $v_{on}(k)$, pueden aproximarse por:

$$v_{in}(k) = d_{3i}(k) \cdot (V_{DC} - v_{c2i}(k)) + d_{2i}(k) \cdot (v_{c2i}(k) - v_{c1i}(k)) + d_{1i}(k) \cdot v_{c1i}(k) \tag{4.5}$$

$$\begin{aligned} v_{on}(k) = \frac{1}{3}\Big[&(V_{DC} - v_{c2a}(k))\, d_{3a}(k) + (V_{DC} - v_{c2b}(k))\, d_{3b}(k) + (V_{DC} - v_{c2c}(k))\, d_{3c}(k) \\ &+ (v_{c2a}(k) - v_{c1a}(k))\, d_{2a}(k) + (v_{c2b}(k) - v_{c1b}(k))\, d_{2b}(k) + (v_{c2c}(k) - v_{c1c}(k))\, d_{2c}(k) \\ &+ v_{c1a}(k)\, d_{1a}(k) + v_{c1b}(k)\, d_{1b}(k) + v_{c1c}(k)\, d_{1c}(k)\Big] \end{aligned} \tag{4.6}$$

γ_a corresponde al término exponencial de la solución homogénea, evaluado en el instante $t - t_0 = h$, lo cual es válido debido a que durante el intervalo h todos los ciclos de trabajo permanecen constantes. Este término representa el factor de decaimiento natural de la corriente asociado a la dinámica propia del circuito RL, en ausencia de fuentes externas. γ_b, en cambio, corresponde al coeficiente que pondera la tensión aplicada $v_{in}(k) - v_{on}(k)$ en (3.11), y proviene directamente de la solución particular del sistema, la cual representa su respuesta forzada en estado estacionario.

De manera análoga, se discretizan las ecuaciones que modelan la dinámica de las tensiones de los capacitores flotantes de cada celda, (3.12) y (3.13), reemplazando el estado de conmutación $S_{ji}(t)$ por su valor promedio durante h, es decir, por el ciclo de trabajo $d_{ji}(k)$, con lo que la integral se reduce a $i_i(k) \cdot h$.

$$v_{c1i}(k+1) = v_{c1i}(k) - \gamma_{c1}\big|_{t=h} \cdot i_i(k) \cdot (d_{1i}(k) - d_{2i}(k)) \tag{4.7}$$

$$v_{c2i}(k+1) = v_{c2i}(k) - \gamma_{c2}\big|_{t=h} \cdot i_i(k) \cdot (d_{2i}(k) - d_{3i}(k)) \tag{4.8}$$

donde

$$\gamma_{c1}\big|_{t=h} = \frac{h}{C_1}, \qquad \gamma_{c2}\big|_{t=h} = \frac{h}{C_2}. \tag{4.9}$$

Dado que al comienzo de cada período de muestreo se conocen las mediciones de las corrientes y tensiones, así como todos los ciclos de trabajo del sistema, es posible estimar el valor de todas las variables de interés en $k+1$. De esta forma, las expresiones (4.3), (4.7) y (4.8) constituyen la **estimación** del estado del sistema en el instante $k+1$, la cual se utiliza como punto de partida del modelo de predicción a horizonte $3h$ presentado a continuación.

4.2.2. Modelo en tiempo discreto: predicción

El horizonte de predicción corresponde al tiempo que tardan las η celdas de una fase en actualizarse una vez cada una, es decir, medio período de portadora, $\eta \cdot h = T_c/2$. Para $\eta = 3$, esto es $3h = T_c/2$. Como el índice discreto k avanza en una unidad por cada h transcurrido, evaluar las expresiones de discretización en $t = 3h$ en lugar de $t = h$ equivale a avanzar tres unidades en dicho índice, de modo que, partiendo del estado estimado en $k+1$ (con todas las variables conocidas), es posible obtener una predicción aproximada de lo que ocurrirá en $k+4$ para diferentes posibles actuaciones de las celdas que se actualizarán al comienzo de $k+2$ y $k+3$.

Durante el intervalo entre $k+1$ y $k+4$, las tres celdas de una fase no se actualizan simultáneamente. La celda que se actualiza en $k+1$ mantiene su ciclo de trabajo constante durante todo el intervalo, por lo que su valor puede decidirse y es sobre esta variable que se efectúa la optimización. Las otras dos celdas, en cambio, se actualizan dentro de esta misma ventana, al inicio de $k+2$ y de $k+3$, respectivamente. Como sus nuevos valores aún no se conocen al momento de predecir, el modelo los aproxima como constantes e iguales a su último valor calculado durante todo el intervalo, siendo esta una de las fuentes de incerteza de la etapa de predicción.

Así, evaluando (4.3), (4.7) y (4.8) en $t = 3h$ bajo la aproximación de que los ciclos de trabajo de todas las celdas permanecen constantes dentro del intervalo $[k+1,\, k+4]$, se obtienen las expresiones:

$$v_{c1i}(k+4) = v_{c1i}(k+1) - \gamma_{c1}\mid_{t=3h} \cdot i_i(k+1) \cdot (d_{1i}(k+1) - d_{2i}(k+1)) \tag{4.10}$$

$$v_{c2i}(k+4) = v_{c2i}(k+1) - \gamma_{c2}\mid_{t=3h} \cdot i_i(k+1) \cdot (d_{2i}(k+1) - d_{3i}(k+1)) \tag{4.11}$$

donde los coeficientes evaluados en $t = 3h$ corresponden a:

$$\gamma_{c1}\big|_{t=3h} = \frac{3h}{C_1}; \qquad \gamma_{c2}\big|_{t=3h} = \frac{3h}{C_2} \tag{4.12}$$

$$i_i(k+4) = \gamma_a\mid_{t=3h} \cdot i_i(k+1) + \gamma_b\mid_{t=3h} \cdot (v_{in}(k+1) - v_{on}(k+1)) \tag{4.13}$$

donde las tensiones de fase del convertidor en el instante $k+1$,

$$v_{in}(k+1) = d_{3i}(k+1)\cdot(V_{DC} - v_{c2i}(k+1)) + d_{2i}(k+1)\cdot(v_{c2i}(k+1) - v_{c1i}(k+1)) + d_{1i}(k+1)\cdot v_{c1i}(k+1) \tag{4.14}$$

donde los coeficientes evaluados en $t = 3h$ corresponden a:

$$\gamma_a\big|_{t=3h} = e^{-\frac{3h}{\tau}}; \qquad \gamma_b\big|_{t=3h} = \frac{1 - \gamma_a\big|_{t=3h}}{R} \tag{4.15}$$

$$\begin{aligned} v_{on}(k+1) = \frac{1}{3}\Big[& (V_{DC} - v_{c2a}(k+1))\, d_{3a}(k+1) + (V_{DC} - v_{c2b}(k+1))\, d_{3b}(k+1) \\ & + (V_{DC} - v_{c2c}(k+1))\, d_{3c}(k+1) \\ & + (v_{c2a}(k+1) - v_{c1a}(k+1))\, d_{2a}(k+1) + (v_{c2b}(k+1) - v_{c1b}(k+1))\, d_{2b}(k+1) \\ & + (v_{c2c}(k+1) - v_{c1c}(k+1))\, d_{2c}(k+1) \\ & + v_{c1a}(k+1)\, d_{1a}(k+1) + v_{c1b}(k+1)\, d_{1b}(k+1) + v_{c1c}(k+1)\, d_{1c}(k+1)\Big] \end{aligned} \tag{4.16}$$

4.2.3. Formulación matricial del modelo

Con el fin de expresar de forma compacta las expresiones de predicción obtenidas en la Sección 4.2.2, y de esa forma plantear el problema de optimización que se presenta en la

sección siguiente, el modelo de predicción se reescribe en forma matricial. Los nueve ciclos de trabajo se agrupan en un vector $\boldsymbol{d}_j(k+1)$, que contiene los ciclos de trabajo de las tres celdas que se están optimizando, $d_{ji}(k+1)$, uno por cada fase, y un vector $\boldsymbol{d}_p(k+1)$, que contiene los seis ciclos de trabajo de las otras dos celdas, cuyos valores ya fueron calculados en pasos anteriores y se consideran constantes durante la ventana de predicción, tal como se estableció en la Sección 4.2.2. Desde el punto de vista de la optimización, $\boldsymbol{d}_p(k+1)$ corresponde a un término constante, similar a una perturbación, con la particularidad de que se dispone de cierta información sobre él.

$$\boldsymbol{x}(k+4) = \boldsymbol{A}\big|_{t=3h}\,\boldsymbol{x}(k+1) + \boldsymbol{B}_j(\boldsymbol{x}(k+1))\,\boldsymbol{d}_j(k+1) + \boldsymbol{B}_p(\boldsymbol{x}(k+1))\,\boldsymbol{d}_p(k+1) \quad (4.17)$$

La matriz $\boldsymbol{A}\,|_{t=3h}$ corresponde a una matriz diagonal 9×9,

$$\boldsymbol{A}\,|_{t=3h} = \text{diag}\,(1,\,1,\,1,\,1,\,1,\,1,\,\gamma_a\,|_{t=3h},\,\gamma_a\,|_{t=3h},\,\gamma_a\,|_{t=3h}) \quad (4.18)$$

donde las seis primeras posiciones de la diagonal, correspondientes a las tensiones de los capacitores flotantes v_{c1i} y v_{c2i} en el vector de estado, toman el valor unitario, ya que su predicción en (4.10) y (4.11) depende de su propio valor en $k+1$ con coeficiente 1, sin término de decaimiento. Las últimas tres posiciones, correspondientes a las corrientes de fase i_a, i_b, i_c, toman el valor $\gamma_a\,|_{t=3h} < 1$, que refleja la dinámica exponencial propia del circuito RL, consistente con (4.3).

$\boldsymbol{x}(k+1)$ y $\boldsymbol{x}(k+4)$ corresponden al vector de estado estimado y predicho, respectivamente,

$$\boldsymbol{x}(k+1) = \begin{bmatrix} v_{c1a}(k+1) \\ v_{c1b}(k+1) \\ v_{c1c}(k+1) \\ v_{c2a}(k+1) \\ v_{c2b}(k+1) \\ v_{c2c}(k+1) \\ i_a(k+1) \\ i_b(k+1) \\ i_c(k+1) \end{bmatrix} \quad (4.19) \qquad \boldsymbol{x}(k+4) = \begin{bmatrix} v_{c1a}(k+4) \\ v_{c1b}(k+4) \\ v_{c1c}(k+4) \\ v_{c2a}(k+4) \\ v_{c2b}(k+4) \\ v_{c2c}(k+4) \\ i_a(k+4) \\ i_b(k+4) \\ i_c(k+4) \end{bmatrix} \quad (4.20)$$

$\boldsymbol{d}_j(k+1)$ y $\boldsymbol{d}_p(k+1)$ corresponden, respectivamente, al vector de ciclos de trabajo de las 3 celdas que se están optimizando y al de las otras 6 celdas que se consideran con su ciclo de trabajo constante y conocido dentro del intervalo:

$$\boldsymbol{d}_j(k+1) = \begin{bmatrix} d_{ja}(k+1) \\ d_{jb}(k+1) \\ d_{jc}(k+1) \end{bmatrix} \quad (4.21) \qquad \boldsymbol{d}_p(k+1) = \begin{bmatrix} d_{ra}(k+1) \\ d_{rb}(k+1) \\ d_{rc}(k+1) \\ d_{qa}(k+1) \\ d_{qb}(k+1) \\ d_{qc}(k+1) \end{bmatrix} \quad (4.22)$$

donde r y q corresponden a las dos celdas distintas de j, con $r < q$.

Dependiendo de qué celda se está optimizando, $j \in \{1, 2, 3\}$, la matriz $\boldsymbol{B}_j$ adquiere diferentes valores y, consecuentemente, ocurre lo mismo con $\boldsymbol{B}_p$, que corresponde a la

concatenación de las matrices asociadas a las otras dos celdas:

$$\begin{cases} j=1: & \boldsymbol{B}_j = \boldsymbol{B}_1, \quad \boldsymbol{B}_p = [\,\boldsymbol{B}_2 \;\; \boldsymbol{B}_3\,] \\ j=2: & \boldsymbol{B}_j = \boldsymbol{B}_2, \quad \boldsymbol{B}_p = [\,\boldsymbol{B}_1 \;\; \boldsymbol{B}_3\,] \\ j=3: & \boldsymbol{B}_j = \boldsymbol{B}_3, \quad \boldsymbol{B}_p = [\,\boldsymbol{B}_1 \;\; \boldsymbol{B}_2\,] \end{cases} \tag{4.23}$$

donde $\boldsymbol{B}_j$ es de dimensión 9×3 y $\boldsymbol{B}_p$ de 9×6.

Las matrices $\boldsymbol{B}_1(\boldsymbol{x}(k+1))$, $\boldsymbol{B}_2(\boldsymbol{x}(k+1))$ y $\boldsymbol{B}_3(\boldsymbol{x}(k+1))$ agrupan los coeficientes que ponderan el efecto de los ciclos de trabajo de cada celda sobre el estado predicho, evaluados en $t = 3h$. La matriz $\boldsymbol{B}_1(\boldsymbol{x}(k+1))\,|_{t=3h}$ se presenta en (4.24).

$$\begin{bmatrix} -\gamma_{c1}\,|_{t=3h}\cdot i_a(k+1) & 0 & 0 \\ 0 & -\gamma_{c1}\,|_{t=3h}\cdot i_b(k+1) & 0 \\ 0 & 0 & -\gamma_{c1}\,|_{t=3h}\cdot i_c(k+1) \\ 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \\ \frac{2}{3}\cdot\gamma_b\,|_{t=3h}\cdot v_{c1a}(k+1) & -\frac{1}{3}\cdot\gamma_b\,|_{t=3h}\cdot v_{c1b}(k+1) & -\frac{1}{3}\cdot\gamma_b\,|_{t=3h}\cdot v_{c1c}(k+1) \\ -\frac{1}{3}\cdot\gamma_b\,|_{t=3h}\cdot v_{c1a}(k+1) & \frac{2}{3}\cdot\gamma_b\,|_{t=3h}\cdot v_{c1b}(k+1) & -\frac{1}{3}\cdot\gamma_b\,|_{t=3h}\cdot v_{c1c}(k+1) \\ -\frac{1}{3}\cdot\gamma_b\,|_{t=3h}\cdot v_{c1a}(k+1) & -\frac{1}{3}\cdot\gamma_b\,|_{t=3h}\cdot v_{c1b}(k+1) & \frac{2}{3}\cdot\gamma_b\,|_{t=3h}\cdot v_{c1c}(k+1) \end{bmatrix} \tag{4.24}$$

La matriz $\boldsymbol{B}_2(\boldsymbol{x}(k+1))\,|_{t=3h}$ se presenta en (4.25).

$$\begin{bmatrix} \gamma_{c1}\,|_{t=3h}\cdot i_a(k+1) & 0 & 0 \\ 0 & \gamma_{c1}\,|_{t=3h}\cdot i_b(k+1) & 0 \\ 0 & 0 & \gamma_{c1}\,|_{t=3h}\cdot i_c(k+1) \\ -\gamma_{c2}\,|_{t=3h}\cdot i_a(k+1) & 0 & 0 \\ 0 & -\gamma_{c2}\,|_{t=3h}\cdot i_b(k+1) & 0 \\ 0 & 0 & -\gamma_{c2}\,|_{t=3h}\cdot i_c(k+1) \\ \frac{2}{3}\cdot\gamma_b\,|_{t=3h}\cdot(v_{c2a}(k+1)-v_{c1a}(k+1)) & -\frac{1}{3}\cdot\gamma_b\,|_{t=3h}\cdot(v_{c2b}(k+1)-v_{c1b}(k+1)) & -\frac{1}{3}\cdot\gamma_b\,|_{t=3h}\cdot(v_{c2c}(k+1)-v_{c1c}(k+1)) \\ -\frac{1}{3}\cdot\gamma_b\,|_{t=3h}\cdot(v_{c2a}(k+1)-v_{c1a}(k+1)) & \frac{2}{3}\cdot\gamma_b\,|_{t=3h}\cdot(v_{c2b}(k+1)-v_{c1b}(k+1)) & -\frac{1}{3}\cdot\gamma_b\,|_{t=3\cdot h}\cdot(v_{c2c}(k+1)-v_{c1c}(k+1)) \\ -\frac{1}{3}\cdot\gamma_b\,|_{t=3h}\cdot(v_{c2a}(k+1)-v_{c1a}(k+1)) & -\frac{1}{3}\cdot\gamma_b\,|_{t=3h}\cdot(v_{c2b}(k+1)-v_{c1b}(k+1)) & \frac{2}{3}\cdot\gamma_b\,|_{t=3h}\cdot(v_{c2c}(k+1)-v_{c1c}(k+1)) \end{bmatrix} \tag{4.25}$$

La matriz $\boldsymbol{B}_3(\boldsymbol{x}(k+1))\,|_{t=3h}$ se presenta en (4.26).

$$\begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \\ \gamma_{c2}\,|_{t=3h}\cdot i_a(k+1) & 0 & 0 \\ 0 & \gamma_{c2}\,|_{t=3h}\cdot i_b(k+1) & 0 \\ 0 & 0 & \gamma_{c2}\,|_{t=3h}\cdot i_c(k+1) \\ \frac{2}{3}\cdot\gamma_b\,|_{t=3h}\cdot(V_{DC}-v_{c2a}(k+1)) & -\frac{1}{3}\cdot\gamma_b\,|_{t=3h}\cdot(V_{DC}-v_{c2b}(k+1)) & -\frac{1}{3}\cdot\gamma_b\,|_{t=3h}\cdot(V_{DC}-v_{c2c}(k+1)) \\ -\frac{1}{3}\cdot\gamma_b\,|_{t=3h}\cdot(V_{DC}-v_{c2a}(k+1)) & \frac{2}{3}\cdot\gamma_b\,|_{t=3h}\cdot(V_{DC}-v_{c2b}(k+1)) & -\frac{1}{3}\cdot\gamma_b\,|_{t=3h}\cdot(V_{DC}-v_{c2c}(k+1)) \\ -\frac{1}{3}\cdot\gamma_b\,|_{t=3h}\cdot(V_{DC}-v_{c2a}(k+1)) & -\frac{1}{3}\cdot\gamma_b\,|_{t=3h}\cdot(V_{DC}-v_{c2b}(k+1)) & \frac{2}{3}\cdot\gamma_b\,|_{t=3h}\cdot(V_{DC}-v_{c2c}(k+1)) \end{bmatrix} \tag{4.26}$$

Las matrices $\boldsymbol{B}_1(\boldsymbol{x}(k+1))$, $\boldsymbol{B}_2(\boldsymbol{x}(k+1))$ y $\boldsymbol{B}_3(\boldsymbol{x}(k+1))$ cuantifican la sensibilidad estimada del estado predicho respecto a las variaciones en los ciclos de trabajo de cada celda. Estructuralmente, cada matriz 9×3 se divide en tres bloques de tres filas:

- **Bloque de tensiones del capacitor 1 (filas 1–3):** Pondera la dinámica de v_{c1i}, dependiendo exclusivamente de la corriente estimada $i_i(k+1)$.

- **Bloque de tensiones del capacitor 2 (filas 4–6):** Pondera la dinámica de v_{c2i}, dependiendo también de la corriente estimada $i_i(k+1)$.
- **Bloque de corrientes de fase (filas 7–9):** Presente en las tres matrices, representa la tensión equivalente inyectada a la carga por la celda correspondiente. Sus elementos dependen de los estados de tensión estimados: $v_{c1i}(k+1)$ para la celda 1, la diferencia $(v_{c2i}(k+1) - v_{c1i}(k+1))$ para la celda 2, y el margen respecto al DC-link $(V_{DC} - v_{c2i}(k+1))$ para la celda 3.

4.3. Obtención de las referencias del sistema

Una vez definido el modelo de predicción en la Sección 4.2, es necesario determinar las referencias del sistema que dicho modelo utiliza para evaluar la función de costo. En primer lugar, se obtiene la expresión general del ciclo de trabajo de referencia y la condición de balance entre celdas. A continuación, se deriva el índice de modulación y el ángulo de desfase asociados a una referencia de corriente sinusoidal. Finalmente, se presenta la evaluación en tiempo discreto de estas referencias.

4.3.1. Obtención de los valores de referencia en tiempo continuo

Como se estableció en la Sección 2.3, el desfase entre portadoras, junto con la condición de que todas las celdas de una fase operen con un mismo ciclo de trabajo, es la condición necesaria para que ocurra el balance natural de las tensiones de los capacitores flotantes. Se considera, entonces, la condición $d^*_{1i}(t) = d^*_{2i}(t) = d^*_{3i}(t) = d^*_i(t)$, con $i \in \{a, b, c\}$. Esto permite que los capacitores flotantes se carguen y descarguen de manera equitativa, de modo que sus tensiones se mantengan en los valores deseados.

Bajo esta condición, la tensión de fase de referencia del convertidor (3.7) se reduce a $V^*_{in}(t) = V_{DC} \cdot d^*_i(t)$, de donde se obtiene el ciclo de trabajo de referencia deseado:

$$d^*_i(t) = \frac{V^*_{in}(t)}{V_{DC}} \tag{4.27}$$

Reemplazando (4.27) en (3.6), se obtiene:

$$L \cdot \frac{di^*_i(t)}{dt} + R \cdot i^*_i(t) = V_{DC} \cdot d^*_i(t) - \frac{V_{DC}}{3} \cdot (d^*_a(t) + d^*_b(t) + d^*_c(t)), \quad i \in \{a, b, c\} \tag{4.28}$$

donde $i^*_i(t)$ representa la corriente de fase de referencia para la fase i.

4.3.2. Determinación del índice de modulación y ángulo de desfase bajo la condición de balance

El objetivo de control de esta memoria es que la corriente de salida del convertidor siga una referencia sinusoidal de amplitud y frecuencia conocidas. Por tratarse de un sistema trifásico balanceado, se considera que las corrientes de referencia de las tres fases comparten

la misma amplitud y frecuencia, y están desfasadas 120° entre sí, es decir, $\phi_b = \phi_a - 120°$ y $\phi_c = \phi_a + 120°$. Se desea que:

$$i_i^*(t) = \hat{\imath} \cdot \cos(\omega t + \phi_i), \qquad i \in \{a, b, c\} \tag{4.29}$$

donde $\hat{\imath}$ es la amplitud de la corriente de referencia, ω su frecuencia angular y ϕ_i su ángulo de fase para la fase i.

Bajo la condición de balance establecida, el ciclo de trabajo de referencia para cada fase adopta la forma sinusoidal

$$d_a^*(t) = \hat{m} \cdot \cos(\omega t) + 0,5 \tag{4.30}$$

$$d_b^*(t) = \hat{m} \cdot \cos(\omega t - 120°) + 0,5 \tag{4.31}$$

$$d_c^*(t) = \hat{m} \cdot \cos(\omega t + 120°) + 0,5 \tag{4.32}$$

donde $\hat{m}$ es el índice de modulación, definido en la Sección 2.3. Como se estableció en la Sección 4.2, el ciclo de trabajo $d_i^*(t)$ corresponde al valor promedio del estado de conmutación $S_{ji}(t) \in \{0, 1\}$, por lo que necesariamente $d_i^*(t) \in [0, 1]$. Dado que una señal sinusoidal toma valores negativos, es necesario sumarle un término constante. Como este término es común a las tres fases, se cancela en la tensión aplicada a la carga, por lo que su valor puede escogerse libremente. Se escoge 0,5 por corresponder al punto medio del rango $[0, 1]$, de modo que la sinusoide disponga del mismo margen hacia ambos extremos, lo que maximiza la amplitud admisible. Esto impone la condición $\hat{m} \leq 0,5$, para que la referencia sinusoidal de (4.30) se mantenga dentro de dicho rango.

Sustituyendo (4.29) en (4.28):

$$L \cdot \frac{d(\hat{\imath} \cdot cos(\omega t + \phi_i))}{dt} + R \cdot \hat{\imath} \cdot cos(\omega t + \phi_i) = V_{DC} \cdot d_i^*(t) - \frac{V_{DC}}{3} \cdot (d_a^*(t) + d_b^*(t) + d_c^*(t)) \tag{4.33}$$

Derivando y reemplazando (4.30), (4.31) y (4.32) en (4.33), se obtiene:

$$L \cdot (-\hat{\imath} \cdot sin(\omega t + \phi_i) \cdot \omega) + R \cdot \hat{\imath} \cdot cos(\omega t + \phi_i) = V_{DC} \cdot (\hat{m} \cdot cos(\omega t + \gamma_i) + 0,5) - \frac{V_{DC}}{3} \cdot (3 \cdot 0,5) \tag{4.34}$$

Los términos constantes se cancelan, quedando:

$$\hat{\imath}(R \cdot cos(\omega t + \phi_i) - L \cdot \omega \cdot sin(\omega t + \phi_i)) = V_{DC} \cdot \hat{m} \cdot cos(\omega t + \gamma_i) \tag{4.35}$$

Finalmente, aplicando la identidad fasorial correspondiente al lado izquierdo:

$$\frac{\hat{\imath}}{V_{DC}} \cdot \sqrt{R^2 + (L \cdot \omega)^2} \cdot cos\left(\omega t + \phi_i + arctg\left(\frac{L\omega}{R}\right)\right) = \hat{m} \cdot cos(\omega t + \gamma_i) \tag{4.36}$$

Igualando las amplitudes y las fases de ambos lados de (4.36), se obtienen el índice de modulación y el ángulo de desfase:

$$\hat{m} = \frac{\hat{\imath}}{V_{DC}} \cdot \sqrt{R^2 + (L \cdot \omega)^2} \tag{4.37}$$

$$\gamma_i = \phi_i + arctg\left(\frac{L\omega}{R}\right) \tag{4.38}$$

$\hat{m}$ es proporcional a la razón entre la amplitud de la corriente de referencia y la tensión del DC-link, escalada por la impedancia de la carga, mientras que γ_i corresponde al ángulo de desfase entre la corriente de referencia y el ciclo de trabajo, asociado al ángulo de la impedancia de carga.

4.3.3. Discretización de las referencias

La evaluación en tiempo discreto de las referencias $d_a^*(k+1)$, $d_b^*(k+1)$ y $d_c^*(k+1)$ se implementa en el DSP mediante un integrador angular discreto recursivo, que evita depender de un reloj de tiempo continuo absoluto. El detalle de esta implementación se presenta en el Apéndice D.

4.4. Problema de control óptimo secuencial

Una vez definido el modelo de predicción en la Sección 4.2 y las referencias del sistema en la Sección 4.3, se formula a continuación el problema de optimización que permite obtener el ciclo de trabajo óptimo de cada celda. En primer lugar, se presenta la función de costo $J_j(k+1)$ y sus términos de error. A continuación, se define la matriz de ponderación $\boldsymbol{Q}$ y los factores $\lambda_1, \lambda_2, \lambda_d$, y se analiza su efecto sobre el comportamiento del controlador. Finalmente, se obtiene la solución analítica que minimiza la función de costo.

4.4.1. Función de costo

La función de costo que pondera el error de seguimiento de los estados internos del sistema predichos y el esfuerzo de control está dada por

$$J_j(k+1) = \boldsymbol{e}_x(k+4)^T \cdot \boldsymbol{Q} \cdot \boldsymbol{e}_x(k+4) + \boldsymbol{e}_d(k+1)^T \cdot \boldsymbol{\lambda_d} \cdot \boldsymbol{e}_d(k+1) \tag{4.39}$$

donde:

- $\boldsymbol{e}_x(k+4) \in \mathbb{R}^9$ corresponde al error de seguimiento de la referencia de los estados internos, es decir, al error de la predicción del estado del sistema,

  $$\boldsymbol{e}_x(k+4) = \boldsymbol{x}^*(k+4) - \boldsymbol{x}(k+4) \tag{4.40}$$

  donde $\boldsymbol{x}^*(k+4)$ corresponde al vector de referencia del estado del sistema en el instante $k+4$. Las referencias de tensión de los capacitores flotantes, $v_{c1i}^*(k+4)$ y $v_{c2i}^*(k+4)$, corresponden a los valores constantes $V_{DC}/3$ y $2V_{DC}/3$ establecidos en la Sección 3.1, mientras que la referencia de corriente $i_i^*(k+4)$ se obtiene evaluando (4.29) en el instante $t = (k+4)h$.

- $\boldsymbol{e}_d(k+1) \in \mathbb{R}^3$ corresponde al error de seguimiento de la referencia del ciclo de trabajo, es decir, al error del esfuerzo del control predictivo,

  $$\boldsymbol{e}_d(k+1) = \boldsymbol{d}_j^*(k+1) - \boldsymbol{d}_j(k+1) \tag{4.41}$$

donde $\boldsymbol{d}_j^*(k+1)$ corresponde al vector de referencia del ciclo de trabajo para las tres fases, obtenido al evaluar (4.30), (4.31) y (4.32) en el instante $t = (k+1)h$, mientras que $\boldsymbol{d}_j(k+1)$, definido en (4.21), corresponde a la entrada del control que se busca optimizar. Cabe destacar que las tres celdas comparten la misma referencia según la condición de balance establecida en la Sección 4.3, por lo que $\boldsymbol{d}_j^*(k+1)$ toma el mismo valor independientemente de la celda j que se esté optimizando. El subíndice j se mantiene para preservar la correspondencia con $\boldsymbol{d}_j(k+1)$ dentro de la función de costo $J_j(k+1)$.

- $\boldsymbol{Q} \in \mathbb{R}^{9\times 9}$ es la matriz de asignación de pesos a los estados internos en el control,

$$\boldsymbol{Q} = diag(\lambda_1, \lambda_1, \lambda_1, \lambda_2, \lambda_2, \lambda_2, 1, 1, 1) \tag{4.42}$$

  donde λ_1 y λ_2 son los factores de ponderación que determinan la importancia relativa del error de seguimiento de las tensiones de los capacitores 1 y 2, respectivamente, respecto al error de la corriente.

- $\boldsymbol{\lambda_d} \in \mathbb{R}^{3\times 3}$ es la matriz de ponderación que ajusta la importancia relativa del error de seguimiento de la referencia del ciclo de trabajo respecto al error de los estados internos,

$$\boldsymbol{\lambda_d} = diag(\lambda_d, \lambda_d, \lambda_d) \tag{4.43}$$

  donde el mismo factor escalar λ_d pondera por igual el error de las tres fases del ciclo de trabajo. Un valor alto de λ_d implica que el control privilegia una respuesta cercana al lazo abierto, es decir, una actuación próxima al ciclo de trabajo de referencia $\boldsymbol{d}_j^*(k+1)$, calculado a partir del modelo ideal de la planta. Por el contrario, un valor bajo de λ_d privilegia la respuesta en lazo cerrado, en la que la actuación se determina principalmente a partir del error de seguimiento predicho de los estados internos, $\boldsymbol{e}_x(k+4)$. De este modo, λ_d regula el ancho de banda de lazo cerrado del controlador, efecto que se analiza en detalle en la Sección 4.4.4.

4.4.2. Solución analítica óptima

El ciclo de trabajo óptimo corresponde a aquel que minimiza la función de costo $\boldsymbol{J}_j(k+1)$, sujeto a que su valor se mantenga dentro del rango admisible del ciclo de trabajo,

$$\boldsymbol{d}_j^{opt}(k+1) = arg\ \left\{ \min_{\boldsymbol{d}_j(k+1)\in[0,1]^3} J_j(k+1) \right\} \tag{4.44}$$

Como en cada instante de muestreo la función de costo depende de un único ciclo de trabajo activo, $\boldsymbol{d}_j(k+1)$, se puede obtener el óptimo de forma analítica. El estado predicho $\boldsymbol{x}(k+4)$ depende linealmente de $\boldsymbol{d}_j(k+1)$ a través de $\boldsymbol{B}_j(\boldsymbol{x}(k+1))$, mientras que el resto de los términos son constantes respecto a esta variable, ya que $\boldsymbol{x}(k+1)$ y $\boldsymbol{d}_p(k+1)$ corresponden a valores ya conocidos. Por esta razón, tanto $\boldsymbol{e}_x(k+4)$ como $\boldsymbol{e}_d(k+1)$ son funciones lineales de $\boldsymbol{d}_j(k+1)$. En consecuencia, $\boldsymbol{J}_j(k+1)$, al ser la suma de dos formas cuadráticas de funciones lineales de $\boldsymbol{d}_j(k+1)$, corresponde a una función cuadrática convexa respecto a dicha variable. Para $\lambda_d > 0$, esta convexidad es estricta, es decir, su representación geométrica corresponde a un paraboloide con un único mínimo global, sin mínimos locales. Por lo tanto, el óptimo puede obtenerse derivando (4.39) e igualando a cero,

$$\frac{d\, J_j(k+1)}{d\, \boldsymbol{d_j}(k+1)} = 0 \tag{4.45}$$

lo que lleva a la siguiente solución explícita:

$$\boldsymbol{d}_j^{opt}(k+1) = -\boldsymbol{W}_j(k+1)^{-1} \cdot \boldsymbol{F}_j(k+1) \tag{4.46}$$

donde

$$\boldsymbol{W}_j(k+1) = \boldsymbol{B}_j(\boldsymbol{x}(k+1))^T \cdot \boldsymbol{Q} \cdot \boldsymbol{B}_j(\boldsymbol{x}(k+1)) + \boldsymbol{\lambda_d} \tag{4.47}$$

$$\begin{aligned}\boldsymbol{F}_j(k+1) = \boldsymbol{B}_j(\boldsymbol{x}(k+1))^T \cdot \boldsymbol{Q} \cdot \Big(\boldsymbol{A}\big|_{t=3h} \cdot \boldsymbol{x}(k+1) + \boldsymbol{B}_p(\boldsymbol{x}(k+1)) \cdot \boldsymbol{d}_p(k+1) - \boldsymbol{x}^*(k+4)\Big) \\ - \boldsymbol{\lambda_d} \cdot \boldsymbol{d}_j^*(k+1)\end{aligned} \tag{4.48}$$

Cabe destacar que, como en cada instante de muestreo la función de costo depende únicamente de los ciclos de trabajo de las j-ésimas celdas de cada fase, $\boldsymbol{d}_j$, la matriz a invertir, $\boldsymbol{W}_j(k+1)$, mantiene una dimensión fija de 3×3, correspondiente a las tres fases del convertidor, independientemente del número de celdas η. Esto permite que la estrategia PS-MPC secuencial se extienda a convertidores con un mayor número de celdas sin incrementar la carga computacional por instante de muestreo, realizando la optimización a la frecuencia $f_m = 2\eta f_c$ definida en la Sección 4.2.

4.4.3. Interpretación de $\boldsymbol{W}_j(k+1)$ y $\boldsymbol{F}_j(k+1)$ como indicadores de controlabilidad

Las matrices $\boldsymbol{W}_j(k+1) \in \mathbb{R}^{3\times3}$ y $\boldsymbol{F}_j(k+1) \in \mathbb{R}^{3\times1}$ representan, respectivamente, la matriz de ponderación del problema de optimización desacoplado y el vector de término independiente para el seguimiento de referencias de la celda j. Desde la perspectiva de la teoría de control, la estructura algebraica de ambas entidades está gobernada por la matriz de sensibilidad $\boldsymbol{B}_j(\boldsymbol{x}(k+1))$, cuyo rango determina los grados de libertad independientes con los que cuenta el ciclo de trabajo $\boldsymbol{d}_j(k+1)$ para modificar el estado del convertidor en cada evento de optimización.

Cabe destacar que, aunque el modelo predice la evolución del convertidor hasta el instante $k+4$ para sincronizar la acción de control con la secuencia de actualización de las portadoras PS-PWM, la evaluación de la controlabilidad instantánea se realiza directamente sobre la matriz de sensibilidad $\boldsymbol{B}_j$ evaluada en el estado estimado $\boldsymbol{x}(k+1)$, el cual sirve como condición inicial para determinar el ciclo de trabajo óptimo próximo, $\boldsymbol{d}_j^{opt}(k+1)$.

En condiciones nominales de operación, con circulación de corriente en las tres fases ($i_{a,b,c}(k+1) \neq 0$), la matriz alcanza su rango máximo posible ($\text{rango}(\boldsymbol{B}_j) = 3$). Este rango completo queda formalmente garantizado por el bloque de filas asociado a las tensiones de los capacitores (filas 1–3 en $\boldsymbol{B}_1$ y $\boldsymbol{B}_2$, y filas 4–6 en $\boldsymbol{B}_3$), que forma un bloque diagonal de submatriz 3×3 con determinante no nulo propiciado por la presencia de las corrientes de fase. Físicamente, la independencia lineal de las tres columnas de $\boldsymbol{B}_j$ confirma que el vector de acción de control $\boldsymbol{d}_j(k+1)$ dispone de tres grados de libertad completamente desacoplados. Esto asegura una capacidad de accionamiento total sobre el convertidor, permitiendo al optimizador del PS-MPC corregir de manera simultánea e independiente tanto el error de la corriente inyectada a la carga RL como el balance de las tensiones en los capacitores flotantes.

No obstante, el comportamiento algebraico cambia drásticamente durante el inicio de la operación. Considérese la condición estricta de arranque con capacitores flotantes

completamente descargados y sin circulación inicial de corriente en la carga:

$$v_{c1i}(0^+) = 0, \quad v_{c2i}(0^+) = 0, \quad i_i(0^+) = 0, \quad \forall i \in \{a, b, c\}. \tag{4.49}$$

Bajo esta condición, las estimaciones de los estados en el primer paso de muestreo son nulas ($\boldsymbol{x}(k+1) = \mathbf{0}$). En consecuencia, las primeras filas de las tres celdas, asociadas a las tensiones de los capacitores flotantes, dependen de la corriente estimada $i_i(k+1)$, por lo que se anulan bajo (4.49). De igual manera, las últimas filas en $\boldsymbol{B}_1$ y $\boldsymbol{B}_2$, asociadas a la dinámica de corriente, dependen de $v_{c1i}(k+1)$ y $(v_{c2i}(k+1) - v_{c1i}(k+1))$ respectivamente, anulándose también por completo. Por lo tanto, en el primer paso de muestreo las celdas 1 y 2 pierden toda capacidad de accionamiento:

$$\boldsymbol{B}_1(\boldsymbol{x}(k+1)) = \mathbf{0}, \qquad \boldsymbol{B}_2(\boldsymbol{x}(k+1)) = \mathbf{0} \implies \text{rango}(\boldsymbol{B}_1(\boldsymbol{x}(k+1))) = \text{rango}(\boldsymbol{B}_2(\boldsymbol{x}(k+1))) = 0. \tag{4.50}$$

Por el contrario, la matriz $\boldsymbol{B}_3(\boldsymbol{x}(k+1))$ presenta un comportamiento asimétrico. Aunque sus filas de tensión flotante se anulan por depender de $i_i(0^+) = 0$, sus filas asociadas a las corrientes de fase dependen del término $(V_{DC} - v_{c2i}) = V_{DC} \neq 0$. Por lo tanto, la celda 3 es la única que conserva capacidad de accionamiento sobre la corriente desde el reposo, quedando sus filas no nulas dadas por:

$$\gamma_b \mid_{t=3h} \cdot V_{DC} \cdot \boldsymbol{P}, \qquad \boldsymbol{P} = \begin{bmatrix} 2/3 & -1/3 & -1/3 \\ -1/3 & 2/3 & -1/3 \\ -1/3 & -1/3 & 2/3 \end{bmatrix}, \tag{4.51}$$

donde $\boldsymbol{P}$ es la matriz de proyección trifásica para cargas sin neutro. Debido al acoplamiento físico de Kirchhoff ($i_a + i_b + i_c = 0$), la matriz $\boldsymbol{P}$ cancela la tensión de modo común ($\boldsymbol{P} \cdot \mathbf{1} = \mathbf{0}$). Esta restricción estructural elimina un grado de libertad independiente, por lo que el rango de la matriz es $\text{rango}(\boldsymbol{B}_3) = \text{rango}(\boldsymbol{P}) = 2$.

La pérdida de rango en la matriz de sensibilidad $\boldsymbol{B}_j(x(k+1))$ evidencia la importancia práctica del término de penalización $\boldsymbol{\lambda}_d$ en la matriz $\boldsymbol{W}_j(x(k+1)) = \boldsymbol{B}_j^T(x(k+1))\boldsymbol{Q}\boldsymbol{B}_j(x(k+1)) + \boldsymbol{\lambda_d}$. Si se omitiera la penalización del esfuerzo de control ($\lambda_d = 0$), la matriz $\boldsymbol{W}_j(x(k+1))$ correspondiente a la celda activa en ese paso de muestreo resultaría no invertible. Para las celdas 1 y 2, cuya matriz $\boldsymbol{B}_j(x(k+1))$ es nula en el arranque, $\boldsymbol{W}_j(x(k+1))$ se anularía por completo, mientras que para la celda 3, cuyo rango es 2, $\boldsymbol{W}_3(x(k+1))$ sería una matriz singular. En consecuencia, la inclusión de $\lambda_d > 0$ garantiza que $\boldsymbol{W}_j(x(k+1))$ sea siempre estrictamente definida positiva e invertible en cualquier paso de muestreo durante el arranque.

Por otro lado, el vector de término independiente se puede reescribir como:

$$\boldsymbol{F}_j(k+1) = \boldsymbol{B}_j(\boldsymbol{x}(k+1))^T \cdot \boldsymbol{Q} \cdot \boldsymbol{e}_{pred}(k+4) - \boldsymbol{\lambda_d} \cdot \boldsymbol{d}_j^*(k+1) \tag{4.52}$$

donde $\boldsymbol{e}_{pred}(k+4) = \boldsymbol{A} \mid_{t=3h} \cdot \boldsymbol{x}(k+1) + \boldsymbol{B}_p(\boldsymbol{x}(k+1)) \cdot \boldsymbol{d}_p(k+1) - \boldsymbol{x}^*(k+4)$ representa el error de predicción previo a la acción de control de la celda j respecto a la referencia deseada.

Luego, siguiendo con el análisis de arranque, pero ahora considerando $\lambda_d > 0$, para las celdas 1 y 2 en reposo ($\boldsymbol{B}_1 = \boldsymbol{B}_2 = \mathbf{0}$), el término asociado al seguimiento del estado se anula ($\boldsymbol{B}_j^T \cdot \boldsymbol{Q} \cdot \boldsymbol{e}_{pred} = \mathbf{0}$), reduciendo la expresión a:

$$\boldsymbol{F}_j(k+1) = -\boldsymbol{\lambda_d} \cdot \boldsymbol{d}_j^*(k+1), \qquad j \in \{1, 2\}. \tag{4.53}$$

Por lo que sustituyendo $\boldsymbol{W}_j = \boldsymbol{\lambda}_d$ y (4.53) en la ecuación de control analítica $\boldsymbol{d}_j^{opt}(k+1) = -\boldsymbol{W}_j^{-1}(k+1) \cdot \boldsymbol{F}_j(k+1)$, reduciendo la expresión a:

$$\boldsymbol{d}_j^{opt}(k+1) = (\boldsymbol{\lambda_d})^{-1} \cdot (\boldsymbol{\lambda_d} \cdot \boldsymbol{d}_j^*(k+1)) = \boldsymbol{d}_j^*(k+1), \qquad j \in \{1,2\}. \tag{4.54}$$

Este resultado demuestra formalmente que, ante la ausencia temporal de controlabilidad ($\boldsymbol{B}_j = \boldsymbol{0}$), el parámetro $\boldsymbol{\lambda_d}$ proporciona un respaldo seguro que fuerza a las celdas 1 y 2 a operar en su ciclo de trabajo de referencia $\boldsymbol{d}_j^*(k+1)$, evitando divergencias numéricas al buscar el ciclo de trabajo óptimo para k+1.

Para el cálculo del ciclo de trabajo optimo en $k+1$ para la celda 3 de cada fase, debido a la ausencia de neutro en el sistema trifásico, la suma de las filas asociadas a las corrientes en la matriz de sensibilidad $\boldsymbol{B}_3(\boldsymbol{x}(k+1))$ se anula por completo. Esto implica que la celda 3 no posee controlabilidad sobre la componente de modo común (el promedio de las tres fases). En consecuencia, la suma de los ciclos de trabajo óptimos de la celda 3 satisface $d_{3a}^{opt}(k+1) + d_{3b}^{opt}(k+1) + d_{3c}^{opt}(k+1) = d_{3a}^*(k+1) + d_{3b}^*(k+1) + d_{3c}^*(k+1)$ para todo $\lambda_d > 0$. Este resultado demuestra analíticamente que el control activo reserva la acción de la celda 3 exclusivamente para corregir los componentes diferenciales entre fases y balancear las tensiones de sus capacitores flotantes, mientras que el valor promedio de los ciclos de trabajo es asignado directamente a la referencia por el término de penalización $\boldsymbol{\lambda_d}$.

Finalmente, tan pronto la celda 3 efectúa sus primeras conmutaciones e inyecta la primera fracción de corriente a la carga ($i_i(k+1) > 0$), las matrices $\boldsymbol{B}_1(x(k+1))$ y $\boldsymbol{B}_2(x(k+1))$ adquieren inmediatamente valores no nulos en sus bloques de tensión flotante. Esto restituye el rango completo (rango = 3) en todas las celdas, garantizando la controlabilidad total y el seguimiento de referencias a lo largo del resto del transitorio.

4.4.4. Análisis del efecto de los factores de ponderación

A partir de la solución analítica $\boldsymbol{d}_j^{opt}(k+1) = -\boldsymbol{W}_j(k+1)^{-1} \cdot \boldsymbol{F}_j(k+1)$, presentada en la subsección anterior, es posible analizar el efecto de los factores de ponderación sobre el comportamiento del controlador, considerando sus valores extremos:

- **Si** $\lambda_d \to 0$, el término del error del esfuerzo de control deja de tener peso en la función de costo, por lo que el ciclo de trabajo óptimo se ajusta exclusivamente para minimizar el error de seguimiento de los estados internos, $\boldsymbol{e}_x(k+4)$, dependiendo completamente del estado medido del sistema. Esto corresponde a un control en **lazo cerrado**, cuya acción resulta agresiva, cercana a un controlador de tipo *deadbeat*, en el cual el error de seguimiento del ciclo de trabajo, $\boldsymbol{e}_d(k+1)$, en general no converge a cero.

- **Si** $\lambda_d \to \infty$, el término del error de esfuerzo de control domina completamente la función de costo, forzando $\boldsymbol{d}_j(k+1) \to \boldsymbol{d}_j^*(k+1)$ independientemente del estado medido. En este caso, el controlador opera en **lazo abierto**, dejando de corregir activamente el error de los estados internos. El sistema converge hacia el equilibrio siguiendo únicamente la dinámica de balance natural bajo el ciclo de trabajo de referencia, por lo que $\boldsymbol{e}_x(k+4)$ tiende a cero de forma considerablemente más lenta que con el controlador en lazo cerrado.

Por otro lado, λ_d puede interpretarse como el parámetro que regula el ancho de banda de lazo cerrado del controlador. Valores pequeños de λ_d favorecen un ancho de banda mayor, aunque incrementan el esfuerzo de control, mientras que valores grandes lo reducen, aproximando al sistema a su dinámica de lazo abierto.

Los siguientes casos consideran $\lambda_d > 0$ fijo y finito, distinto de sus propios casos extremos ya analizados:

- **Si** $\lambda_1 \to 0$ **y** $\lambda_2 \to 0$ **simultáneamente**, el error de tensión de ambos capacitores flotantes deja de considerarse en el cálculo del ciclo de trabajo óptimo, el cual continúa ajustándose activamente en función del error de la corriente y del esfuerzo de control. El ciclo de trabajo no queda fijo en su referencia, por lo que las tensiones de los capacitores no evolucionan únicamente según su dinámica de balance natural, sino que continúan siendo afectadas de forma indirecta por las variaciones del ciclo de trabajo producidas por el error de seguimiento de la corriente.

  En el límite, al perder peso la regulación explícita de los capacitores flotantes, sus tensiones pueden desviarse de sus referencias. Esto afecta a su vez a la propia corriente, ya que los niveles de tensión sintetizados por cada fase dependen directamente de dichas tensiones, como se observa en (4.14), lo que distorsiona la tensión aplicada a la carga. Además, cada celda debe bloquear la diferencia de tensión entre sus capacitores adyacentes, es decir, v_{c1i}, $v_{c2i} - v_{c1i}$ y $V_{DC} - v_{c2i}$ para las celdas 1, 2 y 3, respectivamente. Dado que estas tres tensiones suman V_{DC}, cualquier desbalance implica que al menos un semiconductor debe bloquear una tensión superior a $V_{DC}/3$, reduciendo su margen respecto de la tensión nominal.

- **Si** $\lambda_1 \to \infty$ **y** $\lambda_2 \to \infty$ **simultáneamente**, el término del error de tensión de los capacitores domina completamente la función de costo, forzando al ciclo de trabajo óptimo a minimizar dicho error de forma prioritaria, independientemente del error de la corriente y del esfuerzo de control. En este caso, el controlador prioriza exclusivamente la corrección de las tensiones de los capacitores, por lo que el error de seguimiento de la corriente y el error del esfuerzo de control, en general, no convergen a cero.

- **Si** $\lambda_1 \to 0$ **(o** $\lambda_2 \to 0$**)**, el error de tensión del capacitor correspondiente deja de considerarse en el cálculo del ciclo de trabajo óptimo. Sin embargo, el ciclo de trabajo sigue respondiendo al esfuerzo de control, al error de corriente y al error de tensión del otro capacitor, todos con peso distinto de cero en la función de costo. Como el ciclo de trabajo no queda fijo en su referencia, la tensión del capacitor correspondiente tampoco evoluciona únicamente según su dinámica de balance natural, sino que sigue siendo afectada de forma indirecta por los cambios en el ciclo de trabajo que originan los demás términos.

- **Si** $\lambda_1 \to \infty$ **(o** $\lambda_2 \to \infty$**)**, el error de tensión del capacitor correspondiente pasa a dominar la función de costo. El ciclo de trabajo, en consecuencia, se ajusta prioritariamente para minimizar dicho error, dejando en segundo plano el error de corriente, el error de tensión del otro capacitor y el esfuerzo de control. Como resultado, la tensión del capacitor correspondiente converge de forma más rápida hacia su referencia, mientras que el seguimiento de la corriente y de la tensión del otro capacitor se ven perjudicados.

En términos generales, la configuración que presenta un mejor desempeño corresponde a $\lambda_1 = \lambda_2$. Dado que ambos capacitores flotantes son igualmente relevantes para la correcta síntesis de los niveles de tensión y para limitar la tensión que debe bloquear cada semiconductor, asignarles distinto peso implica privilegiar el balance de uno en desmedro del otro, tal como se desprende de los casos anteriores. Por esta razón, en el análisis de sensibilidad presentado en el Capítulo 5 se considera $\lambda_1 = \lambda_2$.

Capítulo 5

Simulaciones del control PS-MPC

En el Capítulo 4 se presentó la formulación del control PS-MPC utilizado en esta memoria. En este capítulo se evalúa su desempeño mediante simulación, con el fin de seleccionar la sintonización que se utilizó en la validación experimental del Capítulo 7. Los resultados obtenidos permiten, además, establecer el comportamiento esperado del sistema, utilizado como referencia de comparación en dicho capítulo.

5.1. Entorno y parámetros de simulación

Las simulaciones se implementan en el software PLECS, de Plexim, modelando el control PS-MPC desarrollado en el Capítulo 4 sobre el sistema descrito en el Capítulo 3. En la Figura 5.1 se presenta el esquema del modelo de simulación implementado, compuesto por el circuito de potencia del convertidor FCC trifásico conectado a la carga resistiva-inductiva con neutro levantado, el bloque de control C-Script que implementa el algoritmo PS-MPC, cuyo código fuente se presenta en el Apéndice F y el modulador PS-PWM.

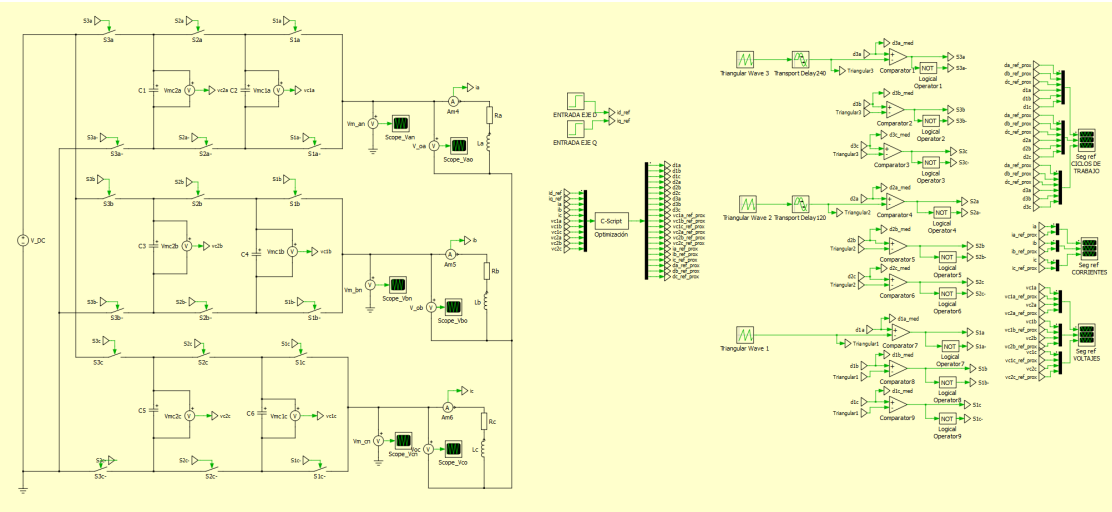


Figura 5.1: Esquemático del modelo de simulación en PLECS: circuito de potencia del FCC trifásico y bloque de control PS-MPC.

La Tabla 5.1 muestra las frecuencias de operación y los parámetros del sistema utilizados en la simulación, estos últimos corresponden a los valores medidos en el prototipo experimental disponible en el laboratorio LIAcE. Cabe destacar que, para una frecuencia de portadora $f_c = 2000$ Hz en un convertidor de 3 celdas, el entrelazado del esquema PS-PWM produce una frecuencia equivalente de conmutación en la carga de $f_{\text{sw,eq}} = 3f_c = 6000$ Hz. El modelo se resuelve mediante un solver de paso fijo con discretización tipo *Discrete*, con un paso de simulación de $8{,}33\overline{3} \times 10^{-6}$s, diez veces menor a $h = 1/f_{muestreo} = 8{,}33\overline{3} \times 10^{-5}$s, con el fin de resolver con precisión los instantes de conmutación de las portadoras triangulares entre cada actualización del bloque de control.

Tabla 5.1: Parámetros del sistema

Parámetro	Valor
f_{c}	2 kHz
$f_{\text{sw,eq}}$	6 kHz
f_{m}	12 kHz
V_{DC}	210 V
R	17 Ω
L	8,768 mH
$C_1 = C_2$	1500 μF

5.2. Métricas de evaluación del desempeño

Para cuantificar el desempeño del control PS-MPC, se realizan pruebas de arranque y de respuesta ante un escalón de referencia, analizando las siguientes métricas:

Tiempo de establecimiento (t_{estab}): tiempo requerido para que la señal permanezca dentro de una banda de tolerancia del 2 % respecto a su valor de referencia, sin volver a salir de dicha banda.

Corriente máxima ($i_{a,\text{max}}$): Valor instantáneo máximo alcanzado por la corriente de fase durante el transitorio de arranque. Se reporta esta métrica en lugar de un sobrepaso porcentual debido a la ausencia de un salto discreto entre un valor inicial y uno final en esta variable.

Tiempo de subida (t_{subida}): Tiempo transcurrido entre el instante en que la señal alcanza el 10 % y el 90 % de su valor final. Esta métrica se aplica únicamente a las tensiones de los capacitores, dado que responden a una dinámica tipo escalón en continua. En la corriente de salida no se evalúa este parámetro debido a su naturaleza alterna senoidal.

Rizado en estado estacionario: Diferencia entre el valor máximo y mínimo de la señal, evaluada sobre una ventana de tres periodos fundamentales una vez finalizado el régimen transitorio.

Error en estado estacionario (sesgo): Valor promedio del error entre la señal medida y su referencia, calculado sobre la misma ventana de tres periodos fundamentales en estado estacionario. Esta métrica permite diferenciar una desviación sistemática respecto a la consigna del rizado inherente a la conmutación. Se aplica a las tensiones de los capacitores flotantes, cuya referencia es constante, de modo que un desbalance sistemático se

refleja directamente en el promedio del error sin cancelarse.

Error RMS respecto a la referencia: Para señales cuya referencia es alterna, como la corriente de salida y el ciclo de trabajo, el promedio simple del error tiende a cancelarse por el cambio de signo propio de la señal, por lo que se reporta en su lugar el valor cuadrático medio del error, $e_{RMS} = \sqrt{\frac{1}{N_{muestras}} \sum_{k=1}^{N_{muestras}} (x^*(k) - x(k))^2}$, considerando $N_{muestras}$ como el número de muestras y calculado sobre la misma ventana de tres periodos fundamentales en estado estacionario. Esta métrica se aplica a la corriente de fase ($e_{i,RMS}$) y al ciclo de trabajo de cada celda (e_d RMS, promediado entre las tres celdas de la fase evaluada).

Contenido armónico (THD, WTHD): Distorsión armónica total y distorsión armónica total ponderada, calculadas en estado estacionario considerando hasta el orden armónico $n_{\text{máx}} = 150$. Se utiliza este límite para abarcar de manera rigurosa las componentes armónicas de alta frecuencia introducidas por la conmutación y cumplir con los estándares de calidad de energía. Esta métrica se aplica principalmente a la corriente de fase de la carga (THD_i, WTHD_i), y se utiliza también para caracterizar la tensión de fase del convertidor referida a la carga, v_{ao} (THD_v, WTHD_v), en el caso óptimo presentado en la Sección 5.4.

Esfuerzo de variación del ciclo de trabajo ($\Delta d = \sum(\Delta d_j[k])^2$): Suma de los cuadrados de las diferencias entre muestras consecutivas del ciclo de trabajo de cada celda j, calculada exclusivamente en estado estacionario. Esta métrica cuantifica la suavidad de la acción de control y la actividad de conmutación.

Las funciones de MATLAB utilizadas para el cálculo de estas métricas a partir de los datos exportados desde PLECS se presentan en el Apéndice E.

5.3. Sintonización y resultados: control PS-MPC

Esta sección presenta los resultados de simulación del control PS-MPC, organizados según el procedimiento utilizado para seleccionar su sintonización óptima. La Sección 5.3.1 describe el conjunto de casos evaluados para los factores de ponderación $\lambda_d, \lambda_1, \lambda_2$. Las Secciones 5.3.2 y 5.3.3 abordan los análisis de sensibilidad de λ_d y de la dupla (λ_1, λ_2), respectivamente, examinando la dinámica de arranque, la respuesta ante escalón de referencia, el esfuerzo de variación del ciclo de trabajo por celda y la calidad armónica en estado estacionario. Posteriormente, la Sección 5.4 consolida y describe en detalle el comportamiento del caso de diseño óptimo resultante ($\lambda_d = 5, \lambda_1 = \lambda_2 = 1$). Finalmente, en la Sección 5.5 se examina el comportamiento del controlador ante escenarios límite bajo la anulación de los factores de ponderación ($\lambda_d = 0$).

5.3.1. Casos de sintonización evaluados

El valor óptimo de λ_d, λ_1 y λ_2 depende del objetivo que se quiera priorizar. La sintonización se realiza mediante un análisis de sensibilidad en dos etapas. En la primera se evalúa λ_d, manteniendo $\lambda_1 = \lambda_2 = 1$ fijos, para ocho valores de λ_d. En la segunda etapa se fija $\lambda_d = 5$ y se evalúan ocho valores de $\lambda_1 = \lambda_2$, con el mismo criterio. Los quince casos resultantes de este estudio se resumen en la Tabla 5.2, donde el caso óptimo se repite en ambos análisis de sensibilidad.

Tabla 5.2: Casos evaluados en los análisis de sensibilidad de los pesos del funcional de costo

(a) Sensibilidad de λ_d ($\lambda_1 = \lambda_2 = 1$)

Caso	λ_d	$\lambda_1 = \lambda_2$
1	0,005	1
2	0,5	1
3	1	1
4	5	1
5	10	1
6	50	1
7	100	1
8	200	1

(b) Sensibilidad de λ_1, λ_2 ($\lambda_d = 5$)

Caso	λ_d	$\lambda_1 = \lambda_2$
1	5	0,005
2	5	0,05
3	5	0,5
4	5	1
5	5	5
6	5	10
7	5	50
8	5	100

5.3.2. Análisis de sensibilidad factor ponderación λ_d

5.3.2.a. Arranque

Para evaluar el efecto de λ_d sobre la dinámica de arranque se simularon los ocho casos definidos en la Tabla 5.2, partiendo de condensadores completamente descargados y manteniendo fijo $\lambda_1 = \lambda_2 = 1$. La Tabla 5.3(a) resume el tiempo de subida y el tiempo de establecimiento de v_{C1} y v_{C2} para cada valor de λ_d, junto con el pico de corriente de fase A alcanzado durante el transitorio en la Tabla 5.3(b).

Tabla 5.3: Análisis de sensibilidad de λ_d durante el arranque

(a) Dinámica de arranque

λ_d	$t_{\text{sub},vC1}$ [ms]	$t_{\text{estab},vC1}$ [ms]	$t_{\text{sub},vC2}$ [ms]	$t_{\text{estab},vC2}$ [ms]
0,005	212,61	346,98	316,43	346,35
0,5	133,43	199,51	158,97	199,09
1	117,99	171,01	115,89	170,58
5	**68,35**	**139,90**	**77,86**	**129,92**
10	78,64	149,13	86,58	129,68
50	158,71	301,15	135,78	252,71
100	289,42	560,84	213,97	447,04
200	575,52	1180,60	427,93	964,93

(b) Pico de corriente

λ_d	$i_{a,\max}$ [A]
0,005	7,7382
0,5	7,7379
1	7,7382
5	**7,7382**
10	7,7383
50	7,7455
100	7,4900
200	7,1612

Tanto el tiempo de subida como el tiempo de establecimiento forman una U respecto a λ_d, con su mínimo en $\lambda_d = 5$. El tiempo de subida baja desde $212,61$ ms en $\lambda_d = 0,005$ hasta $68,35$ ms en $\lambda_d = 5$, y vuelve a subir hasta $575,52$ ms en $\lambda_d = 200$, mientras que el tiempo de establecimiento no aumenta de forma continua, sino que sigue el mismo patrón, con un crecimiento marcado hacia ambos extremos del rango evaluado. Esto demuestra que regularizar la variación del ciclo de trabajo no frena la respuesta de manera directamente proporcional, sino que actúa como un equilibrio entre dos efectos opuestos.

Para valores pequeños de λ_d, el controlador opera cerca de su límite de lazo cerrado, se vuelve agresivo, de forma similar a un controlador tipo *deadbeat*, y busca minimizar únicamente el error de seguimiento $\boldsymbol{e}_x(k+4)$ que pondera por igual la corriente y las tensiones de ambos capacitores, dado que $\lambda_1 = \lambda_2 = 1$. Aunque en teoría esto debería

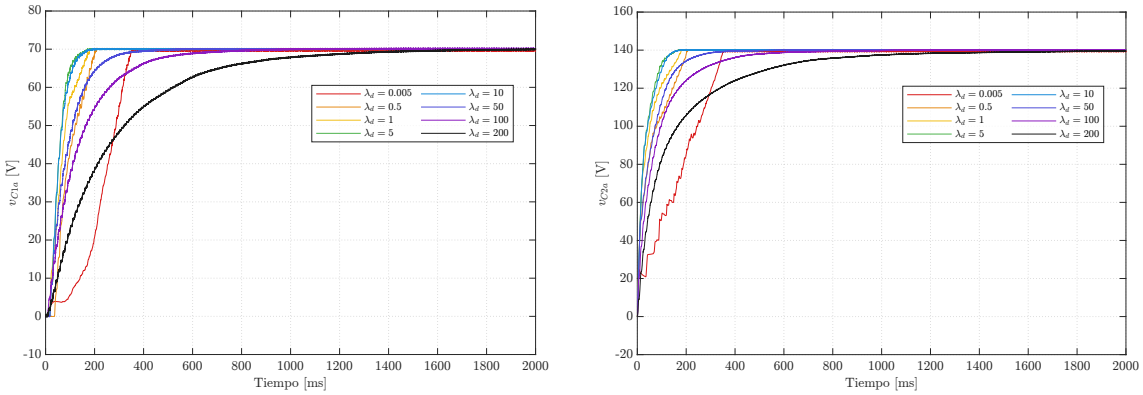
lograr la convergencia más rápida, la Tabla 5.3(a) muestra lo contrario, el caso $\lambda_d = 0,005$ resulta considerablemente más lento que las sintonizaciones intermedias del análisis, e incluso más lento que $\lambda_d = 1$ y $\lambda_d = 10$, a pesar de operar en el régimen de lazo cerrado más agresivo.

La Figura 5.2 explica esta aparente contradicción, tanto v_{C1} como v_{C2} suben rápido hasta un valor bajo en los primeros instantes, pero entre aproximadamente 30 ms y 350 ms su avance se vuelve muy lento e irregular, respecto a los otros casos, antes de finalmente acelerar y alcanzar sus referencias. Esto ocurre porque, al no penalizar Δd, el ciclo de trabajo óptimo se satura de forma reiterada en 0 y en 1, tal como se observa en la Figura A.1a del Apéndice A.1, donde d_1, d_2 y d_3 alternan de forma errática durante toda esta ventana. Según las ecuaciones (3.4) y (3.5), la carga de v_{C1} depende del producto entre la corriente de fase y el signo de $(d_1 - d_2)$, mientras que la carga de v_{C2} depende del mismo producto con $(d_2 - d_3)$. Durante esta ventana la corriente de fase tampoco alcanza todavía una forma sinusoidal estable, como se ve en la misma figura del Apéndice, por lo que ambos factores del producto cambian de forma errática. El efecto neto sobre varios períodos se ve fuertemente reducido, y la tensión avanza mucho más lento de lo esperado, lo que explica el tramo de ascenso lento observado en ambos capacitores a pesar de la agresividad del controlador.

En el extremo opuesto, para $\lambda_d \geq 100$ el controlador se aproxima a su límite de lazo abierto, en el cual el término de esfuerzo de control domina la función de costo y el ciclo de trabajo converge hacia su referencia $\boldsymbol{d}_j^*(k+1)$ de forma prácticamente independiente del estado medido. En este régimen el sistema deja de corregirse activamente y su convergencia queda gobernada aproximadamente por la dinámica de balance natural asociada a la modulación PS-PWM, la cual es intrínsecamente lenta y oscilatoria por depender únicamente de los parámetros del sistema. Esto es consistente con el crecimiento del tiempo de establecimiento, que llega a 1180,60 ms en v_{C1} para $\lambda_d = 200$, y con la forma de la curva en la Figura 5.2, suave y sin oscilaciones, en contraste con las curvas de λ_d intermedio que alcanzan la referencia mucho antes.

En el caso $\lambda_d = 5$ ninguno de los dos límites descritos anteriormente domina la respuesta, siendo el caso de menor tiempo de establecimiento para el capacitor flotante 1, y prácticamente empatado con $\lambda_d = 10$ como el más rápido para el capacitor flotante 2, con una diferencia de solo $0,24$ ms. El ciclo de trabajo todavía pasa por un tramo saturado y errático al inicio del transitorio, visible en la Figura A.1a del Apéndice A.1, pero esta saturación se resuelve dentro de los primeros instantes del arranque, sin extenderse tanto como ocurre en $\lambda_d = 0,005$. En el otro extremo, para $\lambda_d \geq 100$ la saturación inicial es incluso más breve, pero una vez resuelta, la envolvente del ciclo de trabajo crece con mucha lentitud hasta alcanzar la amplitud necesaria para completar la carga de los capacitores. El caso $\lambda_d = 5$ evita ambos problemas, la saturación queda acotada a un tramo breve y la envolvente se amplifica con rapidez apenas resuelta esa saturación, lo que permite que la tensión llegue a su referencia sin el estancamiento observado en ninguno de los dos extremos.

Se observa además, de forma consistente en todos los casos, que v_{C1} alcanza su tiempo de establecimiento después que v_{C2}. Esta diferencia es coherente con la estructura de las matrices B_1, B_2 y B_3 del modelo predictivo, donde B_1 incide únicamente sobre v_{C1} mientras que B_3 incide sobre v_{C2} a través de un término de escala $(V_{DC} - v_{C2})$, lo que otorga a la dinámica de v_{C2} una ganancia efectiva mayor durante el arranque.



(a) Tensión v_{C1} (b) Tensión v_{C2}

Figura 5.2: Efecto de λ_d sobre la dinámica de arranque de las tensiones flotantes

El pico de corriente, Tabla 5.3(b), se mantiene prácticamente constante entre 7,738 A y 7,746 A para $\lambda_d \leq 50$, lo que indica que en ese rango la restricción de Δd no alcanza a modificar la trayectoria de corriente durante el transitorio, esta queda determinada principalmente por la impedancia del sistema y la tensión aplicada. La caída del pico observada en $\lambda_d = 100$ y $\lambda_d = 200$ (7,49 A y 7,16 A respectivamente) es consecuencia directa de la dinámica más lenta de carga de los condensadores descrita anteriormente, la corriente máxima disminuye porque la tensión aplicada a la carga durante el arranque aumenta de forma más gradual, no porque el controlador limite la corriente de manera activa. Una ventaja real en estos dos casos es la calidad de la forma de onda, tanto del ciclo de trabajo como de la corriente. Ambos evitan casi por completo la saturación y la distorsión descritas para λ_d pequeño, y mantienen una forma limpia y reconocible desde el inicio del arranque, tal como se observa en la Figura A.1a y la Figura A.1b del Apéndice A.1. Esta ventaja, sin embargo, viene acompañada del costo directo en velocidad ya reportado en la Tabla 5.3(a), por lo que $\lambda_d = 100$ y 200 logran una forma de onda más limpia a costa de un establecimiento considerablemente más lento.

5.3.2.b. Escalón

Para evaluar el efecto de λ_d ante un cambio en el punto de operación, se aplica un escalón en la amplitud de la corriente de referencia, $\hat{\imath}$, de 2 A a 3,5 A en $t = 100$ ms, lo que se traduce en un salto instantáneo de la amplitud de las tres corrientes de fase de referencia, manteniendo su frecuencia y su desfase relativo. La prueba se realiza con los capacitores flotantes previamente balanceados, para los ocho casos del análisis de sensibilidad de λ_d.

La Tabla 5.4 resume el tiempo de establecimiento de la corriente de fase para cada valor de λ_d. Excluyendo el caso $\lambda_d = 0,005$ por la razón indicada en la tabla, el tiempo de establecimiento crece de forma prácticamente monótona con λ_d, desde 0,583 ms en $\lambda_d = 0,5$ y 1 hasta 2,008 ms en $\lambda_d = 200$. Este comportamiento es coherente con el rol de λ_d como penalización del esfuerzo de control, a mayor λ_d, el ciclo de trabajo óptimo se acerca más a la referencia de lazo abierto y responde con más retardo ante el cambio del valor de referencia, en vez de corregir de forma inmediata como ocurre con el lazo cerrado agresivo de λ_d pequeño.

Tabla 5.4: Análisis de sensibilidad de λ_d: respuesta ante escalón

λ_d	t_{estab} [ms]
0,005*	0,875
0,5	0,583
1	0,583
5	**1,183**
10	1,242
50	1,825
100	1,875
200	2,008

*No se establece dentro de ±2 % de la referencia.

La Figura 5.3 confirma esta tendencia. Todos los casos, salvo $\lambda_d = 0,005$, parten desde una trayectoria común antes del escalón y comienzan a separarse justo después de aplicado el cambio de referencia. Los casos $\lambda_d = 0,5$ y 1 alcanzan un valor más alto y en el menor tiempo, mientras que los casos con λ_d mayor llegan a valores un poco más bajos y desplazados en el tiempo, reflejando una corrección más gradual. Pasados los 102 ms, todas las curvas vuelven a converger sobre la misma envolvente sinusoidal, lo que indica que la diferencia entre casos se concentra únicamente en el instante inicial de la respuesta al escalón y no persiste en el resto de la trayectoria.

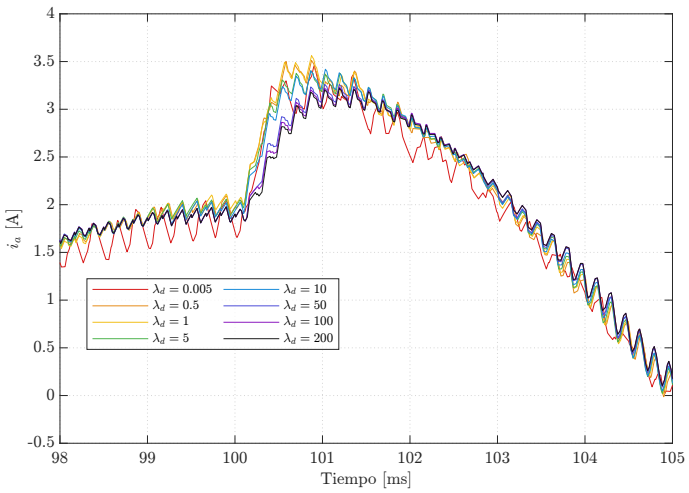


Figura 5.3: Corriente de fase a superpuesta para los ocho casos del análisis de sensibilidad de λ_d, en torno al escalón de referencia

Resulta útil comparar estos tiempos con la constante de tiempo natural del circuito RL de carga, $\tau = L/R = 8,768\ \text{mH}/17\,\Omega = 0,516$ ms, cuyo tiempo de establecimiento natural sin control activo, bajo el criterio habitual de 4τ, es de 2,063 ms. Los casos con $\lambda_d \geq 50$ presentan tiempos de establecimiento de 1,825 ms, 1,875 ms y 2,008 ms, cada vez más cercanos a este valor de referencia a medida que λ_d crece, lo que confirma de forma cuantitativa que el sistema se aproxima a su límite de lazo abierto, la corriente termina asentándose casi al mismo ritmo que lo haría el circuito RL por sí solo, sin corrección activa. El caso óptimo $\lambda_d = 5$, en cambio, se establece en 1,183 ms, notoriamente más rápido que 4τ, evidenciando que la acción del controlador sigue siendo dominante en este punto del análisis.

La curva de $\lambda_d = 0,005$, en cambio, no exhibe una respuesta limpia en ningún tramo de la ventana, reflejando un ruido de conmutación de gran amplitud presente antes, durante y después del escalón. La Figura A.2 del Apéndice A.1 muestra el origen de este ruido, sin penalización sobre Δd, el ciclo de trabajo continúa saturando de forma errática en 0 y en 1.

En cuanto a las tensiones de los capacitores flotantes, las Figuras A.3a y A.3b del Apéndice A.1 muestran que, para los ocho casos, v_{C1a} y v_{C2a} se mantienen dentro de una banda estrecha en torno a sus referencias durante toda la ventana observada, sin apartarse de forma relevante por el escalón. Se observa además un pico breve justo en el instante del escalón, más notorio para λ_d entre $0,5$ y 10, y que prácticamente desaparece para $\lambda_d \geq 50$. Esto se debe a que para λ_d entre $0,5$ y 10 los ciclos de trabajo d_1, d_2 y d_3 se separan brevemente entre sí justo en el instante del escalón, antes de volver a juntarse. Como la carga de v_{C1} depende del signo de $(d_1 - d_2)$ y la de v_{C2} del signo de $(d_2 - d_3)$, según las ecuaciones (3.4) y (3.5), esta separación momentánea produce una transferencia de carga breve entre celdas, visible como el pico de tensión. Para $\lambda_d \geq 50$, en cambio, las tres curvas se mantienen prácticamente superpuestas durante todo el escalón, lo que es consistente con el comportamiento descrito en la Sección 5.3.2.c, donde las tres celdas convergen hacia la misma señal moduladora a medida que λ_d crece, y explica por qué el pico de tensión se atenúa progresivamente en estos casos.

5.3.2.c. Estado estacionario

Una vez alcanzado el estado estacionario, se evalúan el rizado y el sesgo de las tensiones de los capacitores flotantes, el error de corriente, el contenido armónico y el esfuerzo de variación del ciclo de trabajo definido en la Sección 5.2, para los ocho casos del análisis de sensibilidad de λ_d. La Tabla 5.5(a) resume el rizado y el sesgo de v_{C1} y v_{C2}, y la Tabla 5.5(b) el error de corriente y las métricas de distorsión armónica.

Tabla 5.5: Análisis de sensibilidad de λ_d, tensión de los capacitores en estado estacionario

λ_d	rizado v_{C1} [V]	sesgo v_{C1} [V]	rizado v_{C2} [V]	sesgo v_{C2} [V]
0,005	0,6685	$0,3077$	0,5154	$0,6840$
0,5	0,3347	$-0,0309$	0,3282	$-0,0605$
1	0,3225	$-0,0102$	0,3249	$-0,0254$
5	**0,3297**	**0,0098**	**0,3271**	**-0,0005**
10	0,3411	$0,0197$	0,3463	$-0,0122$
50	0,3193	$-0,0117$	0,3233	$-0,0964$
100	0,3114	$-0,1002$	0,3108	$-0,2026$
200	0,3627	$-0,3195$	0,3139	$-0,3091$

Tabla 5.6: Análisis de sensibilidad de λ_d, corriente en estado estacionario

λ_d	$e_{i,RMS}$ [A]	THD_i [%]	WTHD_i [%]
0,005	0,1902	5,1139	0,1793
0,5	0,0770	2,7596	0,1018
1	0,0758	2,7185	0,1192
5	**0,0761**	**2,7129**	**0,0984**
10	0,0803	2,7230	0,0872
50	0,0918	2,7378	0,1292
100	0,0989	2,7163	0,1158
200	0,1005	2,7077	0,0629

El rizado de tensión cae de forma marcada entre $\lambda_d = 0,005$ y $\lambda_d = 0,5$, de $0,6685$ V a $0,3347$ V en v_{C1}, y se mantiene acotado para el resto del análisis, entre $0,31$ V y $0,36$ V, sin una tendencia clara asociada al aumento de λ_d. El sesgo, en cambio, sí muestra una tendencia. Para $\lambda_d = 0,005$, el sesgo de v_{C2} ($0,684$ V) es el mayor de todo el análisis, consistente con la falta de un régimen periódico bien establecido ya descrita para este caso. En v_{C1}, este mismo caso alcanza $0,308$ V, un valor que no resulta ser el máximo del análisis, como se detalla más abajo. Para λ_d intermedio ($0,5$ a 10) el sesgo se mantiene pequeño, bajo $0,07$ V en valor absoluto. Para $\lambda_d \geq 50$, el sesgo vuelve a crecer en magnitud, llegando a $-0,320$ V en v_{C1} para $\lambda_d = 200$, el mayor sesgo de v_{C1} de todo el análisis, coherente con la dinámica cada vez más lenta de estos casos, que dificulta que la tensión termine de asentarse por completo dentro de la ventana de análisis.

El error de corriente sigue un patrón similar al rizado, con una caída marcada al pasar de $\lambda_d = 0,005$ a $\lambda_d = 0,5$ ($0,190$ A a $0,077$ A) y un leve aumento hacia $\lambda_d = 200$ ($0,101$ A), sin llegar a deteriorarse de forma marcada en ningún caso del análisis. El valor alto en $\lambda_d = 0,005$ es consecuencia directa de la saturación errática del ciclo de trabajo ya descrita en el arranque y el escalón, que distorsiona la corriente incluso en la ventana de estado estacionario. Para λ_d mayor, en cambio, el ciclo de trabajo se acerca cada vez más a su referencia teórica $\boldsymbol{d}_j^*(k+1)$, la cual, por construcción, es precisamente la que produce la corriente de referencia correcta en estado estacionario, de modo que el error de corriente se mantiene bajo aunque la respuesta transitoria sea más lenta. El THD_i confirma esto, se mantiene prácticamente constante, entre $2,71\,\%$ y $2,76\,\%$, para todo $\lambda_d \geq 0,5$.

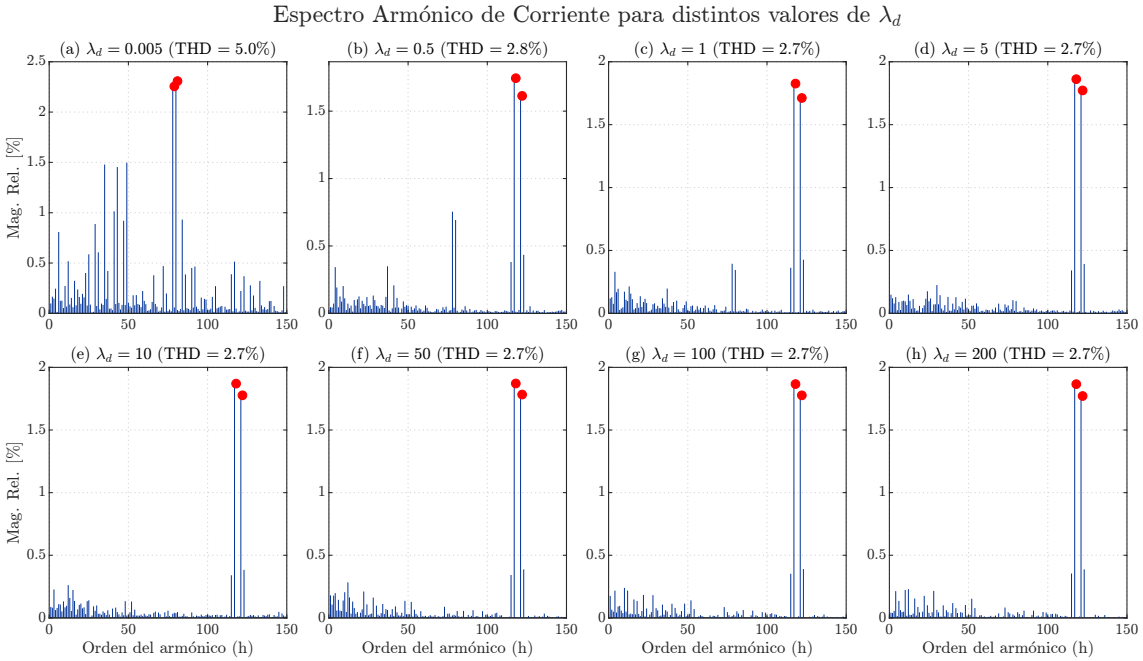


Figura 5.4: Espectro armónico de la corriente i_a en estado estacionario, ocho casos de λ_d, con los dos armónicos dominantes marcados en rojo

La Figura 5.4 explica este comportamiento. Para $\lambda_d = 0,005$, la energía armónica se reparte entre múltiples órdenes bajos, de forma similar a los espectros del FCS-MPC, sin concentrarse en una frecuencia particular, consistente con la saturación errática del ciclo de trabajo ya descrita en el arranque y el escalón. Desde $\lambda_d = 0,5$ en adelante, el espectro se concentra casi por completo en los órdenes 118 y 122, en torno al orden 120 asociado a la frecuencia equivalente de conmutación del convertidor, y esta concentración se mantiene sin cambios hasta $\lambda_d = 200$.

Tabla 5.7: Análisis de sensibilidad de λ_d, esfuerzo de control y asimetría entre celdas

λ_d	Δd_1	Δd_2	Δd_3	$\Delta d_1 : \Delta d_2 : \Delta d_3$	e_d RMS
0,005	$4,33 \times 10^{-3}$	$3,88 \times 10^{-2}$	$1,15 \times 10^{-1}$	$1 : 8,95 : 26,57$	0,21173
0,5	$9,45 \times 10^{-4}$	$9,00 \times 10^{-3}$	$1,27 \times 10^{-2}$	$1 : 9,52 : 13,41$	0,06910
1	$4,22 \times 10^{-4}$	$3,67 \times 10^{-3}$	$3,29 \times 10^{-3}$	$1 : 8,69 : 7,80$	0,03966
5	$1,09 \cdot 10^{-4}$	$3,10 \cdot 10^{-4}$	$1,98 \cdot 10^{-4}$	$1 : 2,84 : 1,81$	0,01029
10	$9,10 \times 10^{-5}$	$1,48 \times 10^{-4}$	$1,13 \times 10^{-4}$	$1 : 1,63 : 1,24$	0,00682
50	$8,44 \times 10^{-5}$	$8,81 \times 10^{-5}$	$8,52 \times 10^{-5}$	$1 : 1,04 : 1,01$	0,00591
100	$8,43 \times 10^{-5}$	$8,56 \times 10^{-5}$	$8,46 \times 10^{-5}$	$1 : 1,02 : 1,00$	0,00622
200	$8,43 \times 10^{-5}$	$8,48 \times 10^{-5}$	$8,46 \times 10^{-5}$	$1 : 1,01 : 1,00$	0,00650

El esfuerzo de variación cae de forma monótona en las tres celdas, varios órdenes de magnitud entre $\lambda_d = 0,005$ y $\lambda_d = 200$. La asimetría entre celdas también disminuye de forma sostenida, desde $1 : 8,95 : 26,57$ en $\lambda_d = 0,005$ hasta prácticamente $1 : 1,01 : 1,00$ en $\lambda_d = 200$, una convergencia hacia la razón unitaria coherente con el límite $\lambda_d \to \infty$, donde el término $\boldsymbol{\lambda}_d$ domina la matriz W_j y las tres celdas convergen hacia la misma señal moduladora. El e_d RMS decrece de forma similar en el tramo inicial, de $0,212$ en $\lambda_d = 0,005$ a $0,00591$ en $\lambda_d = 50$. A diferencia de Δd_1, Δd_2 y Δd_3, que se mantienen

decrecientes o prácticamente planas hasta $\lambda_d = 200$, el e_d RMS agregado muestra un leve repunte hacia ese extremo ($0,0065$ en $\lambda_d = 200$), consistente con que el ciclo de trabajo se acerca cada vez más a su referencia teórica de lazo abierto a medida que λ_d crece.

Se observa además un cambio en qué celda concentra el mayor esfuerzo relativo a medida que λ_d aumenta. Para $\lambda_d \leq 0,5$ es la celda 3 la que domina ($\Delta d_3 : \Delta d_1 = 13,41$ frente a $\Delta d_2 : \Delta d_1 = 9,52$), mientras que para $\lambda_d \geq 1$ el orden se invierte y pasa a ser la celda 2 ($\Delta d_2 : \Delta d_1 = 8,69$ frente a $\Delta d_3 : \Delta d_1 = 7,80$ en $\lambda_d = 1$, diferencia que se acentúa en $\lambda_d = 5$). Este cambio de orden es coherente con la asimetría estructural entre $\boldsymbol{B}_1$, $\boldsymbol{B}_2$ y $\boldsymbol{B}_3$ presentada en la Sección 4.2, ya que $\boldsymbol{B}_2$ influye simultáneamente sobre v_{C1} y v_{C2}, a diferencia de $\boldsymbol{B}_1$ y $\boldsymbol{B}_3$, que inciden solo sobre una de las dos tensiones, por lo que su peso relativo en la solución óptima se modifica de forma distinta a medida que el controlador se desplaza del régimen de lazo cerrado hacia el de lazo abierto.

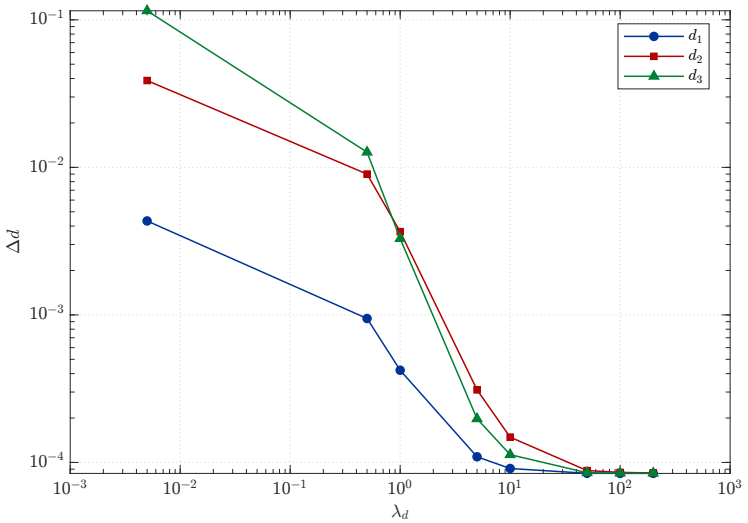


Figura 5.5: Esfuerzo de variación del ciclo de trabajo Δd en función de λ_d, por celda, escala log-log

En este punto del análisis, $\lambda_d = 5$ no alcanza la simetría casi perfecta que sí logran $\lambda_d \geq 50$, pero reduce la asimetría en un orden de magnitud respecto a $\lambda_d = 1$, evitando el esfuerzo de conmutación mucho mayor que exhiben los casos con λ_d pequeño, sin pagar el costo en velocidad de respuesta ya documentado en el arranque y el escalón para $\lambda_d \geq 50$.

5.3.2.d. Caso óptimo ($\lambda_d = 5$)

Considerando en conjunto los resultados de esta sección, $\lambda_d = 5$ se adopta como el valor que mejor equilibra los distintos criterios evaluados, y se fija como valor de referencia para el análisis de sensibilidad de λ_1 y λ_2 que sigue en la Sección 5.3.3.

En cuanto a rapidez, $\lambda_d = 5$ no es el caso más veloz del análisis, pero se mantiene considerablemente más rápido que los valores superiores a él, tanto en el arranque como en el escalón. En cuanto a calidad de la señal, ya alcanza el nivel estable de rizado y THD_i que comparten todos los casos con $\lambda_d \geq 0,5$, sin la distorsión propia de $\lambda_d = 0,005$. En cuanto al esfuerzo de control, reduce la asimetría entre celdas en un orden de magnitud respecto a $\lambda_d = 1$, aunque todavía no alcanza la simetría casi perfecta de $\lambda_d \geq 50$.

Por lo tanto, $\lambda_d = 5$ corresponde al primer valor del análisis de sensibilidad en que el sistema ya está bien condicionado en las cinco categorías de métricas evaluadas, sin pagar el costo de lentitud que sí muestran los valores superiores a él.

5.3.3. Análisis de sensibilidad de λ_1 y λ_2

5.3.3.a. Arranque

Para evaluar el efecto de λ_1 y λ_2 durante el arranque, se simula el convertidor con los capacitores flotantes completamente descargados para los ocho valores de λ_1 y λ_2, manteniendo $\lambda_d = 5$ fijo en el valor adoptado en la Sección 5.3.2.d. La Tabla 5.8(a) resume el tiempo de subida y el tiempo de establecimiento de v_{C1} y v_{C2} para cada caso, junto con el pico de corriente de fase A alcanzado durante el transitorio en la Tabla 5.8(b).

Tabla 5.8: Análisis de sensibilidad de $\lambda_1 = \lambda_2$ durante el arranque

(a) Dinámica de arranque

$\lambda_1 = \lambda_2$	$t_{\mathrm{sub},vC1}$ [ms]	$t_{estab,v_{C}1}$ [ms]	$t_{\mathrm{sub},vC2}$ [ms]	$t_{estab,vC2}$ [ms]
0,005	12971,00	24752,00	8641,00	17905,00
0,05	368,30	700,67	317,09	575,77
0,5	90,74	157,71	103,67	140,08
1	**68,35**	**139,90**	**77,86**	**129,92**
5	81,02	148,67	87,64	130,37
10	61,78	156,91	61,33	137,38
50	60,98	146,51	59,46	133,10
100	51,73	144,28	59,38	131,78

(b) Pico de corriente

$\lambda_1 = \lambda_2$	$i_{a,\max}$ [A]
0,005	4,0628
0,05	4,9676
0,5	7,7379
1	**7,7382**
5	7,7382
10	7,7382
50	7,7382
100	7,7382

La diferencia entre $\lambda_1 = \lambda_2 \leq 0,05$ y el resto de los casos es de varios órdenes de magnitud, 24752 ms en comparación a valores entre 140 ms y 157 ms para $\lambda_1 = \lambda_2 \geq 0,5$. Esto es consistente con la estructura de la matriz $\boldsymbol{Q} = \mathrm{diag}(\lambda_1, \lambda_1, \lambda_1, \lambda_2, \lambda_2, \lambda_2, 1, 1, 1)$ definida en la Sección 4.4.1, con λ_1 y λ_2 muy por debajo del peso unitario de la corriente, el error de tensión de los capacitores queda prácticamente fuera de la función de costo. Por lo que la carga de los capacitores queda gobernada por la dinámica de corrección del error de la corriente y del ciclo de trabajo, resultando lenta, en vez de rápida por una corrección activa basada en el error de tensión medido.

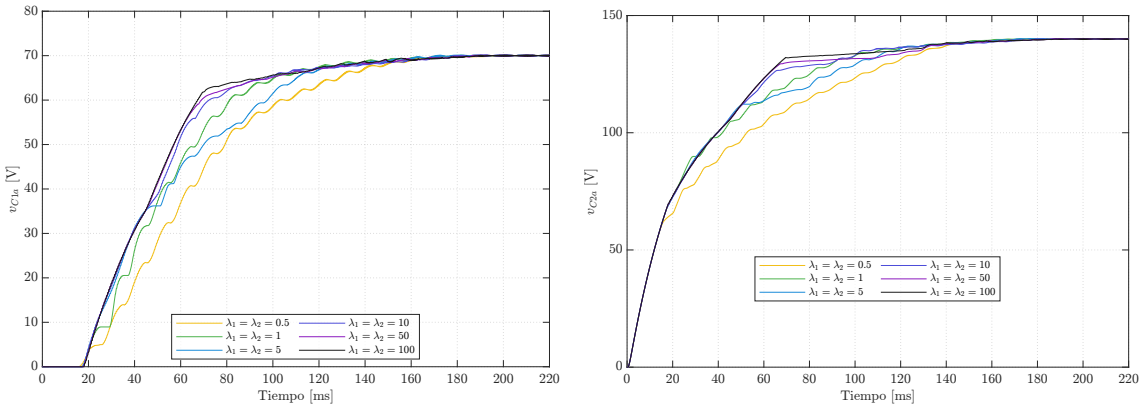
Para $\lambda_1 = \lambda_2 \geq 0{,}5$, el tiempo de establecimiento permanece acotado entre 129,92 ms y 157,71 ms. Esto se debe a que, como se describió antes, el ciclo de trabajo alcanza la saturación en sus límites 0 y 1 una vez que arranca la corrección de tensión, de modo que el propio rango admisible del ciclo de trabajo, y no el peso asignado al error de tensión, es lo que limita qué tan rápido puede corregirse el desbalance. Una vez alcanzada esa saturación, aumentar aún más λ_1 y λ_2 no le exige al controlador nada que ya no esté haciendo, por lo que el tiempo de asentamiento se mantiene prácticamente constante. La falta de una tendencia clara en este rango no refleja una diferencia real en la velocidad de carga de los capacitores, sino pequeñas oscilaciones cerca del límite de la banda del $\pm 2\,\%$ que pueden retrasar ligeramente la entrada definitiva de la señal (Figura 5.6). En la práctica, estos seis casos presentan una dinámica de carga equivalente, con una variación máxima de solo 28 ms. Esto resulta insignificante frente a la enorme diferencia observada al pasar de $\lambda_1 = \lambda_2 = 0{,}05$ a $\lambda_1 = \lambda_2 = 0{,}5$.

Para $\lambda_1 = \lambda_2 \leq 0{,}05$, el tiempo de subida de v_{C1} se extiende a 12971,00 ms y 368,30 ms, lo que evidencia una carga dominada por la dinámica natural del sistema al ser la penalización del esfuerzo de control ($\lambda_d = 5$) ampliamente superior al peso asignado al error de tensión. En cambio, para la banda $\lambda_1 = \lambda_2 \geq 0{,}5$, la respuesta transitoria se acelera de forma significativa, el tiempo de subida disminuye de 90,74 ms a 51,73 ms a medida que las ponderaciones aumentan hacia $\lambda_{1,2} = 100$, aunque no de forma estrictamente monótona, ya que en $\lambda_{1,2} = 5$ el tiempo de subida (81,02 ms) supera al obtenido con $\lambda_{1,2} = 1$ (68,35 ms). Como se observa en la Figura 5.2a,la tensión v_{C1a} para $\lambda_{1,2} = 5$ evoluciona inicialmente junto a los casos más rápidos ($\lambda_{1,2} \geq 10$), pero entre $t \approx 45$ ms y $t \approx 52$ ms permanece detenida en torno a 36 V. Este intervalo coincide con el instante en que, en la fase a, los ciclos de trabajo d_1 y d_2 se anulan simultáneamente mientras d_3 permanece saturado en 1 (Figura A.4). Dado que la corriente del capacitor C_1 depende de la diferencia $d_2 - d_1$, esta se anula durante dicho intervalo, por lo que v_{C1a} deja de cargarse momentáneamente. A partir de ese punto, la curva de $\lambda_{1,2} = 5$ es superada por la de $\lambda_{1,2} = 1$ y el umbral del 90 % se alcanza en 102,75 ms, frente a 90,57 ms para $\lambda_{1,2} = 1$. Aunque el tiempo de establecimiento no permite discriminar claramente entre estos seis casos debido a las oscilaciones marginales en el borde de la banda de tolerancia del $\pm 2\,\%$, la evolución del tiempo de subida demuestra de forma consistente que priorizar el seguimiento del error de tensión acelera la velocidad de carga de los capacitores flotantes.

me sale incompatible glue units y me tira el parrafo en rojo

El pico de corriente, Tabla 5.8(b), también muestra una diferencia marcada entre los dos grupos de casos. Para $\lambda_1 = \lambda_2 \leq 0,05$ el pico es notoriamente más bajo, $4,06$ A y $4,97$ A respectivamente, mientras que para $\lambda_1 = \lambda_2 \geq 0,5$ se satura en $7,738$ A, el mismo valor límite ya observado en el análisis de sensibilidad de λ_d. Esto tiene sentido, los capacitores se cargan mucho más lento en los dos primeros casos, y como la tensión sube más lento, la corriente tampoco llega a subir tanto.

Las Figuras A.4 y A.5a del Apéndice A.1 muestran los ciclos de trabajo y las corrientes de fase completos para los ocho casos. Para $\lambda_1 = \lambda_2 = 0,005$, el ciclo de trabajo mantiene una forma sinusoidal reconocible desde el inicio, sin saturar, ya que al no ponderar el error de tensión, la solución óptima queda determinada casi enteramente por el seguimiento de corriente y el esfuerzo de control. Para $\lambda_1 = \lambda_2 = 0,05$ aparece ya una distorsión inicial breve antes de asentarse en la forma sinusoidal. Para $\lambda_1 = \lambda_2 \geq 0,5$, en cambio, el ciclo de trabajo satura de forma errática durante los primeros 100 a 150 ms, de forma similar a lo observado para λ_d pequeño en la Sección 5.3.2.a, antes de asentarse en la envolvente sinusoidal característica del estado estacionario. Este mismo patrón se refleja en las corrientes de fase, limpias durante toda la ventana para $\lambda_1 = \lambda_2 \leq 0,05$, y con un transitorio de mayor amplitud y distorsión para $\lambda_1 = \lambda_2 \geq 0,5$, coherente con el mayor pico de corriente ya reportado en la Tabla 5.8(b).



(a) (b)

Figura 5.6: Tensión de los capacitores flotantes durante el arranque para seis casos del análisis de sensibilidad de $\lambda_1 = \lambda_2$, excluyendo los dos casos más lentos ($0,005$ y $0,05$), (a) v_{C1a}, (b) v_{C2a}

La Figura 5.6 excluye los dos casos más lentos ($\lambda_1 = \lambda_2 = 0,005$ y $0,05$). Las seis curvas restantes son idénticas hasta cerca de los 20 ms, mientras la carga del capacitor recién comienza. Después de ese punto se separan según su velocidad de subida, $\lambda_1 = \lambda_2 = 0,5$ es la más lenta de todas, 1 y 5 quedan en un nivel intermedio, y 10, 50 y 100 forman el grupo más rápido, casi superpuesto entre sí. Todas convergen a la referencia antes de los 150 ms.

Aunque estos seis casos tienen tiempos de subida distintos, según la Tabla 5.8(a) sus tiempos de establecimiento terminan siendo parecidos entre sí, consistente con el límite impuesto por la saturación del ciclo de trabajo ya descrito.

5.3.3.b. Escalón

Para evaluar el efecto de λ_1 y λ_2 ante un cambio en el punto de operación, se aplica el mismo escalón en la amplitud de la corriente de referencia utilizado en la Sección 5.3.2.b, con los capacitores flotantes previamente balanceados, para los ocho casos del análisis de sensibilidad de λ_1 y λ_2. La Tabla 5.9 resume el tiempo de establecimiento de la corriente de fase para cada caso.

Tabla 5.9: Análisis de sensibilidad de $\lambda_1 = \lambda_2$, respuesta ante escalón

$\lambda_1 = \lambda_2$	t_{estab} [ms]
0,005	0,842
0,05	0,842
0,5	0,858
1	**1,183**
5	1,342
10	1,550
50	1,883*
100	1,900*

*La corriente ingresa brevemente a la banda de tolerancia en el instante indicado, pero no permanece dentro de ella, por lo que este valor no corresponde a un tiempo de establecimiento válido en el sentido estricto de la definición utilizada.

El tiempo de establecimiento crece de forma prácticamente monótona con $\lambda_1 = \lambda_2$, desde $0,842$ ms en los dos casos más pequeños hasta el límite de $1,900$ ms en $\lambda_1 = \lambda_2 = 100$, caso que además no llega a establecerse dentro de la banda de tolerancia. En términos absolutos, la diferencia entre el caso más rápido y el más lento es de apenas 1 ms, por lo que en la Figura 5.7 las curvas presentan una respuesta transitoria inicial prácticamente idéntica en el instante de aplicación del escalón ($t = 100$ ms), observándose una pendiente de subida casi idéntica en todos los casos.

Las diferencias entre las respuestas se hacen más notorias recién tras alcanzar el pico de corriente. Este comportamiento es consistente con la formulación del controlador: a medida que λ_1 y λ_2 aumentan por sobre el peso unitario de la corriente en la función de costo, el algoritmo le otorga una mayor penalización a las desviaciones en la tensión de los capacitores flotantes. Como consecuencia, el seguimiento de la referencia de corriente pierde prioridad, lo que se refleja en una degradación progresiva de la forma de onda tras el pico y un mayor tiempo de establecimiento (o la imposibilidad de mantenerse dentro de la banda de tolerancia como en los casos extremos $\lambda_1 = \lambda_2 \geq 50$).

Comparando estos tiempos con la constante de tiempo natural del circuito *R-L* de carga ($4\tau = 2,063$ ms), se observa que los seis casos que sí llegan a establecerse dentro de la banda de tolerancia y permanecer en ella ($\lambda_1 = \lambda_2 \leq 10$) lo hacen en un tiempo menor a 4τ, entre $0,842$ ms y $1,550$ ms. El hecho de que el tiempo de establecimiento en lazo cerrado sea menor al tiempo característico en lazo abierto confirma una acción de control activa por parte del controlador, la cual fuerza la dinámica del sistema para acelerar la respuesta transitoria de la corriente. Por otro lado, para $\lambda_1 = \lambda_2 = 50$ y 100, la corriente ingresa brevemente a la banda de tolerancia en $1,883$ ms y $1,900$ ms respectivamente, pero no permanece dentro de ella, quedando sistemáticamente por debajo de la referencia tras el pico inicial. Por lo tanto, estos dos casos no cuentan con un tiempo de establecimiento válido en el sentido estricto de la definición utilizada, y no resulta apropiado compararlos directamente con 4τ.

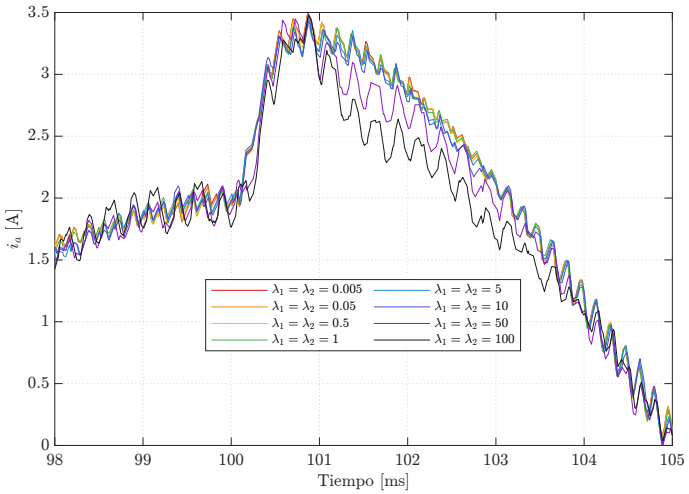


Figura 5.7: Corriente de fase a superpuesta para los ocho casos del análisis de sensibilidad de $\lambda_1 = \lambda_2$, en torno al escalón de referencia

La Figura 5.7 muestra que, para $\lambda_1 = \lambda_2 \leq 10$, la corriente alcanza un pico prácticamente idéntico, cercano a $3,4$-$3,5$ A, y las curvas se mantienen agrupadas durante toda la ventana. Para $\lambda_1 = \lambda_2 = 50$ y 100, en cambio, el pico se reduce de forma apreciable, con un breve sobrepaso justo después del escalón antes de quedar sistemáticamente por debajo de la referencia durante el resto del semiciclo. Con $\lambda_1 = \lambda_2$ tan grandes, el controlador reacciona con fuerza ante cualquier variación de tensión, y esa reacción retroalimenta la corriente, generando el sobrepaso y el rezago observados.

En cuanto a las tensiones de los capacitores flotantes, las Figuras A.6a y A.6b del Apéndice A.1 muestran que v_{C1a} y v_{C2a} se mantienen dentro de una banda periódica similar para los ocho casos, sin una desviación relevante producto del escalón. Se observa un leve aumento en la amplitud de esta banda para $\lambda_1 = \lambda_2 \geq 50$, que baja hasta $69,8$ V y $139,8$ V respectivamente, frente a un mínimo de $69,9$ V y $139,9$ V en el resto de los casos, consistente con el mayor rizado del ciclo de trabajo ya descrito para estos dos casos.

5.3.3.c. Métricas del estado estacionario

Una vez alcanzado el estado estacionario, se evalúan el rizado y el sesgo de las tensiones de los capacitores flotantes, el error de corriente, el contenido armónico y el esfuerzo de variación del ciclo de trabajo definido en la Sección 5.2, para los ocho casos del análisis de sensibilidad de $\lambda_1 = \lambda_2$. La Tabla 5.10 resume el rizado y el sesgo de v_{C1} y v_{C2}, y la Tabla 5.11 el error de corriente y las métricas de distorsión armónica.

Tabla 5.10: Análisis de sensibilidad de $\lambda_1 = \lambda_2$, tensión de los capacitores en estado estacionario

$\lambda_1 = \lambda_2$	rizado v_{C1} [V]	sesgo v_{C1} [V]	rizado v_{C2} [V]	sesgo v_{C2} [V]
0,005	0,3459	$-0,0415$	0,2992	$0,0173$
0,05	0,3367	$-0,0407$	0,3084	$-0,0244$
0,5	0,3192	$0,0140$	0,3089	$-0,0049$
1	**0,3297**	**0,0098**	**0,3271**	**-0,0005**
5	0,3191	$0,0072$	0,3024	$0,0015$
10	0,3114	$0,0065$	0,3045	$0,0005$
50	0,3389	$0,0067$	0,3391	$0,0190$
100	0,3706	$0,0093$	0,3546	$0,0281$

Tabla 5.11: Análisis de sensibilidad de $\lambda_1 = \lambda_2$, corriente en estado estacionario

$\lambda_1 = \lambda_2$	$e_{i,RMS}$ [A]	THD_i [%]	WTHD_i [%]
0,005	0,0757	2,7338	0,1451
0,05	0,0763	2,7144	0,0961
0,5	0,0746	2,7346	0,1062
1	**0,0761**	**2,7129**	**0,0984**
5	0,0794	2,7511	0,1217
10	0,0912	2,8923	0,0749
50	0,2230	4,2710	0,2468
100	0,4046	4,9667	0,3068

El rizado de tensión se mantiene acotado y sin una tendencia clara para todo el análisis, entre $0,31$ V y $0,37$ V, sin la caída marcada que sí se observó en el análisis de sensibilidad de λ_d. Esto es esperable, el rizado está determinado principalmente por la frecuencia de conmutación fija de la modulación PS-PWM, que no depende de λ_1 ni λ_2. El sesgo se mantiene pequeño para $\lambda_1 = \lambda_2 \geq 0,5$, bajo $0,03$ V en valor absoluto, sin un desbalance sistemático relevante.

El error de corriente y el THD_i sí muestran una tendencia clara, y en dirección opuesta a la observada para λ_d. Para $\lambda_1 = \lambda_2 \leq 10$, $e_{i,RMS}$ se mantiene bajo, entre $0,075$ A y $0,091$ A, y el THD_i entre $2,71\,\%$ y $2,89\,\%$. Para $\lambda_1 = \lambda_2 = 50$ y 100, ambos indicadores empeoran de forma marcada, $e_{i,RMS}$ sube a $0,223$ A y $0,405$ A, y el THD_i a $4,27\,\%$ y $4,97\,\%$. Esto es consistente con la estructura de la matriz $\boldsymbol{Q}$, el peso de la corriente permanece fijo en 1 mientras λ_1 y λ_2 crecen sin límite, así que en algún punto el controlador empieza a sacrificar el seguimiento de corriente en favor de la corrección de tensión, aun cuando esta última ya no tiene margen real de mejora, como muestra el rizado de tensión prácticamente constante en toda la tabla.

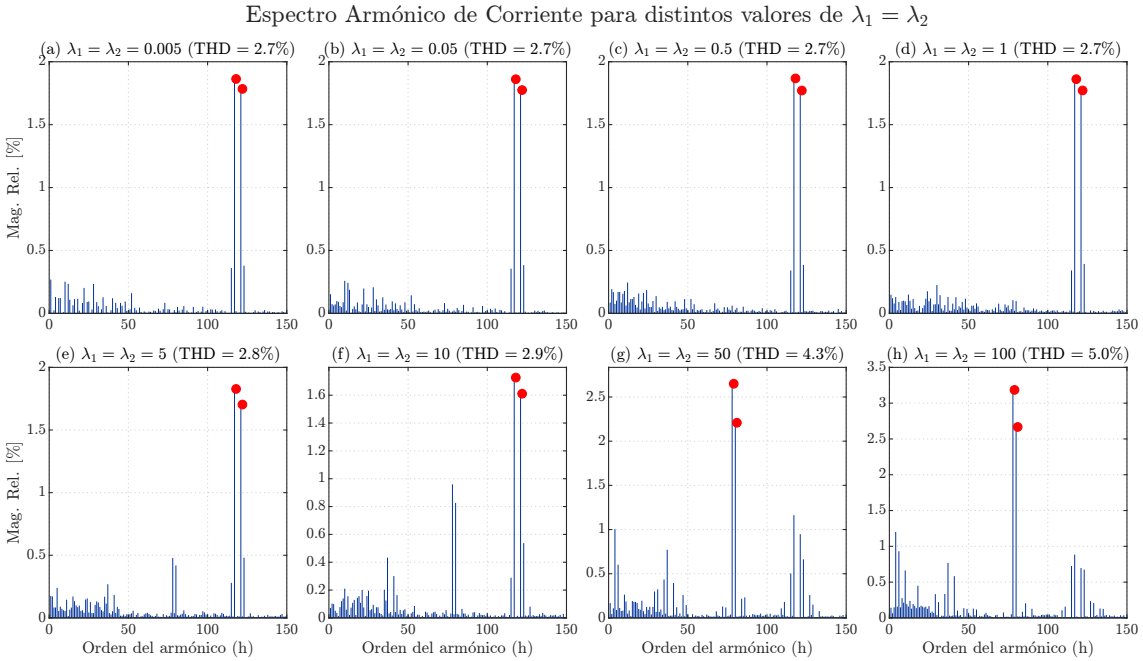


Figura 5.8: Espectro armónico de la corriente i_a en estado estacionario, ocho casos de $\lambda_1 = \lambda_2$, con los dos armónicos dominantes marcados en rojo

La Figura 5.8 muestra el origen de este deterioro. Para $\lambda_1 = \lambda_2 \leq 10$, los armónicos dominantes se ubican en los órdenes 118 y 122, en torno a la frecuencia equivalente de conmutación, con magnitudes acotadas bajo el $1,85\,\%$, igual que en el análisis de sensibilidad de λ_d. Para $\lambda_1 = \lambda_2 = 50$ y 100, en cambio, el armónico dominante se desplaza al orden cercano a 80, con una magnitud notoriamente mayor, cercana al $2,7\,\%$ y al $3,2\,\%$ respectivamente. Este corrimiento no se observa en ningún caso del análisis de sensibilidad de λ_d, por lo que corresponde a un efecto propio de λ_1 y λ_2 crecidos en exceso.

Tabla 5.12: Análisis de sensibilidad de $\lambda_1 = \lambda_2$, esfuerzo de control y asimetría entre celdas

$\lambda_1 = \lambda_2$	Δd_1	Δd_2	Δd_3	$\Delta d_1 : \Delta d_2 : \Delta d_3$	e_d RMS
0,005	$8,76 \times 10^{-5}$	$8,86 \times 10^{-5}$	$8,91 \times 10^{-5}$	$1 : 1,01 : 1,02$	0,00495
0,05	$8,74 \times 10^{-5}$	$8,81 \times 10^{-5}$	$8,92 \times 10^{-5}$	$1 : 1,01 : 1,02$	0,00491
0,5	$9,06 \times 10^{-5}$	$1,44 \times 10^{-4}$	$1,15 \times 10^{-4}$	$1 : 1,59 : 1,27$	0,00681
1	$1,09 \times 10^{-4}$	$3,10 \times 10^{-4}$	$1,98 \times 10^{-4}$	$1 : 2,84 : 1,81$	**0,01030**
5	$3,36 \times 10^{-4}$	$3,59 \times 10^{-3}$	$3,38 \times 10^{-3}$	$1 : 10,67 : 10,04$	0,03883
10	$5,92 \times 10^{-4}$	$7,50 \times 10^{-3}$	$1,24 \times 10^{-2}$	$1 : 12,68 : 21,04$	0,06412
50	$1,33 \times 10^{-3}$	$1,68 \times 10^{-2}$	$7,09 \times 10^{-2}$	$1 : 12,63 : 53,18$	0,13287
100	$1,42 \times 10^{-3}$	$2,20 \times 10^{-2}$	$9,27 \times 10^{-2}$	$1 : 15,53 : 65,34$	0,15931

El esfuerzo de variación del ciclo de trabajo crece de forma monótona con $\lambda_1 = \lambda_2$, en la dirección opuesta a lo observado para λ_d. Mientras que en λ_d un valor mayor reducía Δd al aproximar el sistema a lazo abierto, acá un $\lambda_1 = \lambda_2$ mayor exige al ciclo de trabajo correcciones cada vez más bruscas para mantener el error de tensión pequeño, lo que se traduce en un Δd que crece varios órdenes de magnitud entre los extremos del análisis. El e_d RMS sigue la misma tendencia, de $0,00495$ en $\lambda_1 = \lambda_2 = 0,005$ a $0,15931$ en $\lambda_1 = \lambda_2 = 100$, el ciclo de trabajo se aleja cada vez más de su referencia teórica de lazo

abierto.

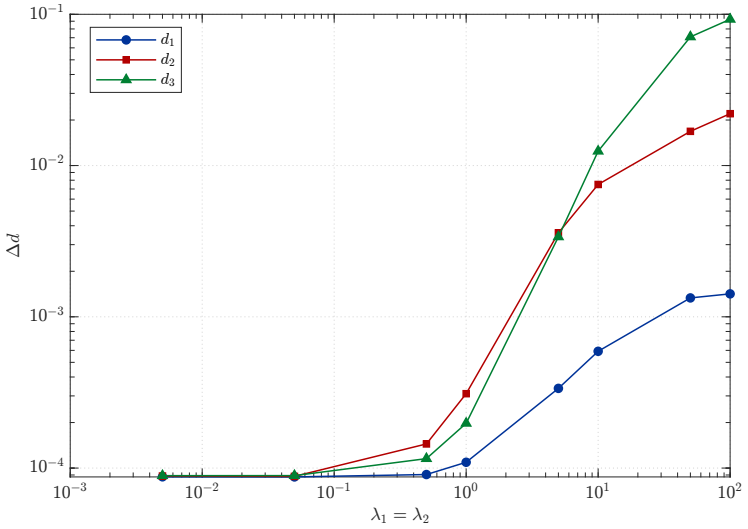


Figura 5.9: Esfuerzo de variación del ciclo de trabajo Δd en función de $\lambda_1 = \lambda_2$, por celda, escala log-log

La asimetría entre celdas también cambia de orden a medida que $\lambda_1 = \lambda_2$ aumenta, aunque no de forma monótona en los extremos. Para $\lambda_1 = \lambda_2 = 0,005$ y $0,05$, la celda 3 concentra un esfuerzo marginalmente mayor que la celda 2 ($\Delta d_3 : \Delta d_1 = 1,02$ frente a $\Delta d_2 : \Delta d_1 = 1,01$ en ambos casos). Para $\lambda_1 = \lambda_2$ entre $0,5$ y 5, el orden se invierte y es la celda 2 la que domina ($\Delta d_2 : \Delta d_1$ por sobre $\Delta d_3 : \Delta d_1$). A partir de $\lambda_1 = \lambda_2 = 10$, el orden se invierte nuevamente y vuelve a ser la celda 3 la que domina, alcanzando una razón de $65,34$ frente a $15,53$ de la celda 2 en $\lambda_1 = \lambda_2 = 100$. Esta alternancia es coherente con la asimetría estructural entre $\boldsymbol{B}_1$, $\boldsymbol{B}_2$ y $\boldsymbol{B}_3$ ya descrita en la Sección 4.2, la celda 3 incide únicamente sobre v_{C2}, ponderado por λ_2, mientras que la celda 2 incide simultáneamente sobre v_{C1} y v_{C2}, por lo que su peso relativo dentro de la solución óptima se modifica de forma distinta a medida que λ_1 y λ_2 crecen en conjunto.

5.3.3.d. Caso óptimo ($\lambda_1 = \lambda_2 = 1$)

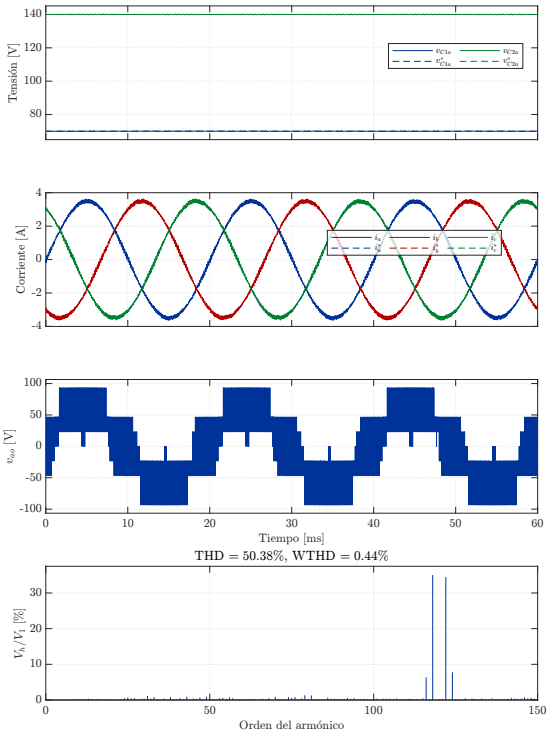
Considerando en conjunto los resultados de esta sección, $\lambda_1 = \lambda_2 = 1$ se adopta como el valor que mejor equilibra los distintos criterios evaluados, manteniendo $\lambda_d = 5$ fijo en el valor determinado en la Sección 5.3.2.d.

En cuanto a rapidez, $\lambda_1 = \lambda_2 = 1$ alcanza el menor t_{estab} de todo el análisis tanto en v_{C1} como en v_{C2} durante el arranque, y su tiempo de establecimiento ante el escalón se mantiene dentro del grupo rápido, sin el atraso ni el sobrepaso que sí aparecen en $\lambda_1 = \lambda_2 \geq 50$. En cuanto a calidad de la corriente, se ubica dentro del rango donde $e_{i,RMS}$ y THD_i permanecen bajos y estables ($\lambda_1 = \lambda_2 \leq 10$), lejos del deterioro marcado que hay con $\lambda_1 = \lambda_2 = 50$ y 100. En cuanto a esfuerzo de control, su Δd y su asimetría entre celdas ya son notoriamente mayores que en $\lambda_1 = \lambda_2 \leq 0,5$, pero siguen siendo varios órdenes de magnitud menores que los de $\lambda_1 = \lambda_2 \geq 5$, donde ese esfuerzo crece de forma desproporcionada sin una mejora correspondiente en el rizado de tensión, que se mantiene prácticamente constante en todo el análisis.

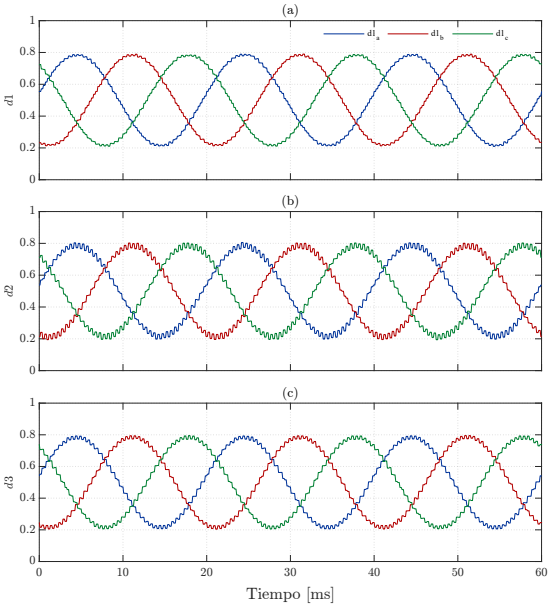
Por lo tanto, $\lambda_1 = \lambda_2 = 1$ corresponde al valor donde el sistema ya corrige el desbalance de tensión con la rapidez máxima observada, sin sacrificar todavía la fidelidad de la corriente ni exigir un esfuerzo de conmutación desproporcionado, y se adopta como valor de referencia para el resto de este trabajo.

5.4. Caso óptimo

Considerando los resultados de las Secciones 5.3.2.d y 5.3.3.d, la sintonización óptima para el resto de este trabajo corresponde a $\lambda_d = 5$, $\lambda_1 = \lambda_2 = 1$. El comportamiento dinámico de este caso durante el arranque y ante el escalón de referencia ya fue caracterizado en detalle en dichas secciones, junto con el resto de los ocho casos de cada análisis de sensibilidad. A continuación se presenta su comportamiento en estado estacionario.



(a) Tensiones de los capacitores flotantes, corrientes de fase y tensión v_{ao} con su espectro



(b) Ciclos de trabajo d_1, d_2 y d_3 de las tres fases

Figura 5.10: Control PS-MPC en el caso óptimo en estado estacionario

Como se observa en la Figura 5.10a, las tensiones de los capacitores flotantes se mantienen prácticamente constantes en torno a sus referencias, $V_{DC}/3$ y $2V_{DC}/3$, consistente con el rizado reportado en la Tabla 5.5 para $\lambda_d = 5$. Las corrientes de fase siguen sus referencias sinusoidales de forma limpia, sin distorsión apreciable a simple vista, coherente con el THD_i de $2,71\,\%$ reportado en la misma tabla. La tensión en la carga v_{ao} muestra un patrón escalonado de múltiples niveles (con escalones discretos en torno a 0 V, $\pm 46,7$ V y $\pm 93,3$ V), resultado del acoplamiento trifásico de la carga en estrella balanceada con neutro levantado. Aunque cada fase del convertidor *Flying Capacitor* de tres celdas sintetiza 4 niveles discretos de tensión respecto al neutro del DC-link (v_{in}), la tensión que efectivamente recibe la carga se obtiene al restar la tensión del neutro flotante (v_{on}), según

$v_{io} = v_{in} - v_{on}$. Dado que $v_{on} = \frac{1}{3}(v_{an} + v_{bn} + v_{cn})$, las combinaciones de conmutación interconectadas entre las tres fases desfasadas 120° generan estos escalones adicionales sobre la carga. Su espectro armónico confirma un THD_v de $50,38\,\%$ y un WTHD_v de $0,44\,\%$, con la energía armónica concentrada en los órdenes 118 y 122, en torno al orden 120, correspondiente a la frecuencia equivalente de conmutación del convertidor (6 kHz).

La Figura 5.10b muestra que cada celda oscila alrededor de su propia referencia de estado estacionario, $d_i^*(t) = \hat{m}\cos(\omega t + \gamma_i) + 0,5$, desfasada 120 entre fases, tal como exige la condición de balance establecida en la Sección 4.3. Sobre esta envolvente suave se observan pequeñas variaciones muestra a muestra, que son justamente lo que cuantifica el esfuerzo de variación del ciclo de trabajo, Δd_j, definido en la Sección 5.2. Estas variaciones reflejan que el controlador sigue ajustando el ciclo de trabajo de forma activa en cada actualización de celda, en vez de simplemente aplicar la referencia teórica de forma pasiva, consistente con el e_d RMS de $0,0103$ reportado para este caso en la Tabla 5.7.

5.5. Análisis de sensibilidad bajo anulación de pesos de ponderación

Con el fin de examinar bajo simulación la estabilidad y respuesta del controlador ante la anulación de los términos de penalización en la función de costo, se evalúan dos casos límite con $\lambda_d = 0$. Este análisis valida en simulación las deducciones analíticas sobre la matriz de sensibilidad $\boldsymbol{B}_j$ y la pérdida de rango abordadas en la Sección 4.4.3.

5.5.1. Singularidad estructural en el arranque ($\lambda_d = 0$)

Para evaluar la necesidad del término de regularización durante el arranque, se simuló el proceso con la condición de reposo estricta ($v_{c1i} = v_{c2i} = 0$ V e $i_i = 0$ A) fijando $\lambda_d = 0$, bajo dos configuraciones de ponderación de capacitores flotantes: $\lambda_1 = \lambda_2 = 0$ y $\lambda_1 = \lambda_2 = 1$.

En ambos escenarios, los ciclos de trabajo se inicializan por defecto en 0,5 durante las primeras dos muestras ($k = 1$ y $k = 2$) para precargar el modulador y sincronizar la ejecución. Sin embargo, en el paso de muestreo $k = 3$ ($t = 3h = 0{,}25$ ms), al ejecutarse por primera vez el algoritmo de optimización analítico $\boldsymbol{d}_j^{opt}(k+1) = -\boldsymbol{W}_j^{-1}(k+1)\boldsymbol{F}_j(k+1)$, el sistema colapsa de forma idéntica en ambos casos.

La razón algebraica de este colapso radica en que, en el instante inicial, la ausencia de corriente anula las primeras tres filas de las matrices de sensibilidad ($\boldsymbol{B}_1 = \boldsymbol{B}_2 = \boldsymbol{0}$ y $\text{rango}(\boldsymbol{B}_3) = 2$). Dado que el peso de los capacitores (λ_1, λ_2) actúa sobre bloques de matriz que dependen de la corriente estimada $i_i(k+1)$, la matriz $\boldsymbol{B}_j^T\boldsymbol{Q}\boldsymbol{B}_j$ resulta ser estrictamente nula o singular en la primera muestra de optimización, **incluso si $\lambda_1 = \lambda_2 = 1$**.

Al intentar calcular $\boldsymbol{W}_j^{-1}(k+1)$ sin el término de regularización $\boldsymbol{\lambda_d}$, el programa incurre en una división por cero que genera una indeterminación numérica inmediata (NaN), la cual se propaga a lo largo de las 2399 muestras restantes de la simulación. Este resultado confirma que la condición $\lambda_d > 0$ es una exigencia estructural indispensable para garantizar la invertibilidad de la matriz $\boldsymbol{W}_j(k+1)$ y la estabilidad numérica durante el arranque.

5.5.2. Respuesta ante escalón en régimen permanente con capacitores cargados

Para aislar el problema de la pérdida de rango en el arranque, se evalúa la respuesta ante un escalón en la amplitud de la corriente de referencia de 2 A a 3,5 A en $t = 100$ ms, partiendo con los capacitores flotantes previamente cargados y balanceados en sus valores nominales ($V^*_{c1a} = 70$ V y $V^*_{c2a} = 140$ V). Bajo esta condición, la presencia de corriente restituye el rango completo (rango$(\boldsymbol{B}_j) = 3$) en todas las celdas.

Caso 1: $\lambda_d = 0$, $\lambda_1 = \lambda_2 = 1$ En este escenario, dado que los capacitores están balanceados y sus ponderaciones permanecen activas ($\lambda_{1,2} > 0$), la matriz $\boldsymbol{W}_j$ es estrictamente definida positiva e invertible incluso con $\lambda_d = 0$.

Como se observa en la Figura 5.11, el controlador logra seguir las corrientes de cada fase y responder dinámicamente al escalón en $t = 100$ ms, manteniendo las tensiones flotantes v_{c1a} y v_{c2a} reguladas en 70 V y 140 V, respectivamente. Sin embargo, al anular la penalización del esfuerzo de control, la acción adopta un comportamiento agresivo de tipo *deadbeat*. Esto se evidencia en la Figura 5.12, donde los ciclos de trabajo d_{1i}, d_{2i}, d_{3i} exhiben una conmutación severamente ruidosa que abarca toda la banda $[0, 1]$, lo que incrementa el error RMS de seguimiento a $e_{i,\mathrm{RMS}} = 0{,}1986$ A y degrada la calidad armónica en régimen estacionario posterior al escalón, alcanzando una distorsión de $\mathrm{THD}_i = 5{,}16\,\%$ y $\mathrm{WTHD}_i = 0{,}18\,\%$.

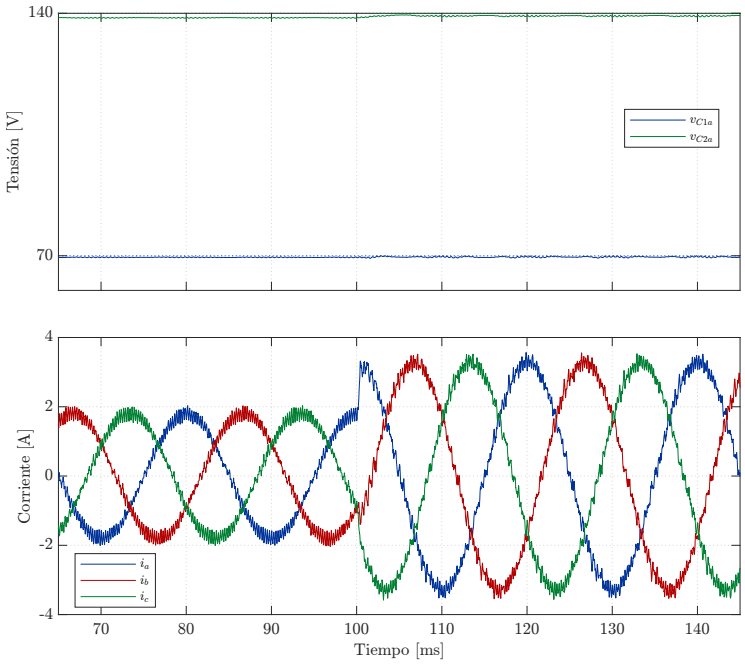


Figura 5.11: Respuesta transitoria ante escalón de referencia (2 A $\rightarrow$ 3,5 A) para $\lambda_d = 0, \lambda_1 = \lambda_2 = 1$: tensiones flotantes v_{C1a}, v_{C2a} [V] y corrientes de fase i_a, i_b, i_c [A].

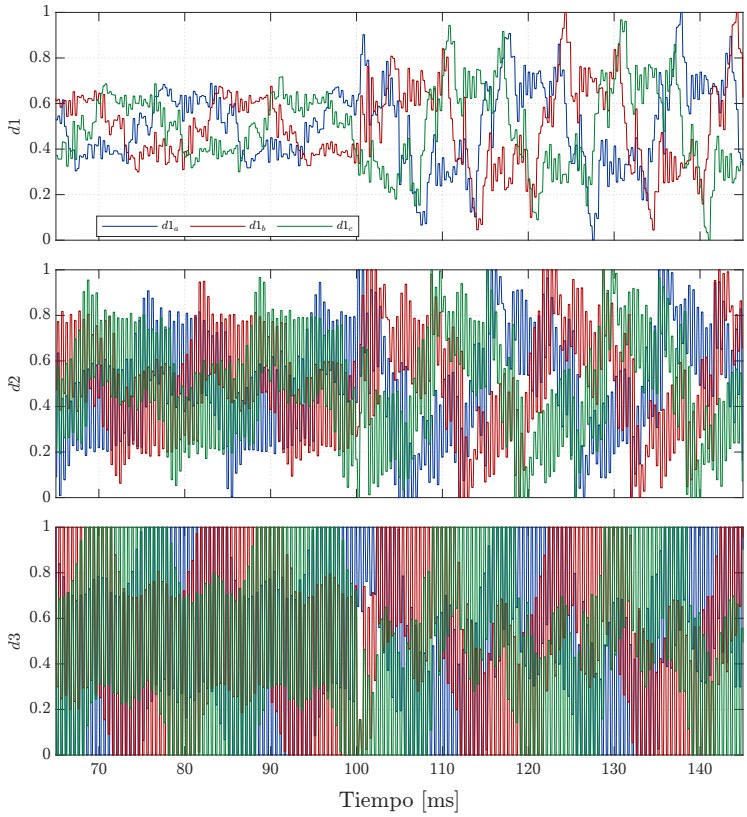


Figura 5.12: Ciclos de trabajo d_1, d_2, d_3 por celda y fase durante el ensayo de escalón para $\lambda_d = 0, \lambda_1 = \lambda_2 = 1$.

La Tabla 5.13 resume los parámetros medidos en estado estacionario para el Caso 1 ($\lambda_d = 0, \lambda_1 = \lambda_2 = 1$) y los compara con el caso de diseño óptimo del controlador ($\lambda_d = 5, \lambda_1 = \lambda_2 = 1$).

Tabla 5.13: Comparación de desempeño en estado estacionario entre el caso límite $\lambda_d = 0$ ($\lambda_1 = \lambda_2 = 1$) y el caso óptimo ($\lambda_d = 5$, $\lambda_1 = \lambda_2 = 1$).

(a) Métricas de las tensiones en los capacitores flotantes

Configuración	Rizado v_{C1} [V]	Sesgo v_{C1} [V]	Rizado v_{C2} [V]	Sesgo v_{C2} [V]
$\lambda_d = 0$ (Caso límite)	0,6887	0,3500	0,4990	0,7586
$\lambda_d = 5$ (Caso óptimo)	0,3297	0,0098	0,3271	$-0,0005$

(b) Métricas de corriente

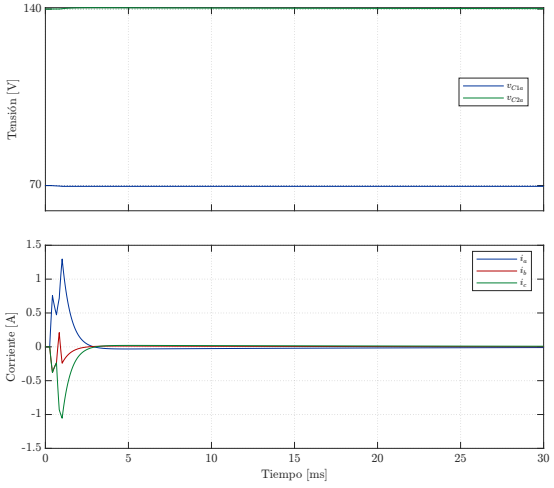
Configuración	$e_{i,\mathrm{RMS}}$ [A]	THD_i [%]	WTHD_i [%]
$\lambda_d = 0$ (Caso límite)	0,1986	5,16	0,18
$\lambda_d = 5$ (Caso óptimo)	0,0761	2,71	0,09

Como se evidencia en las métricas de la Tabla 5.13, anular λ_d incrementa el error eficaz de la corriente de 0,0761 A a 0,1986 A (un aumento de más del 160 %) y degrada la distorsión armónica (THD_i) de un 2,71 % a un 5,16 %, confirmando que el parámetro de regularización no solo previene singularidades numéricas durante el arranque, sino que resulta fundamental para regular el ancho de banda y la calidad de la señal en estado estacionario.

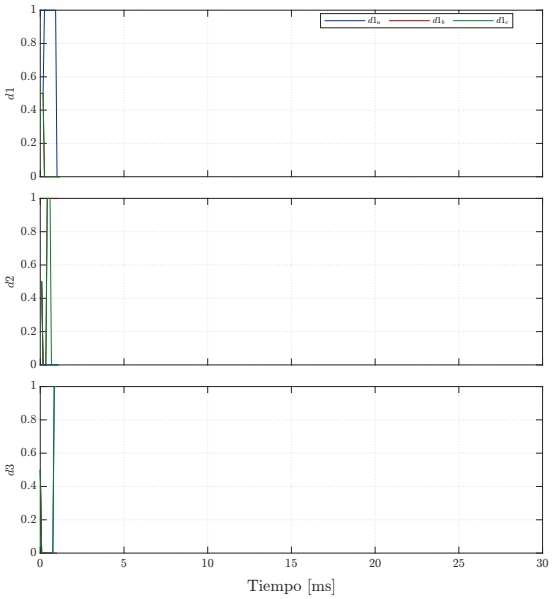
Caso 2: $\lambda_d = 0$, $\lambda_1 = \lambda_2 = 0$ En este segundo caso, con los capacitores previamente cargados pero anulando simultáneamente las ponderaciones de los capacitores y del esfuerzo de control, la matriz $\boldsymbol{Q} = \mathrm{diag}(0,0,0,0,0,0,1,1,1)$ pierde el acoplamiento con los estados de tensión internos.

Como se muestra en la Figura 5.13b, durante el primer milisegundo ($t < 1$ ms) el optimizador satura los ciclos de trabajo violentamente al límite superior 1,0 para intentar corregir el error de corriente inicial. Esta saturación genera un pico transitorio inicial de corriente que alcanza 1,30 A en la fase a, como se aprecia en el panel inferior de la Figura 5.13a. Sin embargo, a partir de $t = 1$ ms, los ciclos de trabajo de todas las celdas colapsan a cero ($\Delta d_1 = \Delta d_2 = \Delta d_3 = 0$), desalineando por completo la modulación secuencial entre celdas.

Al terminar la conmutación activa, las celdas dejan de transferir energía con la carga RL, provocando que la corriente colapse y caiga a cero en las tres fases para todo $t > 3$ ms, perdiendo toda respuesta ante el escalón de $t = 100$ ms. Como se valida en el panel superior de la Figura 5.13a, las tensiones de los capacitores flotantes v_{c1a} y v_{c2a} permanecen congeladas e inalteradas en sus valores de carga inicial (70 V y 140 V), confirmando que el convertidor no sufre descarga, sino la pérdida total de la capacidad de síntesis de tensión hacia la carga.



(a) Tensiones flotantes v_{C1a}, v_{C2a} y corrientes de fase



(b) Evolución de los ciclos de trabajo d_1, d_2, d_3

Figura 5.13: Respuesta ante escalón para $\lambda_d = 0, \lambda_1 = \lambda_2 = 0$: congelamiento de tensiones flotantes, colapso de corrientes y ciclos de trabajo a cero.

Capítulo 6

Implementación del FCC

Este capítulo describe la plataforma experimental utilizada para validar el esquema de control PS-MPC desarrollado en los capítulos anteriores. Se presenta primero el hardware y los sensores empleados, en la Sección 6.1, y posteriormente el proceso de conexión, calibración y pruebas de funcionamiento del convertidor, en la Sección 6.2.

6.1. Plataforma experimental: hardware y sensores

La plataforma experimental está compuesta por el convertidor FCC trifásico de tres celdas por fase, conectado a una carga trifásica resistiva-inductiva (RL) con neutro levantado, junto con su sistema de control digital DSP+FPGA, los circuitos de disparo y de medición asociados a cada tarjeta de fase, y el DC-link que alimenta al convertidor.

6.1.1. Sistema de control digital: DSP y FPGA

La implementación experimental del esquema de control se realizó sobre una plataforma digital compuesta por cuatro tarjetas: una tarjeta basada en el Procesador Digital de Señales (DSP) TMS320C6713; una tarjeta de comunicación Host Processor Interface (HPI) apilada sobre esta, encargada de la interfaz entre el DSP y el computador para la puesta en marcha y adquisición de datos mediante MATLAB; una tarjeta basada en la Field Programmable Gate Array (FPGA) Spartan-6; y una tarjeta de interfaz de fibra óptica [12]. Esta última transmite las señales de disparo generadas por la FPGA mediante enlaces de fibra óptica hacia los módulos receptores ubicados en las tarjetas de cada celda. Dichos módulos convierten la señal óptica en una señal eléctrica y la entregan, a través del conector de señal de la tarjeta, a los gate drivers TLP351, los cuales acondicionan y aplican la tensión adecuada para excitar la compuerta del IGBT correspondiente.

La programación del código de control que se incorpora en la tarjeta DSP se genera mediante el programa Code Composer Studio v3.1. El DSP es el encargado de ejecutar el algoritmo de control PS-MPC, sin embargo, al estar orientado originalmente al procesamiento de audio, no cuenta con los periféricos necesarios para el control de convertidores de potencia, como conversores análogo-digitales (ADC) o moduladores PWM. Por esta razón, la FPGA se utiliza para implementar dichos periféricos, encargándose de la generación de las señales de disparo mediante moduladores PWM con inclusión del tiempo muerto, de

la gestión de los conversores análogo-digitales para la adquisición de las mediciones de tensión y corriente, y de la generación de las interrupciones hacia el DSP que sincronizan la ejecución del algoritmo de control con cada actualización de celda.

6.1.2. Componentes de potencia del sistema

El convertidor FCC trifásico utilizado corresponde a las placas de $\eta = 3$ celdas por fase disponibles en el LIAcE. La alimentación de potencia del convertidor se obtiene mediante un DC-link, cargado a través de un puente rectificador de diodos en configuración delta, alimentado a su vez desde la red mediante un variac, lo que permite regular de forma gradual y manual la tensión aplicada al convertidor durante las pruebas. La carga del convertidor corresponde a una carga trifásica resistiva-inductiva (RL) con neutro levantado. El montaje completo se muestra en la Figura 6.1.

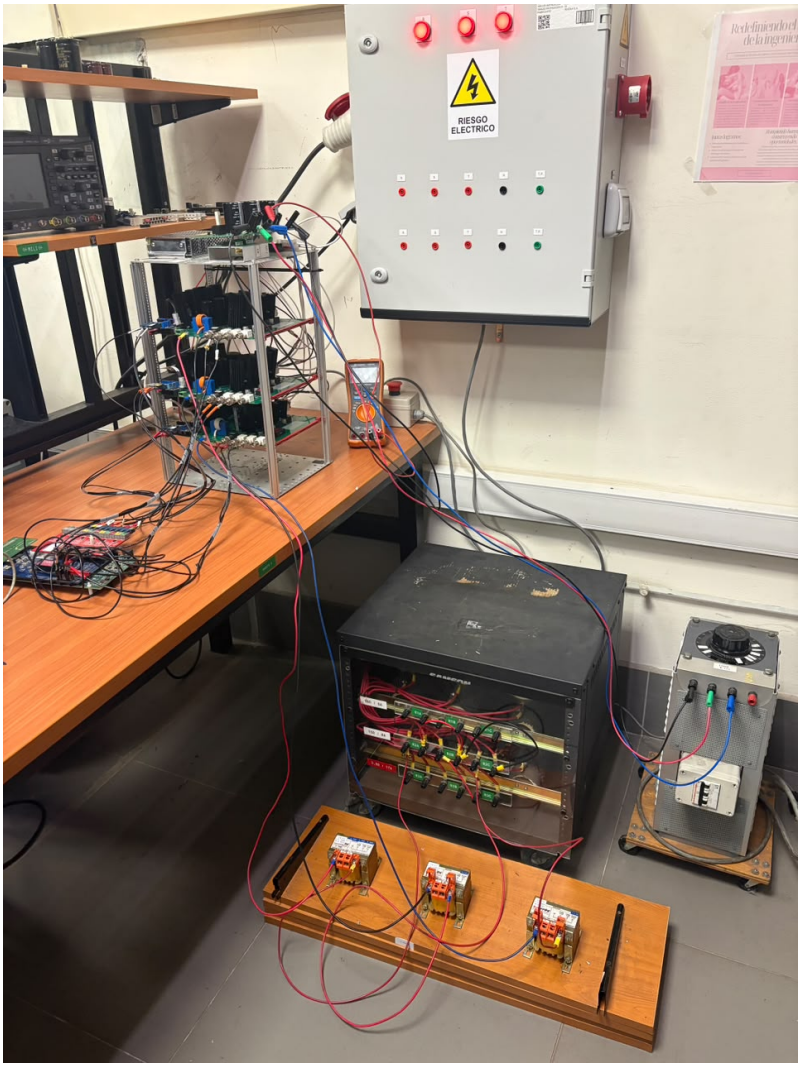


Figura 6.1: Montaje experimental completo del convertidor FCC trifásico.

En la Tabla 6.1 se resumen los valores nominales de los componentes de potencia del convertidor.

Tabla 6.1: Valores nominales de los componentes del sistema.

Componente	**Valor nominal**
Rectificador (hacia DC-link)	Puente de diodos GBPC3508W, configuración delta
Capacitores de filtro del rectificador	4×250 V, 1500 μF
Capacitores DC-link, fases A y B	2×(250 V, 1500 μF) en serie, $C_{eq} = 750$ μF
Capacitores DC-link, fase C	2×(350 V, 1000 μF) en serie, $C_{eq} = 500$ μF
Capacitores flotantes	160 V, 1500 μF
Resistencia de carga R	17 Ω
Inductancia de carga L	8,768 mH
IGBT, fases A y B	FGA40N60UFD
IGBT, fase C	IRG4PC30KD

Cabe destacar que en la fase C se utilizó un modelo de IGBT distinto (IRG4PC30KD) al de las fases A y B (FGA40N60) debido a la disponibilidad de componentes en el laboratorio. Al revisar las hojas de datos (*datasheets*), se observa que el IGBT de la fase C es más lento para apagar, tarda cerca de 240 ns en cortar la corriente, mientras que los de las fases A y B tardan solo 130 ns. Debido a que los IGBTs de la fase C se demoran casi el doble de tiempo en apagarse, esta fase requiere un tiempo muerto mayor para evitar que dos transistores de la misma rama conduzcan en simultáneo y provoquen un cortocircuito. Por otro lado, la capacitancia del DC-link de la fase C difiere de la utilizada en las fases A y B debido a la disponibilidad de componentes en el laboratorio LIAcE al momento del montaje de dicha fase, y no corresponde a una decisión de diseño.

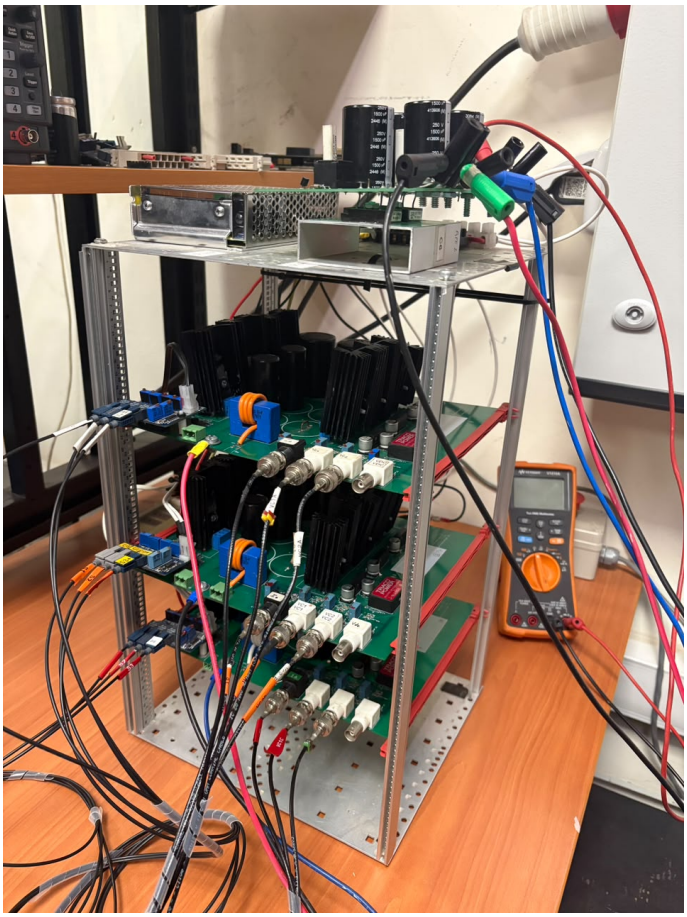
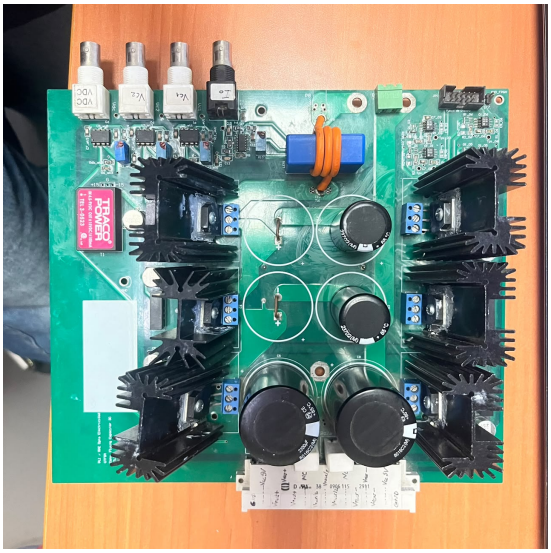
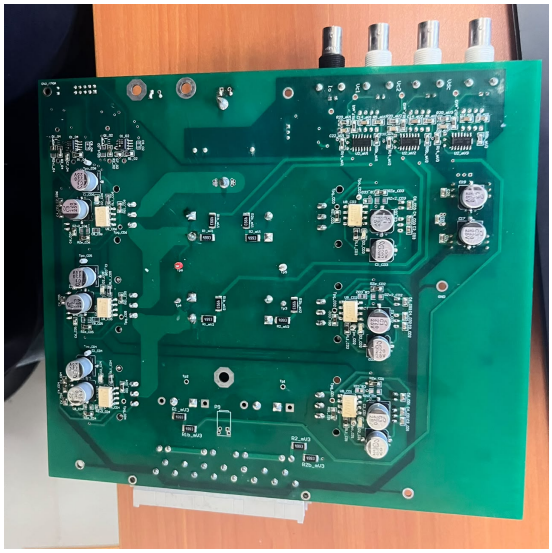


Figura 6.2: Flying Capacitor Converter de 3 celdas.



(a) Vista superior de una fase del convertidor.



(b) Vista inferior de una fase del convertidor.

Figura 6.3: Placa de una fase del convertidor.

En la Figura 6.2 se muestra el montaje experimental del convertidor Flying Capacitor

(FCC) trifásico de tres celdas por fase ($\eta = 3$), observándose en el nivel superior de la estructura la fuente de poder de 5 V junto con el módulo rectificador. Por otro lado, en la Figura 6.3 se muestran las vistas superior e inferior de la placa de circuito impreso (PCB) correspondiente a una de las fases del convertidor. En la vista superior (Figura 6.3a) se identifican los disipadores de calor de los IGBTs, los capacitores del bus DC y flotantes, la fuente DC/DC aislada Traco Power, el sensor de corriente LEM y los cuatro conectores BNC en el borde superior para la salida de las mediciones de tensión y corriente acondicionadas (V_{DC}, v_{C1}, v_{C2} e i_o). En la vista inferior (Figura 6.3b) se observan las pistas de potencia de cobre, los componentes de montaje superficial (SMD), la etapa de acondicionamiento analógico de señales y los *gate drivers* TLP351 integrados para la excitación de los IGBTs.

6.1.3. Transmisión de señales de disparo y distribución de alimentación

Las señales de disparo que genera la FPGA se transmiten hacia cada tarjeta mediante enlaces de fibra óptica para mantener aisladas la etapa de control y la de potencia. Al llegar a la tarjeta, los módulos receptores convierten estas señales de luz en señales eléctricas de tensión. Luego, estas señales entran al *gate driver* TLP351, el cual se encarga de adaptarlas en la tensión y corriente necesarias para cargar y descargar la compuerta (*gate*) del IGBT.

La alimentación lógica de 5 V de cada tarjeta proviene de una fuente externa WEHO S-50-5 (100-240 VAC a +5 V, 10 A). A partir de esta tensión de 5 V, la fuente DC/DC aislada Traco Power montada en la placa genera las tensiones aisladas de +15 V y –15 V. Estas tensiones de ±15 V son las que utiliza el TLP351 para entregar el pulso con la magnitud adecuada al *gate* del IGBT y garantizar su conmutación efectiva.

Cada tarjeta receptora de fibra óptica de fase incorpora seis potenciómetros, uno por cada uno de los seis interruptores de las tres celdas de esa fase, que permiten ajustar de forma individual el tiempo muerto entre los interruptores complementarios de cada celda. El procedimiento de ajuste y los valores finales configurados se presentan en la Sección 6.2.3, junto con el resto de las pruebas de puesta en marcha del convertidor.

La distribución de la tensión de 5 V y de las tensiones del DC-link hacia cada placa de fase se realiza mediante un conector dedicado. Sus terminales están identificadas en la placa con etiquetas, las utilizadas fueron `GND`, `Vcc 5V`, `Vcc+`, `Vcc-`, tal como se observa en la Figura 6.4.

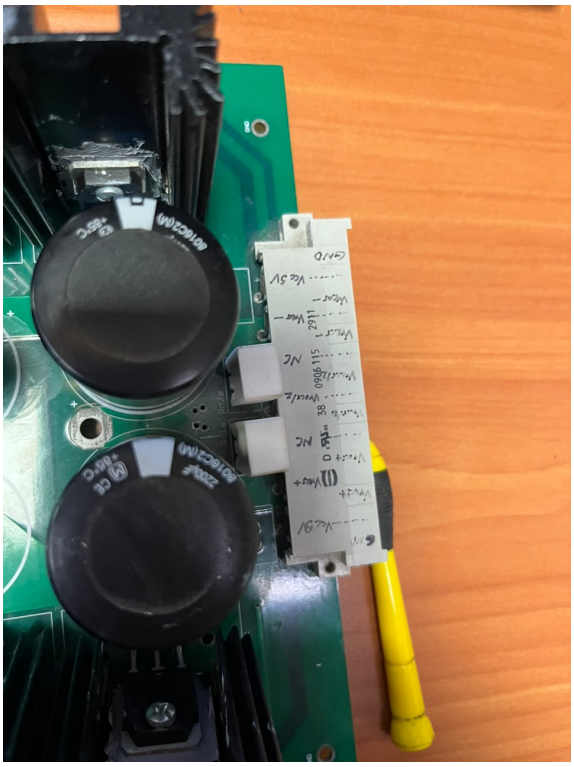


Figura 6.4: Conector de distribución de tensión lógica y de DC-link hacia cada tarjeta de fase.

Adicionalmente, la placa incorpora numerosos capacitores de desacoplo (220 μF, 25 V) distribuidos junto a los circutos integrados de las etapas de disparo y medición. Su función es actuar como una reserva de energía local para cada componente, filtrando las variaciones rápidas de tensión en la línea de alimentación que ocurren cuando un circuito integrado conmuta o consume corriente. Sin este capacitor cercano al componente, esas variaciones podrían propagarse por la línea de alimentación compartida y afectar a otros circuitos de la misma placa.

6.1.4. Circuitos de medición

Para la medición de las variables del sistema se utilizan sensores LEM y circuitos distintos según la variable medida.

- **Corriente de salida:** Sensor LEM LA 55-P, con razón de transformación N_P:N_S = 1:1000 entre el devanado primario y el secundario, y $N_{LEM} = 4$ vueltas del conductor primario a través del sensor, con el fin de multiplicar por N_{LEM} la corriente efectivamente percibida por el sensor y así medir con mejor resolución corrientes reales menores a su rango nominal. La señal del sensor se acondiciona mediante un circuito basado en el amplificador operacional cuádruple TL074C, que amplifica y filtra la señal de corriente antes de su digitalización.

  Con el fin de minimizar el ruido en las mediciones y mantener condiciones equivalentes entre las tres fases, se utilizó la misma razón de transformación en los tres sensores de corriente.

- **Tensión de los capacitores flotantes (v_{C1}, v_{C2}):** Circuito de medición diferencial, compuesto por un divisor resistivo de atenuación a la entrada, formado en cada línea por dos resistencias en serie y una resistencia inferior hacia la tierra de medición, seguido de un amplificador de instrumentación INA121P, configurado con ganancia unitaria, y una etapa de salida con un filtro pasabajo activo basado en el amplificador operacional TL074C, descrita en la Sección 6.2.4.

  Los circuitos de medición incluyen además un potenciómetro para el ajuste de *offset* de la etapa de salida, cuya función es corregir las desviaciones de cero de la señal medida. No obstante, el *offset* de cada canal se compensa finalmente por software: al iniciar el programa, el DSP promedia un conjunto de muestras de cada canal y resta dicho valor a las lecturas posteriores (Apéndice B).

6.2. Conexión y pruebas de funcionamiento del convertidor

En esta sección se describen la conexión del convertidor y los procedimientos de puesta en marcha del sistema experimental. Inicialmente, se detalla la instrumentación de laboratorio utilizada para las mediciones y la detección de fallas en los componentes de la plataforma. A continuación, se presenta la configuración del tiempo muerto para los disparos de las celdas, el diseño del filtro pasabajo de acondicionamiento y el procedimiento de calibración de las señales de medición. Finalmente, se exponen los protocolos de seguridad implementados mediante pruebas progresivas en lazo abierto, abarcando desde ensayos monofásicos en baja tensión hasta la operación trifásica a plena tensión.

6.2.1. Instrumentación de laboratorio

Para las mediciones y pruebas descritas en este capítulo se utilizaron los siguientes instrumentos:

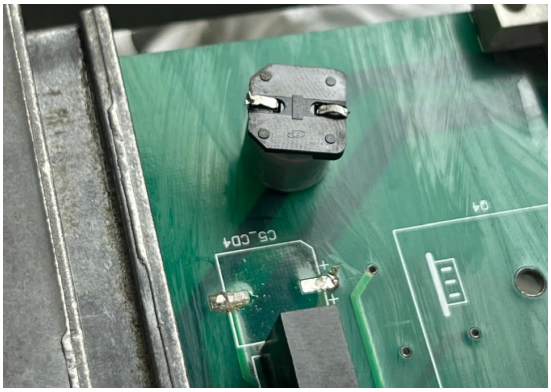
- Osciloscopio
- Multímetro
- Medidor RLC
- Punta de corriente
- Puntas de tensión

6.2.2. Montaje y reemplazo de componentes fallados

Durante el montaje del sistema se identificaron y corrigieron diversas fallas de hardware. En primer lugar, la tarjeta DSP inicialmente utilizada resultó estar dañada, sin establecer comunicación con el computador, por lo que fue reemplazada por una segunda unidad. Se detectó además que algunos conversores análogo-digitales de una tarjeta FPGA distinta a la finalmente utilizada se encontraban defectuosos, saturando su lectura en el valor máximo de cuenta de forma persistente. Dos conectores de alimentación resultaron estar fallados, lo que se identificó porque la tensión de 5 V no llegaba correctamente a los gate drivers de los IGBT correspondientes. Asimismo, se detectó una inductancia de carga

dañada, de valor mayor al de diseño, evidenciada porque la corriente medida no coincidía con el valor esperado según el ciclo de trabajo aplicado, la cual fue reemplazada por una nueva inductancia de $8,768$ mH.

En cuanto al cableado, se fabricaron cables de medición con conectores Dupont hembra, cables con conectores tipo banana, terminales de ojo para las conexiones de potencia, cables con conectores tipo caimán y cables con terminales tipo aguja, algunos de los cuales se ilustran en la Figura 6.6. Adicionalmente, fue necesario resoldar la mayoría de los capacitores de desacoplo de las placas, tanto en la cara superior como en la inferior, ya que varios se encontraban sueltos o ausentes (Figura 6.5a), al igual que algunos capacitores electrolíticos de mayor tamaño. Asimismo, se aplicó pasta térmica a todos los IGBTs para asegurar una adecuada transferencia de calor hacia sus respectivos disipadores, como se observa en la Figura 6.5b.



(a) Reemplazo y soldadura de capacitores



(b) Aplicación de pasta térmica en los IGBTs

Figura 6.5: Mantenimiento y reparación de componentes en la tarjeta de potencia.

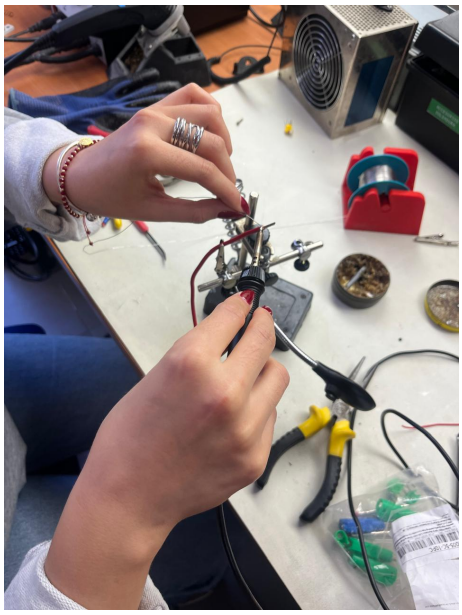


Figura 6.6: Fabricación manual de cables de conexión y medición para la plataforma experimental.

6.2.3. Ajuste de tiempo muerto

El tiempo muerto es un intervalo de tiempo en el cual ambos interruptores de una misma celda permanecen apagados al mismo tiempo. Esto se hace para evitar un cortocircuito en el DC-link por una conducción simultánea no deseada. Como se explicó en la Sección 6.1.3, cada fase tiene seis potenciómetros en su tarjeta receptora de fibra óptica, uno por cada interruptor. Esto permite ajustar el tiempo muerto de cada par complementario de forma individual.

Para fijar este valor se midieron directamente en el osciloscopio las señales de disparo del interruptor superior e inferior de cada celda. El tiempo muerto se definió desde el instante en que la señal que se apaga cae al 90 % de su valor hasta que la señal que se enciende alcanza el 10 % de su valor. El ajuste se realizó de forma manual girando el potenciómetro de cada interruptor con un destornillador de paleta mientras se observaban ambas señales en la pantalla del osciloscopio.

Siguiendo este procedimiento, se ajustó un tiempo muerto de $1,56\,\mu$s para las fases A y B. En la fase C no fue posible alcanzar este valor debido a una limitación física de la tarjeta receptora de esa fase, por lo que se configuró en su valor máximo alcanzable de $1,26\,\mu$s.

En la Sección 6.1.2 se mencionó que la fase C requiere mayor tiempo para cortar la corriente, pero el tiempo muerto de $1,26\,\mu$s ajustado en esa fase es más de 5 veces superior a los 240 ns del transistor. Del mismo modo, el tiempo muerto de $1,56\,\mu$s en las fases A y B supera ampliamente los 130 ns requeridos, garantizando en las tres fases un margen de seguridad suficiente para evitar la conducción simultánea. Cabe destacar que las tres fases podrían haberse igualado en 1,26 μs, lo que habría reducido la pérdida de tensión asociada al tiempo muerto en las fases A y B. En la operación del convertidor, esta ligera asimetría no generó distorsiones relevantes en las corrientes de salida ni afectó el desempeño del

control.

6.2.4. Filtro pasa bajos

El filtro pasabajo activo de la etapa de medición de tensión presenta una frecuencia de corte calculada según la Ecuación (2.9) en $f_{\text{corte}} = \dfrac{1}{2\pi RC} \approx 2,34$ kHz, utilizando resistencias de $R = 10$ kΩ y capacitores de $C = 6800$ pF.

Esta frecuencia de corte se seleccionó considerando dos criterios principales. En primer lugar, se buscó fijar la frecuencia de corte por debajo de la frecuencia de Nyquist del sistema ($f_{\text{Nyquist}} = 6$ kHz, dada la frecuencia de muestreo $f_{\text{muestreo}} = 12$ kHz) para asegurar que los armónicos de conmutación presentes en torno a $f_{\text{sw,eq}} = 6$ kHz lleguen atenuados a la entrada del ADC y no produzcan *aliasing*, de acuerdo con el principio descrito en la Sección 2.8. En segundo lugar, los valores de R y C elegidos correspondían a los componentes convenientes disponibles en el laboratorio.

6.2.5. Calibración

La adquisición de las señales de realimentación se realiza mediante dos conversores análogo-digitales AD7266 de Analog Devices (de 12 bits de resolución y tasa de conversión de hasta 2 MSPS), precedidos por un multiplexor de 3 canales. En total se emplean 9 canales, correspondientes a las tres corrientes de fase y a las seis tensiones de los capacitores flotantes (v_{c1} y v_{c2} de cada fase).

Antes de efectuar las pruebas de seguridad, fue necesario calibrar los circuitos de medición a tensión reducida, determinando la relación exacta entre las cuentas digitales del ADC y el valor físico real de cada variable.

La calibración se realizó de forma monofásica y en corriente continua, energizando una sola fase del convertidor a la vez mediante una fuente de tensión reducida y aplicando un ciclo de trabajo constante e idéntico en sus tres celdas ($d_1 = d_2 = d_3 = 0,7$), sin modulación senoidal. Esta condición produce una tensión continua sobre la carga RL y en los capacitores flotantes. En la Figura 6.7 se ilustra el esquema de simulación en PLECS del circuito monofásico utilizado para obtener los valores teóricos de referencia.

Dado que el código del DSP genera pulsos de disparo para las tres fases de forma simultánea, durante estos ensayos se modificó la rutina en MATLAB/DSP para procesar únicamente la fase bajo prueba (el código implementado en el DSP para este procedimiento se presenta en el Apéndice B).

Para cada fase se aplicaron nueve niveles de tensión en el bus DC, $V_{DC} \in \{12, 18, 24, 30, 33, 39, 45, 48, 51\}$ V. En cada punto de operación se tomaron $J = 400$ muestras consecutivas desde el DSP para calcular su valor promedio. Los valores esperados de referencia para cada tensión del DC-link se obtuvieron del modelo de simulación en PLECS.

Con los pares de datos obtenidos (promedio del ADC vs. valor de referencia), se ajustó una regresión lineal para cada una de las nueve señales del sistema. El factor de calibración programado en el algoritmo corresponde al inverso de la pendiente de dicha regresión, cuyos valores se resumen en la Tabla 6.2.

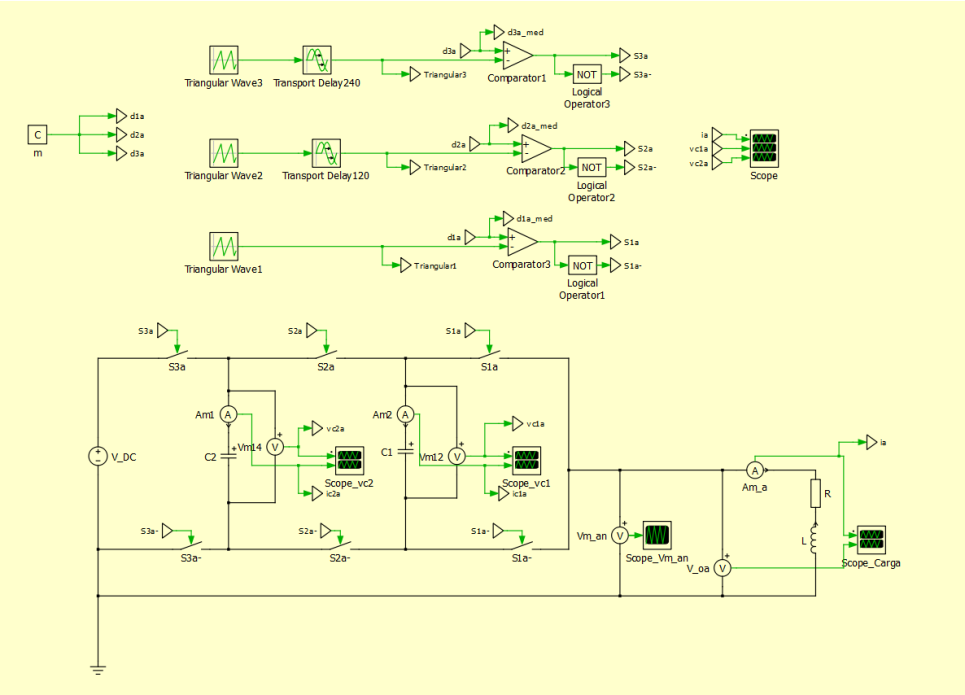


Figura 6.7: Esquema de simulación en PLECS del circuito monofásico en lazo abierto para la obtención de referencias de calibración ($d = 0,7$).

Tabla 6.2: Factores de calibración obtenidos para cada señal medida.

Fase	**Factor** v_{c1}	**Factor** v_{c2}	**Factor** i
A	0,040183	0,076911	0,006626
B	0,025630	0,048924	0,006757
C	0,055772	0,061054	0,007816

Como se observa en la Tabla 6.2, los factores de calibración de tensión difieren entre canales y entre fases. Esto se debe a que los circuitos de medición no son idénticos: en cada canal, el divisor de tensión de entrada está formado por dos resistencias de 499 kΩ en serie y una resistencia inferior hacia la tierra de medición. En las fases A y B, el valor de esta resistencia cambia según el canal, de modo que la señal llegue al conversor con un nivel similar: es de 47 kΩ en el canal de v_{C1} (70 V) y de 24,3 kΩ en el de v_{C2} (140 V), por lo que el divisor de v_{C2} atenúa aproximadamente el doble. Esto explica que, en ambas fases, el factor de v_{C2} sea cercano al doble del de v_{C1}. En la fase C, en cambio, la resistencia inferior es de 20 kΩ en ambos canales, lo que es consistente con que sus dos factores sean similares. Las diferencias entre fases se deben en parte a la diferencia de los valores de las resistencias en los circuitos de medición, y además se podrían considerar pequeñas diferencias, debido a que cada fase fue calibrada por separado, de modo que la precisión con que se leyó la tensión del DC-link en el multímetro pudo diferir de su valor teórico.

6.2.6. Seguridad

Antes de operar el convertidor con el esquema de control completo, se verificó el correcto funcionamiento e independencia de las protecciones de sobrecorriente y sobretensión en

cada una de las fases a tensión reducida. Una vez confirmada la respuesta de los disparos de seguridad, se operó el equipo en lazo abierto tanto de forma monofásica como trifásica, asegurando la síntesis adecuada de las señales a baja potencia antes de realizar la prueba de lazo abierto a la tensión nominal de operación ($V_{DC} = 210$ V), la cual se describe en la Sección 6.2.7.

Las protecciones implementadas en el DSP monitorean, en cada instante de muestreo, la corriente máxima y mínima entre las tres fases, así como la tensión máxima de v_{c1} y de v_{c2} entre las tres fases. Si alguna de estas variables supera un límite prefijado (I_M para la corriente, M_1 y M_2 para v_{c1} y v_{c2}, respectivamente) durante más de 5 muestras consecutivas, se activa la bandera de falla correspondiente (`tripi`, `tripv1` o `tripv2`) y se fuerza el apagado de los tres moduladores PWM (`PWMTRIP`), interrumpiendo la conducción de todos los interruptores del convertidor.

6.2.6.a. Pruebas de seguridad monofásicas

Las pruebas monofásicas se realizaron de manera individual para cada fase a una tensión reducida de $V_{DC} = 51$ V. En esta configuración, al energizar una sola fase sin las dos restantes que completan el retorno de corriente en operación normal, fue necesario instalar un conductor adicional entre el común del DC-link y el neutro de la carga para cerrar el circuito de corriente. Asimismo, para evitar disparos falsos debido a la inactividad de las dos fases no probadas, la lógica de protección se adaptó evaluando únicamente los umbrales absolutos de la fase en prueba, omitiendo la comparación del máximo y mínimo interfasial ($I_{\text{máx}} - I_{\text{mín}}$).

Esta etapa de pruebas se estructuró en dos fases consecutivas:

1. **Validación en corriente continua (DC):** Se operó el convertidor con un ciclo de trabajo constante de $d = 0,7$ en sus tres celdas para validar el comportamiento estático del hardware. La simulación monofásica en PLECS bajo esta condición predijo una corriente pico de $2,1$ A y tensiones en los capacitores flotantes de $v_{c1} = 17$ V y $v_{c2} = 34$ V. En el prototipo experimental se registró una corriente de $2,1$ A y tensiones de capacitor acordes a los valores teóricos ($V_{DC}/3$ y $2V_{DC}/3$), confirmando una respuesta estática sana y bien calibrada.

2. **Verificación de protecciones con referencia senoidal (AC):** Se utilizó una referencia senoidal en lazo abierto. Para verificar la activación controlada de cada protección, los límites M_1 y M_2 se fijaron en valores ligeramente inferiores a las tensiones esperadas (17 V y 34 V), mientras que el límite I_M se ajustó por debajo de la amplitud de la corriente alternada esperada. Mediante este procedimiento se confirmó la activación oportuna e independiente de las tres protecciones en cada una de las fases.

6.2.6.b. Pruebas de seguridad trifásicas

Una vez verificado el funcionamiento correcto de las protecciones en cada fase de forma individual, se retiró el conductor de retorno hacia el común del bus DC y se restableció la lógica de protección trifásica completa con evaluación interfasial.

Las tres fases se operaron de forma simultánea en lazo abierto utilizando la modulación Phase-Shifted PWM (PS-PWM), cuyo esquema de simulación en PLECS se muestra en la Figura 6.8. Durante este ensayo a tensión reducida se confirmó que el convertidor sintetiza corrientes trifásicas sinusoidales bien balanceadas y que las tensiones en los capacitores flotantes de cada fase se mantienen estables alrededor de sus valores teóricos de equilibrio ($V_{DC}/3$ y $2V_{DC}/3$). Finalmente, se repitió la reducción deliberada de los umbrales I_M, M_1 y M_2, verificando que las protecciones también se activan correctamente y bloquean los pulsos mediante `PWMTRIP` bajo la configuración trifásica completa.

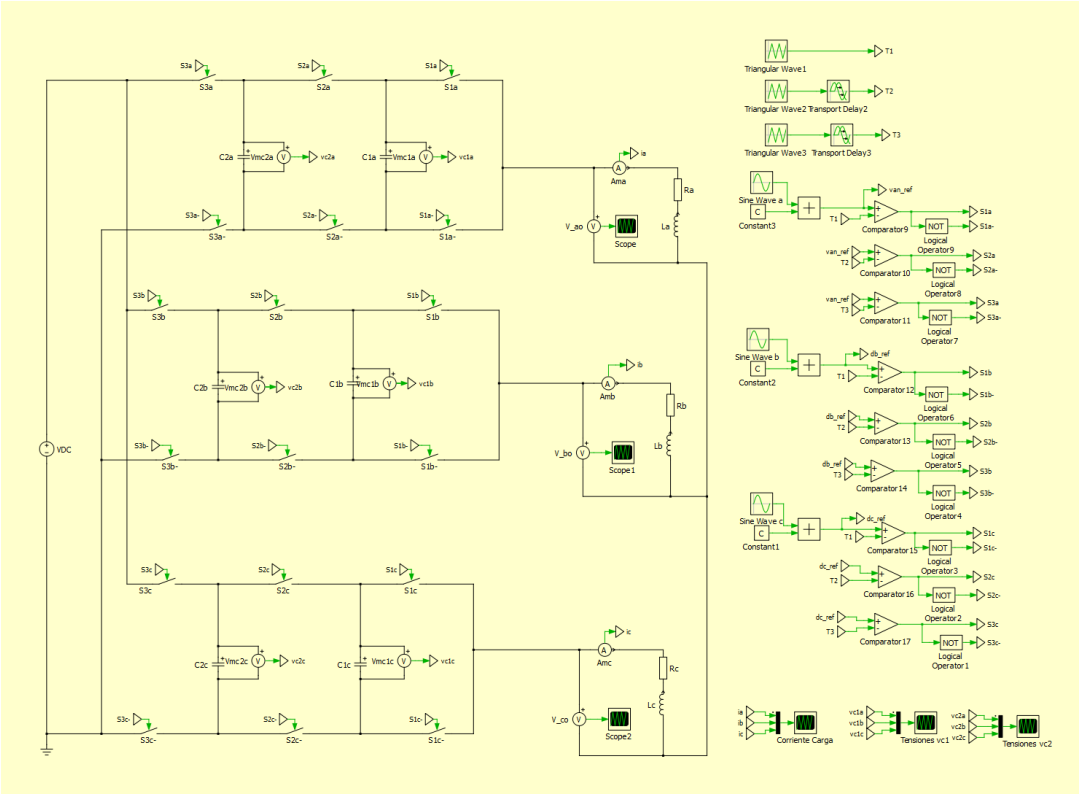


Figura 6.8: Esquema de simulación en PLECS del convertidor Flying Capacitor trifásico operando en lazo abierto con modulación PS-PWM.

6.2.7. Pruebas en lazo abierto

Con el fin de verificar el correcto funcionamiento del convertidor antes de operar con el esquema de control completo, se realizó una prueba en lazo abierto con una tensión de DC-link de $V_{DC} = 210$ V. El sistema se energizó de forma gradual mediante un variac y se aplicó un índice de modulación constante de $\hat{m} = 0,2870$, diseñado para alcanzar una amplitud de corriente de referencia de $\hat{\imath} = 3,5$ A. El código implementado en el DSP para esta prueba se presenta en el Apéndice C.

En la Figura 6.9 se presenta la tensión de los capacitores flotantes v_{C1} y v_{C2} para las tres fases del convertidor, y en la Figura 6.10 se presentan las corrientes trifásicas medidas junto a la referencia de la fase A.

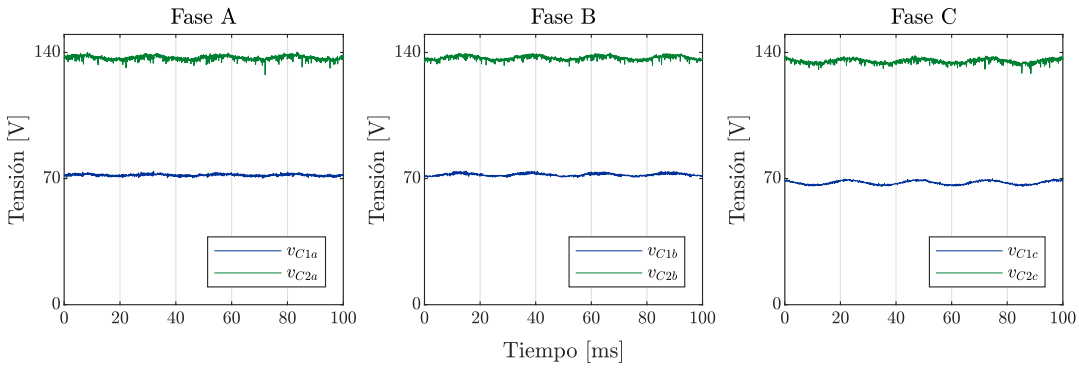


Figura 6.9: Tensiones en los capacitores flotantes v_{C1} y v_{C2} para las tres fases (A, B y C) en lazo abierto a $V_{DC} = 210$ V.

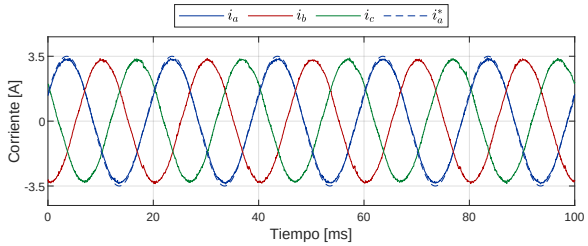


Figura 6.10: Corrientes trifásicas de salida y referencia i_a^*, en lazo abierto a $V_{DC} = 210$ V.

La Figura 6.9 muestra que las tensiones de los capacitores flotantes se mantienen acotadas en torno a sus niveles teóricos de equilibrio ($V_{DC}/3 \approx 70$ V y $2V_{DC}/3 \approx 140$ V), aunque con desviaciones de distinta magnitud y rizado entre fases. La Tabla 6.3 resume el sesgo y el rizado de ambas tensiones en estado estacionario.

Tabla 6.3: Lazo abierto a $V_{DC} = 210$ V, sesgo y rizado de las tensiones de los capacitores flotantes en estado estacionario

Fase	sesgo v_{C1} [V]	rizado v_{C1} [V]	sesgo v_{C2} [V]	rizado v_{C2} [V]
A	$+1,85$	3,17	$-2,88$	11,00
B	$+2,21$	3,77	$-2,68$	8,12
C	$-2,50$	4,57	$-4,84$	8,30

Se observa que el sesgo de v_{C2} es negativo en las tres fases, es decir, la tensión promedio queda sistemáticamente por debajo de su valor nominal de 140 V, a diferencia de v_{C1}, donde solo la fase C presenta un sesgo negativo, mientras que las fases A y B se ubican levemente por sobre su valor nominal. El rizado de v_{C2} es además notoriamente mayor que el de v_{C1} en las tres fases, entre 1,8 y 3,5 veces mayor según la fase. Cabe destacar que, a diferencia del esquema PS-MPC presentado en el Capítulo 4, el ciclo de trabajo en esta prueba de lazo abierto corresponde directamente a la referencia teórica $\boldsymbol{d}_j^*(t)$, sin ninguna corrección basada en las tensiones medidas de los capacitores, lo que refleja una característica propia de la dinámica de balance natural del convertidor bajo PS-PWM, cuyo origen específico no se investiga en profundidad en este trabajo.

La fase C presenta además el mayor rizado y el mayor sesgo negativo en ambas ten-

siones, consistente con la menor capacitancia de su DC-link (500 μF frente a 750 μF en las fases A y B), documentada en la Sección 6.1.2. Una menor capacitancia de DC-link implica una menor capacidad de amortiguar las variaciones de tensión del DC-link, lo que se traduce en un mayor rizado de V_{DC} visto por esa fase, y que se transmite, al menos en parte, hacia un mayor rizado de v_{C1} y v_{C2}, dado que la carga y descarga de los capacitores flotantes depende directamente de V_{DC} a través de las matrices de entrada del modelo del convertidor. Si bien la diferencia de capacitancia entre fases es un dato conocido, la magnitud exacta del rizado de V_{DC} que esta produce en cada fase no fue medida de forma directa, por lo que esta relación se plantea como una posible explicación y no como un resultado verificado.

Por otro lado, como se aprecia en la Figura 6.10, las corrientes de salida mantienen la forma sinusoidal esperada, aunque con una discrepancia sistemática en su amplitud: las tres fases permanecen consistentemente por debajo de la envolvente de la referencia teórica de $3,5$ A, con un déficit en la amplitud de su componente fundamental de entre 4,7 % y 6,2 % según la fase, siendo la fase C la que presenta el mayor déficit.

Con el fin de descartar que este déficit correspondiera a un error de la cadena de medición, se realizó una verificación independiente midiendo la corriente de la carga con una punta de corriente y el osciloscopio, sin pasar por el sensor LEM ni por la etapa de acondicionamiento ni calibración del DSP. Mediante los cursores del instrumento se midió un rizado de corriente con un pico máximo de 3,57 A y un pico mínimo de 3,27 A, cuyo centro se ubica por debajo de la referencia de 3,5 A, lo que confirma que la corriente se encuentra efectivamente por debajo de la referencia. Por otro lado, no se verificó la calibración del canal de corriente aplicando una corriente continua conocida, medida de forma independiente con un multímetro, y comparándola con la lectura del DSP.

Cabe destacar que el ensayo se realiza en lazo abierto, por lo que no existe control activo de la corriente ni de las tensiones de los capacitores flotantes. Estas últimas quedan determinadas únicamente por el balance natural de la modulación PS-PWM, cuya dinámica es lenta y poco amortiguada, y depende de la impedancia de la carga y de las no idealidades del convertidor. Por ello, es esperable que dichas tensiones oscilen y se desvíen de sus valores de referencia, lo que modifica los niveles de tensión sintetizados y se refleja principalmente en el rizado de la corriente de salida. Del mismo modo, la amplitud de la tensión aplicada queda fijada por el índice de modulación, calculado a partir del modelo ideal del convertidor y de la carga, por lo que cualquier caída de tensión no considerada en dicho modelo se traduce directamente en una menor amplitud de corriente respecto de la referencia, sin que exista un mecanismo que la compense.

Se plantea como hipótesis que el déficit de amplitud se debe a caídas de tensión no modeladas en el proceso de conmutación: la tensión de conducción de los IGBT, la caída directa de los diodos antiparalelos y la pérdida por tiempo muerto. Para evaluarla, se estima la caída de tensión a partir del déficit de corriente medido y se compara con la obtenida de las hojas de datos de los semiconductores.

En una primera aproximación, estas caídas de tensión tienen una magnitud prácticamente constante, ya que la tensión de conducción de un semiconductor varía poco con la corriente, y un signo siempre opuesto al de esta. Por lo tanto, su efecto sobre la tensión de fase puede representarse como una onda cuadrada:

$$\Delta v(t) = -V_{drop} \cdot \text{signo}\big(i(t)\big) \tag{6.1}$$

donde $\Delta v(t)$ es la caída total de tensión en cada fase, V_{drop} es su magnitud y signo $\big(i(t)\big)$ es el signo de la corriente de fase. La componente fundamental de $\Delta v(t)$ tiene una amplitud de $\frac{4}{\pi}V_{drop}$ y está en oposición de fase con la corriente. Además, se realiza una segunda aproximación: dado que la carga es predominantemente resistiva ($R/Z \approx 0{,}99$), se considera que la corriente está en fase con la tensión aplicada a la carga, por lo que esta componente reduce la amplitud de dicha tensión en $\frac{4}{\pi}V_{drop}$. Así, por la ley de Ohm, la amplitud de la corriente disminuye en:

$$\Delta\hat{\imath} \approx \frac{4V_{drop}}{\pi Z} \tag{6.2}$$

donde $\Delta\hat{\imath}$ es el déficit de amplitud de la corriente y $Z = \sqrt{R^2 + (\omega L)^2} = 17{,}22\ \Omega$ es la magnitud de la impedancia de la carga.

El déficit de corriente medido, calculado sobre la amplitud de la componente fundamental, es de 4,7 % a 6,2 % de 3,5 A según la fase, lo que corresponde a $\Delta\hat{\imath} = 0{,}16$ a 0,22 A. Despejando de (6.2), se obtiene $V_{drop} \approx 2{,}2$ a 2,9 V.

Por otro lado, en cada instante la corriente de cada fase circula por tres dispositivos en serie, uno por celda, conduciendo el IGBT o el diodo según el estado de conmutación. A esto se suma la pérdida por tiempo muerto, que en cada período de portadora $T_c = 1/f_c = 0{,}5$ ms resta un intervalo t_d de tensión aplicada, equivalente a $(t_d/T_c) \cdot V_{DC}$, con $t_d = 1{,}56\ \mu$s en las fases A y B y $t_d = 1{,}26\ \mu$s en la fase C. Los valores de caída a 3,5 A, leídos de las curvas de las hojas de datos, se presentan a continuación:

	FGA40N60UFD (fases A y B)	IRG4PC30KD (fase C)
IGBT	1,65 V (típ.)	1,55 V (típ.)
Diodo	1,1 V (típ.)	1,4 V (máx.)
Tiempo muerto, $(t_d/T_c) \cdot V_{DC}$	0,66 V	0,53 V
Caída total (3 dispositivos + t_d)	4,0 a 5,6 V	4,7 a 5,2 V

La caída obtenida de las hojas de datos es del mismo orden de magnitud que la estimada a partir del déficit medido, pero entre 1,5 y 2,5 veces mayor: según (6.2), predice un déficit de 8 % a 12 %, frente al 4,7 % a 6,2 % medido. Por lo tanto, la hipótesis explica el sentido y el orden de magnitud del déficit, pero no su valor exacto, por lo que no se descarta la contribución de otros efectos (como la calibración del canal de corriente). Este efecto es relevante por la baja tensión aplicada a la carga en el ensayo: con $V_{DC} = 210$ V, su amplitud es de unos 60 V, frente a la cual caídas de algunos volts no son despreciables.

Cabe señalar que los valores de la tabla son aproximados, al haberse obtenido de la lectura de curvas a baja corriente, y que el del diodo del IRG4PC30KD corresponde a un valor máximo. Además, se evaluaron a 3,5 A, que corresponde al valor de pico de la corriente; dado que la corriente instantánea es menor durante la mayor parte del período, la caída efectiva resulta menor. Por estas razones, es probable que la caída esperada se encuentre sobreestimada. Por último, la hipótesis no se verificó midiendo directamente la tensión de conducción de los semiconductores.

Adicionalmente, en la Figura 6.10 se observan pequeñas deformaciones que se repiten una vez por período en las corrientes de las fases B y C, cuando la referencia de la fase A inicia su período. Estas se deben a un error de indexación en la tabla de referencia sinusoidal utilizada en el ensayo en lazo abierto: el contador que recorre la tabla alcanzaba

una posición adicional antes de reiniciarse, por lo que, una vez por período, la referencia de la fase C accedía a una posición fuera del rango de la tabla, produciendo un valor erróneo durante un instante de muestreo. Si bien el error se origina en la fase C, al estar la carga conectada en estrella con neutro aislado, la perturbación de tensión se refleja en el término común v_{on} de (3.10), afectando a las corrientes de las tres fases. La deformación resulta más visible en i_b e i_c debido a que, en ese instante, ambas se encuentran cerca de sus valores extremos, mientras que i_a se encuentra próxima a su cruce por cero, donde su elevada pendiente enmascara la perturbación.

Capítulo 7

Resultados experimentales

7.1. Metodología de ensayo

Con el fin de validar experimentalmente el desempeño del esquema de control *Phase-Shifted Model Predictive Control* (PS-MPC) en el convertidor *Flying Capacitor* de tres celdas, se estableció un protocolo de ensayo riguroso y repetible en el laboratorio. Esta metodología abarca la selección y disposición del equipamiento de medición, un procedimiento de energización progresiva diseñado para proteger los elementos pasivos de la etapa de potencia y la definición de casos de estudio orientados a evaluar la influencia de los pesos del funcional de costo (λ_d y $\lambda_1 = \lambda_2$). El código de control implementado en el DSP durante los ensayos experimentales presentados en este capítulo se presenta en el Apéndice D. A continuación, se detallan los aspectos clave de la plataforma y el procedimiento experimental ejecutado.

7.1.1. Equipos utilizados

Para la ejecución de los ensayos y la adquisición de datos en tiempo real, se empleó la siguiente instrumentación de laboratorio:

- **Osciloscopio:** Utilizado para la observación de las tensiones de los capacitores flotantes y la corriente de salida.
- **Multímetro digital:** Empleado para la verificación del nivel de tensión continua en el DC-link (V_{DC}) durante las etapas de energización.
- **Variac trifásico:** Utilizado para regular de forma manual y gradual la tensión de alimentación desde la red de corriente alterna hacia la etapa rectificadora del bus DC.

7.1.2. Procedimiento de arranque escalonado

Por tiempo y confusión en el valor máximo admisible de la corriente de inductancia no se alcanzó a realizar el ensayo de arranque con los capacitores flotantes completamente descargados con una tensión del DC-link igual a 210 V. Queda propuesto como trabajo futuro.

En los ensayos experimentales, el DC-link se energizó de forma escalonada mediante el variac, hasta alcanzar la tensión nominal de operación, $V_{DC} = 210$ V. Una vez alcanzada dicha tensión y verificado el balance de las tensiones de los capacitores flotantes, se aplicó el escalón de corriente de referencia de 2 A a $3,5$ A, en el instante en que la corriente de referencia de fase A alcanza su valor máximo, siguiendo el mismo criterio utilizado en las simulaciones del Capítulo 5.

7.1.3. Casos registrados

Se registraron experimentalmente los siguientes casos, resumidos en la Tabla 7.1.

Tabla 7.1: Casos registrados experimentalmente

λ_d	$\lambda_1 = \lambda_2$	Rol
5	1	Caso óptimo
5	0,5	Caso comparativo, eje $\lambda_1 = \lambda_2$
0,5	1	Caso comparativo, eje λ_d

Para cada caso se registró la tensión de los capacitores flotantes, la corriente de fase y el ciclo de trabajo de las tres celdas, a partir de los cuales se calcularon las métricas correspondientes al ensayo de escalón y de estado estacionario.

Cabe destacar que, como se documentó en la Sección 6.2.7, el convertidor presenta una posible caída de tensión adicional en el proceso de conmutación, que produce un déficit de amplitud de corriente respecto a la referencia teórica en lazo abierto. Como se verá en las secciones siguientes, este fenómeno también se observa con el esquema de control activo, sin que el controlador predictivo logre corregirlo, ya que se trata de una perturbación no modelada que el controlador no es capaz de compensar.

Este comportamiento es consistente con la formulación del predictor utilizado por el PS-MPC, presentada en el Capítulo 4, la cual no incluye las caídas de tensión en los semiconductores ni el efecto del tiempo muerto como una perturbación explícita del modelo de la planta. Al no estar dicha perturbación representada en el modelo de predicción, y al no incorporar la formulación una acción integral ni un observador de perturbación que la estime en línea, el optimizador no dispone de información para detectarla ni compensarla, por lo que el error de seguimiento persiste en estado estacionario aun cuando el lazo de control opera de forma correcta y estable.

La naturaleza del prototipo experimental introduce, además, tres particularidades metodológicas en el cálculo de las métricas de desempeño respecto a las utilizadas en el Capítulo 5, las cuales se detallan a continuación:

- **Tiempo al primer pico en lugar de tiempo de establecimiento.** El criterio de tiempo de establecimiento definido en el Capítulo 5, basado en el ingreso y permanencia de la señal dentro de una banda de tolerancia del $\pm 2\,\%$ respecto a su referencia, no resulta aplicable a los datos experimentales. Esto se debe a que la componente fundamental de la medición de corriente presenta en estado estacionario un déficit de amplitud respecto de su referencia mayor que la propia banda. Por este motivo, se utiliza en su lugar el tiempo al primer pico de corriente en la envolvente sinusoidal de referencia como métrica de la velocidad de respuesta ante el escalón

en los tres casos experimentales. Si bien el tiempo al primer pico no equivale formalmente al tiempo de establecimiento definido en simulación, se utiliza como una métrica de velocidad del transitorio dinámico que permite verificar que la rapidez de respuesta del prototipo se conserva en el mismo orden de magnitud que la predicha por el modelo en PLECS.

- **Identificación manual del primer pico.** Dado que la corriente medida presenta un rizado de conmutación de magnitud comparable a la propia dinámica del transitorio ante el escalón, la identificación del primer pico en los tres casos experimentales se realizó mediante inspección visual y verificación manual con cursor sobre la envolvente de la señal medida, en lugar de mediante un algoritmo de búsqueda automática de máximos, el cual resulta susceptible a identificar erróneamente picos locales asociados al rizado de alta frecuencia en vez del máximo real de la envolvente del transitorio de corriente.
- **Orden armónico máximo limitado por la frecuencia de muestreo.** El cálculo del contenido armónico (THD_i, WTHD_i) de las señales experimentales presenta una limitación adicional respecto al criterio general definido en la Sección 5.2. Dado que la adquisición de las señales se realiza a la misma frecuencia de muestreo del controlador, $f_m = 12$ kHz, la frecuencia de Nyquist asociada es de 6 kHz, lo que limita el orden armónico máximo que puede registrar la adquisición del DSP a $n_{\mathrm{máx}} = f_m/(2f_0) = 120$, en lugar de los $n_{\mathrm{máx}} = 150$ utilizados en las simulaciones de PLECS, cuyo paso de integración es diez veces menor. Por esta razón, el contenido armónico de las señales experimentales presentadas en este capítulo se calcula considerando hasta el orden 120.

7.2. Caso óptimo: $\lambda_d = 5$, $\lambda_1 = \lambda_2 = 1$

7.2.1. Ensayo ante escalón

En la Figura 7.1 se presentan las tensiones de los capacitores flotantes 1 y 2 de la fase A, las corrientes de las tres fases con la referencia de la fase A y los ciclos de trabajo 1, 2 y 3, de la fase A superpuestos. Se observa que la respuesta experimental ante el escalón de referencia refleja la capacidad del esquema del control PS-MPC para priorizar el transitorio de corriente sin desestabilizar el equilibrio de los capacitores flotantes, como se vio en la simulación. A pesar del cambio de magnitud de la corriente de referencia en $t = 100$ ms, las tensiones v_{C1a} y v_{C2a} no presentan desviaciones apreciables, manteniéndose acotadas en torno a 70 V y 140 V, gracias a una rápida reconfiguración de los ciclos de trabajo (d_{1a}, d_{2a}, d_{3a}). Dicha acción de control se manifiesta como un salto puntual en el instante del escalón, retornando de forma inmediata a la envolvente senoidal según sus ciclos de trabajo de referencia de estado estacionario, en total concordancia con las predicciones del modelo simulado en PLECS. Se puede notar que estos ciclos tienen mucho más ruido que en la simulación, debido a las fuentes de ruido propias del hardware real no capturadas por el modelo ideal en PLECS, entre ellas la cuantización del ADC de 12 bits, el ruido electromagnético propio de la conmutación cercana a los circuitos de medición, y el mayor rizado real de las tensiones de los capacitores flotantes respecto al simulado, señalado en la Sección 6.2.7.

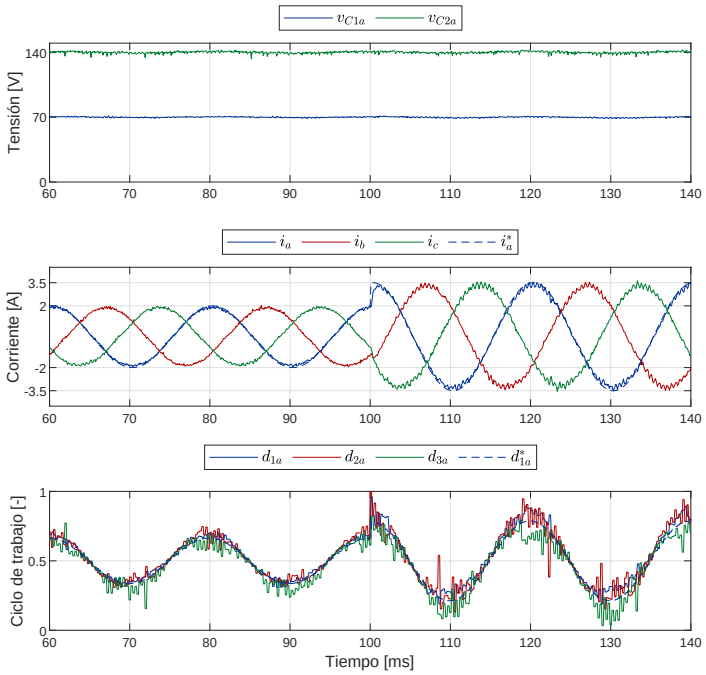


Figura 7.1: Caso óptimo experimental, tensión de los capacitores flotantes, corriente de fase A y ciclo de trabajo de la fase A, en torno al escalón de referencia

Tabla 7.2: Caso óptimo ($\lambda_d = 5, \lambda_1 = \lambda_2 = 1$): respuesta dinámica ante el escalón.

Métrica	Valor
t_{pico} [ms]	1,246
Pico de corriente [A]	3,330

En la Tabla 7.2 se presenta el tiempo transcurrido hasta el primer pico de corriente y la amplitud alcanzada tras el escalón. El caso óptimo alcanza su primer pico en $1,246$ ms, respuesta que resulta un $39,6\,\%$ más veloz que la constante de tiempo de establecimiento natural de la carga RL ($4\tau = 2,063$ ms). Este resultado confirma la presencia de una acción de control activa dominante y mantiene un orden de magnitud plenamente consistente con la predicción del modelo simulado en PLECS ($1,183$ ms), validando la fidelidad del modelo dinámico en el prototipo experimental.

7.2.2. Desempeño en estado estacionario

En la Tabla 7.3 se puede notar que el rizado de v_{C1} se mantiene entre $3,34$ V y $4,02$ V según la fase, mientras que el de v_{C2} se ubica entre $9,74$ V y $10,84$ V, siendo notoriamente mayor al de v_{C1} en las tres fases. Esta diferencia es plenamente consistente con la sensibilidad estructural de la celda 3 frente a variaciones de v_{C2} identificada en el Capítulo 5. La matriz de entrada de dicha celda depende directamente del término $(V_{DC} - v_{C2})$, por lo que pequeñas fluctuaciones de v_{C2} inducen correcciones de mayor magnitud en el ciclo de trabajo de esa celda que las producidas por una variación equivalente de v_{C1} sobre las celdas 1 y 2. Por su parte, el sesgo de ambas tensiones se mantiene pequeño en las tres fases (Tabla 7.3), confirmando la ausencia de un desbalance sistemático relevante.

Tabla 7.3: Caso óptimo experimental: sesgo y rizado de las tensiones de los capacitores flotantes en estado estacionario.

Fase	**Rizado** v_{C1} **[V]**	**Sesgo** v_{C1} **[V]**	**Rizado** v_{C2} **[V]**	**Sesgo** v_{C2} **[V]**
a	3,34	$0,123$	10,84	$-0,024$
b	3,64	$0,049$	9,74	$-0,096$
c	4,02	$0,123$	9,89	$-0,043$

En la Tabla 7.4 se presenta la razón del esfuerzo de control y las métricas correspondientes de estado estacionario de la corriente de la fase A. Al comparar con el caso óptimo simulado en PLECS ($e_{i,\mathrm{RMS}} = 0,0761$ A, $\mathrm{THD}_i = 2,72\,\%$), el resultado experimental reportado en la Tabla 7.4 muestra un error de corriente y una distorsión armónica mayores. Esta discrepancia es consistente con la transición al hardware real, el cual introduce fuentes de ruido no capturadas por el modelo ideal.

Tabla 7.4: Caso óptimo experimental: seguimiento de corriente y esfuerzo de control (fase A).

$\Delta d_1 : \Delta d_2 : \Delta d_3$	$e_{i,\mathrm{RMS}}$ [A]	THD_i [%]	WTHD_i [%]
$1 : 4,44 : 2,94$	0,198	3,840	0,808

Respecto a la razón de asimetría $1 : 4,44 : 2,94$, se observa que la celda 2 concentra el mayor esfuerzo de conmutación relativo. Este fenómeno se explica geométricamente mediante la matriz de entrada $\boldsymbol{B}_2(\boldsymbol{x}(k+1))$, la cual incide de forma acoplada sobre las dinámicas de v_{C1} y v_{C2}. Por esta razón, el optimizador cuadrático del PS-MPC utiliza el ciclo de trabajo d_2 como la variable de control principal para corregir simultáneamente las desviaciones de ambas tensiones flotantes. Esta actividad de control se evidencia en la Figura 7.2, donde el ciclo de trabajo calculado por el algoritmo para cada celda sigue la envolvente sinusoidal teórica en las tres fases, pero exhibe un rizado de alta frecuencia más pronunciado en la celda 2, consistente con el mayor esfuerzo de conmutación reportado.

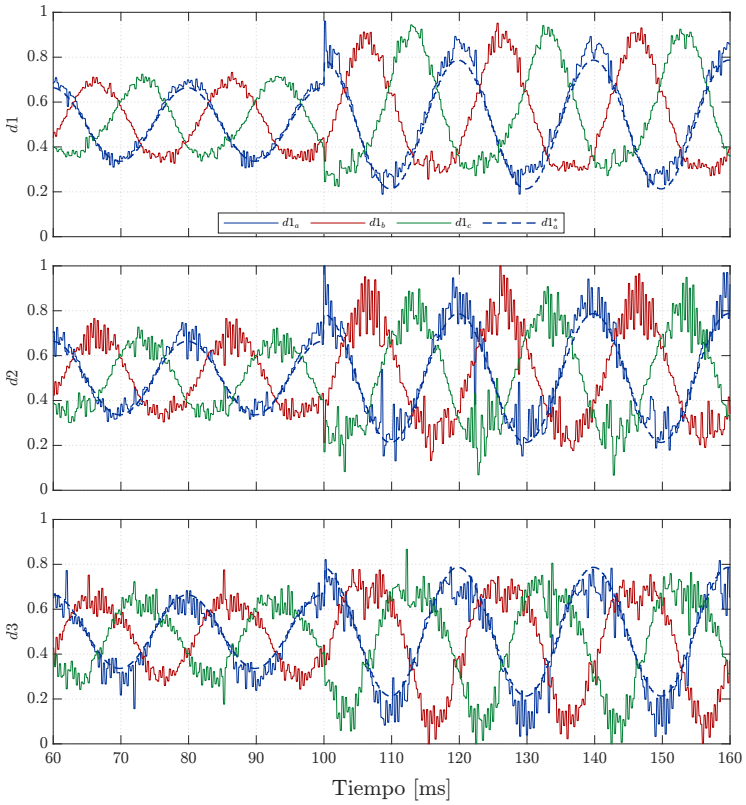


Figura 7.2: Ciclo de trabajo de las tres celdas en las tres fases, caso óptimo experimental, en torno al escalón de referencia.

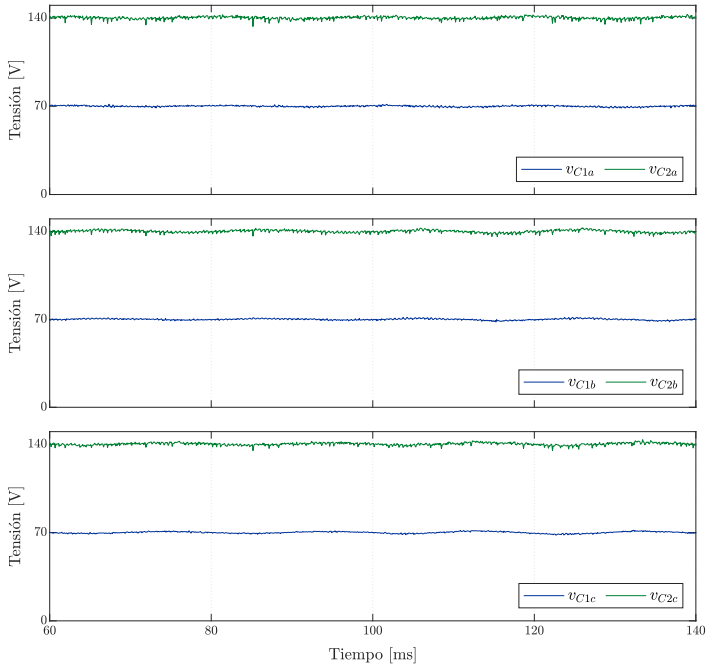


Figura 7.3: Tensión de los capacitores flotantes (v_{C1} y v_{C2}) en las tres fases, caso óptimo experimental.

La Figura 7.3 confirma que las tensiones de las tres fases se mantienen acotadas en torno a sus valores nominales, con v_{C1} estable cerca de 70 V y v_{C2} cerca de 140 V durante toda la ventana observada, validando la estabilidad global del sistema en lazo cerrado bajo el estado estacionario.

7.3. Caso: $\lambda_d = 5$, $\lambda_1 = \lambda_2 = 0,5$

7.3.1. Ensayo ante escalón

Como se observa en la Figura 7.4, la corriente de fase i_a sigue de cerca su referencia sinusoidal antes y después del escalón aplicado en $t = 100$ ms. Las tensiones de los capacitores flotantes v_{C1a} y v_{C2a} se mantienen reguladas en torno a sus valores nominales de 70 V y 140 V, sin experimentar perturbaciones apreciables durante el transitorio. En el panel inferior, los ciclos de trabajo de la fase A presentan una trayectoria notablemente más suave que en el caso óptimo, omitiendo el salto puntual pronunciado en el instante del escalón, consistente con el menor esfuerzo de variación Δd reportado para $\lambda_1 = \lambda_2 = 0,5$ en la Tabla 5.12 del Capítulo 5. Al reducir los pesos de regulación de tensión a $\lambda_1 = \lambda_2 = 0,5$, la función de costo $J_j(k+1)$ disminuye la exigencia sobre el balance instantáneo de la energía en los capacitores flotantes, lo que atenúa las correcciones abruptas de d_j observadas en el caso óptimo. A diferencia de lo previsto por el análisis de sensibilidad del Capítulo 5, donde $\lambda_1 = \lambda_2 = 0,5$ correspondía al caso de respuesta más rápida ante el escalón de los ocho evaluados, en el ensayo experimental este caso presenta una respuesta más lenta que el caso óptimo, tal como se detalla a continuación.

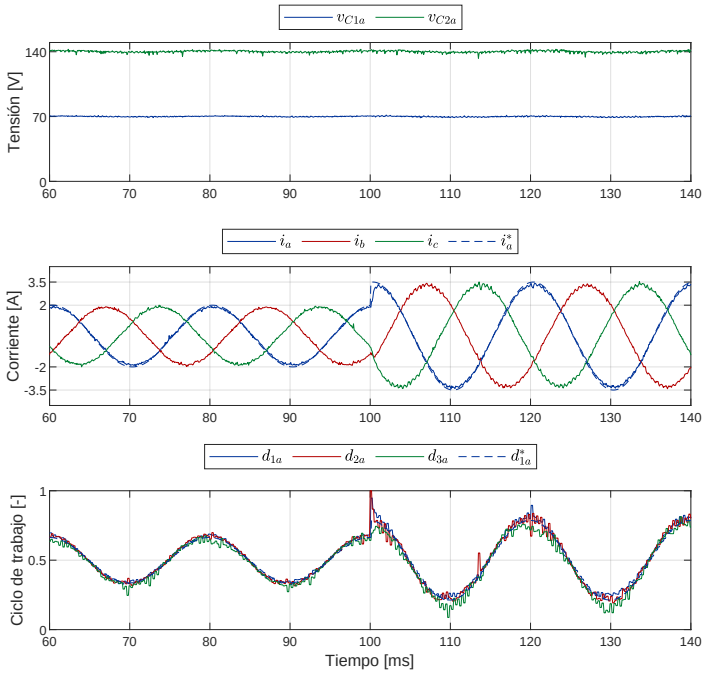


Figura 7.4: Caso $\lambda_d = 5$, $\lambda_1 = \lambda_2 = 0,5$ experimental: tensión de los capacitores flotantes de la fase A, corrientes trifásicas de salida con la referencia i_a^*, y ciclos de trabajo de la fase A en torno al escalón de referencia.

En la Tabla 7.5 se resumen los parámetros de la respuesta dinámica ante el escalón de referencia. Este caso alcanza su primer pico en $1,496$ ms con una amplitud de $3,239$ A, resultando más lento que el caso óptimo ($1,246$ ms). Esta discrepancia respecto a la tendencia observada en el análisis de sensibilidad de $\lambda_1 = \lambda_2$ del Capítulo 5 (Tabla 5.9), donde $\lambda_1 = \lambda_2 = 0,5$ correspondía al caso de establecimiento más rápido de los ocho evaluados, se explica en gran medida por la diferencia conceptual entre ambas métricas, ya señalada en la Sección 7.1. El tiempo de establecimiento simulado corresponde al instante en que la señal ingresa y permanece dentro de una banda de tolerancia respecto a su referencia, mientras que el tiempo al primer pico experimental corresponde únicamente al primer máximo local de la envolvente de corriente tras el escalón, sin considerar el comportamiento posterior de la señal. Ambas métricas no son directamente equivalentes, y su comparación solo pretende verificar que la velocidad de respuesta del prototipo se mantenga en el mismo orden de magnitud que la predicha por el modelo, criterio que efectivamente se cumple para los tres casos evaluados, dado que los tres tiempos al primer pico se ubican por debajo de $1,5$ ms. Adicionalmente, la identificación experimental del primer pico resulta sensible al rizado de conmutación presente en la corriente medida, cuya magnitud es comparable a la de la propia dinámica del transitorio, lo que introduce una variabilidad adicional respecto al valor obtenido en la señal simulada, filtrada de dicho rizado de alta frecuencia por la naturaleza promediada del modelo en PLECS. Dado que la identificación del pico en los tres casos experimentales se realizó mediante inspección visual sobre la envolvente de la señal, tal como se detalla en la Sección 7.1, esta variabilidad no representa un error de cálculo, sino una fuente adicional de incertidumbre propia de la comparación entre ambas métricas.

Tabla 7.5: Caso $\lambda_d = 5, \lambda_1 = \lambda_2 = 0,5$: respuesta dinámica ante el escalón.

Métrica	**Valor**
t al primer pico [ms]	1,496
Pico de corriente [A]	3,239

7.3.2. Desempeño en estado estacionario

En las Tablas 7.6 y 7.7 se presentan las métricas registradas en estado estacionario para la fase A bajo la sintonización $\lambda_d = 5$, $\lambda_1 = \lambda_2 = 0{,}5$, junto con las del caso óptimo para facilitar su comparación.

Tabla 7.6: Caso $\lambda_d = 5$, $\lambda_1 = \lambda_2 = 0{,}5$ experimental: tensión de los capacitores flotantes (fase A), comparado con el caso óptimo.

Caso	**Rizado v_{C1} [V]**	**Sesgo v_{C1} [V]**	**Rizado v_{C2} [V]**	**Sesgo v_{C2} [V]**
Óptimo ($\lambda_d = 5$, $\lambda_{1,2} = 1$)	3,34	0,123	10,84	−0,024
$\lambda_d = 5$, $\lambda_{1,2} = 0{,}5$	3,335	−0,002	10,845	−0,192

Tabla 7.7: Caso $\lambda_d = 5$, $\lambda_1 = \lambda_2 = 0{,}5$ experimental: seguimiento de corriente y esfuerzo de control (fase A), comparado con el caso óptimo.

Caso	$\Delta d_1 : \Delta d_2 : \Delta d_3$	$e_{i,\mathrm{RMS}}$ **[A]**	**THD$_i$ [%]**	**WTHD$_i$ [%]**
Óptimo ($\lambda_d = 5$, $\lambda_{1,2} = 1$)	1 : 4,44 : 2,94	0,198	3,840	0,808
$\lambda_d = 5$, $\lambda_{1,2} = 0{,}5$	1 : 3,42 : 4,01	0,169	2,110	0,195

A partir de la Tabla 7.6, se observa que el rizado de tensión de v_{C2} $(10,845\ \text{V})$ se mantiene sensiblemente superior al de v_{C1} $(3,335\ \text{V})$. Este comportamiento es coherente con el mayor nivel de tensión nominal manejado por el segundo capacitor flotante (140 V frente a 70 V) y la dinámica de la celda 3, cuya matriz de entrada $\boldsymbol{B}_3(\boldsymbol{x}(k+1))$ escala con el término $(V_{DC} - v_{C2})$, volviéndola más sensible a las oscilaciones de carga y descarga de dicho capacitor. Por otro lado, el sesgo de ambas tensiones se mantiene cercano a cero, confirmando la ausencia de un desbalance sistemático en los capacitores flotantes para este caso.

Respecto a la corriente de salida, en la Tabla 7.7 se observa una disminución en el error cuadrático medio ($e_{i,\text{RMS}} = 0,169\ \text{A}$) y en la distorsión armónica ($\text{THD}_i = 2,110\,\%$) en comparación con el caso óptimo. Esta mejora en la calidad de la señal, respecto al caso óptimo, es consistente con lo observado en las simulaciones del Capítulo 5, donde la reducción de los pesos $\lambda_{1,2}$ también produjo una disminución en el THD de corriente. Físicamente, al exigir un menor peso sobre las tensiones de los capacitores, la función de costo $J_j(k+1)$ se centra en el error de corriente y disminuye la agresividad en la variación de los ciclos de trabajo, reduciendo las perturbaciones de conmutación sobre la corriente de carga. Al comparar cuantitativamente con PLECS ($e_{i,\text{RMS}} = 0,0746\ \text{A}$, $\text{THD}_i = 2,73\,\%$), el error cuadrático medio experimental resulta superior, consistente con las fuentes de ruido reales del hardware, tales como la cuantización de los sensores ADC y las caídas de tensiones no modeladas en los semiconductores. La distorsión armónica experimental, en cambio, resulta menor que la simulada para este caso particular, a diferencia de lo observado en el caso óptimo, donde ambas métricas fueron consistentemente superiores en el prototipo físico respecto a PLECS. Esta diferencia es coherente con dos efectos identificados en este trabajo, que actúan en direcciones opuestas. Por un lado, tal como se señaló en la Sección 7.1, el THD_i experimental se calcula hasta el orden armónico $n_{\text{máx}} = 120$, límite impuesto por la frecuencia de Nyquist de la adquisición del DSP, mientras que el valor simulado en PLECS considera hasta el orden 150. Dado que los armónicos dominantes para $\lambda_1 = \lambda_2 \leq 10$ se concentran en los órdenes 118 y 122 (Sección 5.3.3), el orden 122 queda por sobre la frecuencia de Nyquist de la adquisición del DSP, por lo que no puede ser cuantificado a partir de las mediciones registradas por este, de modo que parte de la distorsión que sí contribuye al valor simulado no se refleja en el THD_i experimental. Este contenido armónico podría evaluarse midiendo la corriente con una punta de alto ancho de banda y el osciloscopio, lo que no fue realizado en el presente trabajo. Por otro lado, la menor agresividad en la variación del ciclo de trabajo asociada a $\lambda_1 = \lambda_2 = 0,5$, ya descrita en este mismo apartado, reduce las perturbaciones de conmutación que el hardware real añade por sobre el modelo ideal, a diferencia del caso óptimo, donde una variación de ciclo de trabajo más brusca amplifica dichas perturbaciones. La combinación de ambos efectos, la exclusión estructural de parte del contenido armónico dominante y la menor magnitud del ruido de conmutación real, es consistente con que el THD_i experimental resulte, en este caso particular, inferior al simulado. Esta explicación es cualitativamente consistente con la evidencia disponible, pero no fue verificada de forma directa mediante una comparación armónico a armónico entre la señal simulada y la experimental, por lo que queda como un punto a profundizar en revisiones futuras del análisis.

En cuanto a la razón de esfuerzo de control $1 : 3,42 : 4,01$, se observa un cambio en la celda que domina la actividad del controlador, pasando a ser la celda 3 la de mayor esfuerzo relativo. Este cambio es cualitativamente consistente con el fenómeno de inversión de dominancia entre la celda 2 y la celda 3 identificado en el análisis de sensibilidad

de $\lambda_1 = \lambda_2$ del Capítulo 5 (Tabla 5.12), asociado a que la matriz $\boldsymbol{B}_2(\boldsymbol{x}(k+1))$ acopla simultáneamente las dinámicas de v_{C1} y v_{C2}, mientras que $\boldsymbol{B}_3(\boldsymbol{x}(k+1))$ incide únicamente sobre v_{C2} a través del término de escala $(V_{DC} - v_{C2})$. Cabe señalar, sin embargo, que en dicho análisis de simulación la inversión de dominancia ocurre entre $\lambda_1 = \lambda_2 = 5$ y $\lambda_1 = \lambda_2 = 10$, mientras que a $\lambda_1 = \lambda_2 = 0,5$ la simulación predice que la celda 2 se mantiene dominante $(1 : 1,59 : 1,27)$. El resultado experimental, en cambio, muestra a la celda 3 ya dominante en $\lambda_1 = \lambda_2 = 0,5$, adelantando la transición respecto a lo previsto en simulación. Esta discrepancia podría estar asociada a las mismas fuentes de no idealidad del hardware ya discutidas en este capítulo. Este comportamiento se aprecia en la Figura 7.5, donde las variaciones de alta frecuencia en el ciclo de trabajo se concentran de manera más acentuada en la celda 3.

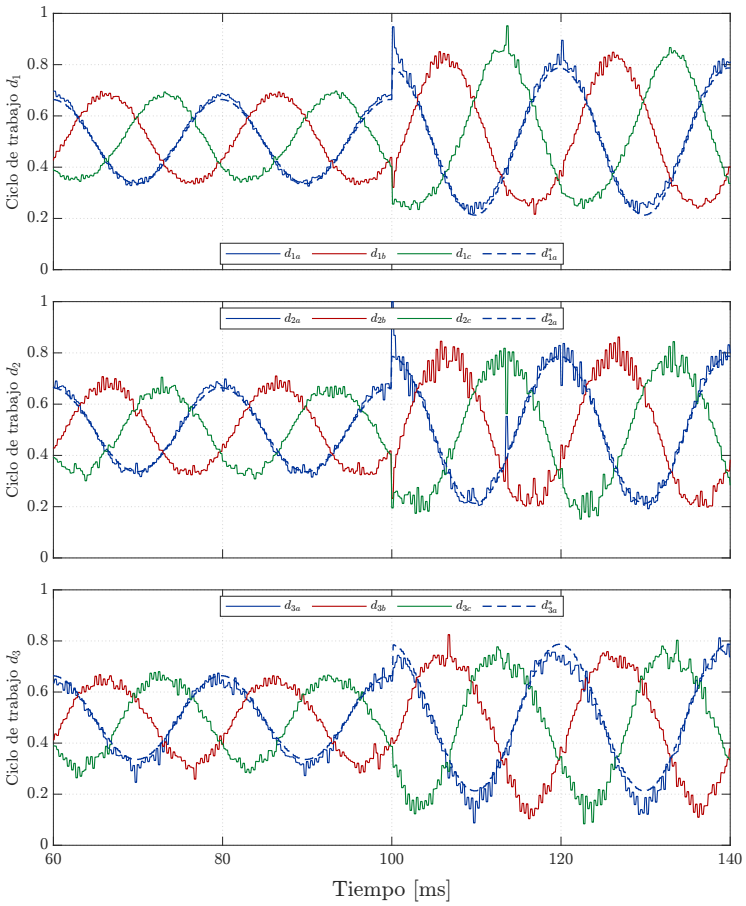


Figura 7.5: Ciclo de trabajo de las tres celdas en las tres fases, caso $\lambda_d = 5, \lambda_1 = \lambda_2 = 0,5$, en torno al escalón de referencia.

7.4. Caso: $\lambda_d = 0,5$, $\lambda_1 = \lambda_2 = 1$

7.4.1. Ensayo ante escalón

Como se observa en la Figura 7.6, el seguimiento de la corriente i_a ante el escalón aplicado en $t = 100$ ms muestra una respuesta notablemente acelerada, aunque con un nivel de ruido y rizado visiblemente mayor en la señal. Las tensiones de los capacitores

flotantes v_{C1a} y v_{C2a} permanecen reguladas en torno a 70 V y 140 V respectivamente. Sin embargo, en el panel inferior, los ciclos de trabajo de la fase A presentan una trayectoria altamente oscilatoria, con saturaciones frecuentes en los límites de 0 y 1 durante toda la ventana observada.

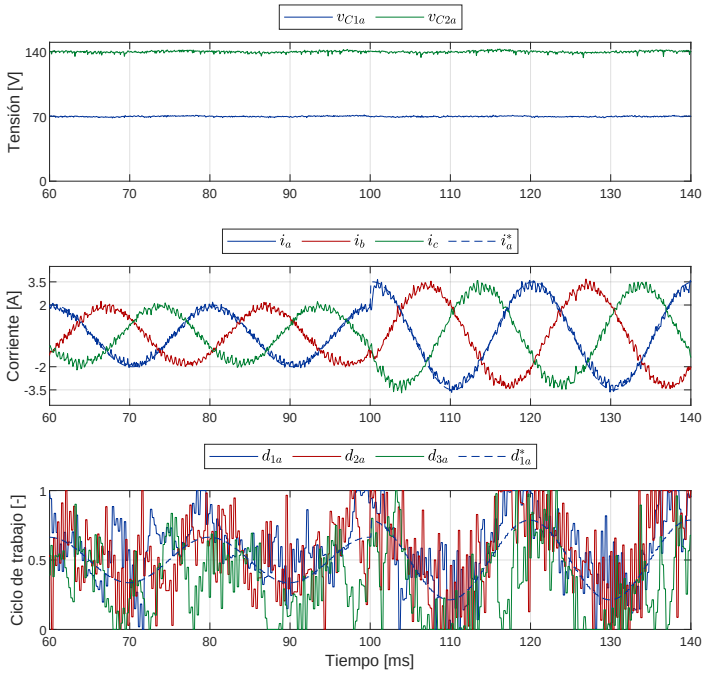


Figura 7.6: Caso $\lambda_d = 0,5, \lambda_1 = \lambda_2 = 1$ experimental: tensión de los capacitores flotantes de la fase A, corrientes trifásicas de salida con la referencia i_a^*, y ciclos de trabajo de la fase A en torno al escalón de referencia.

En la Tabla 7.8 se resumen los parámetros de la respuesta dinámica registrados ante la variación de la corriente de referencia.

Tabla 7.8: Caso $\lambda_d = 0,5, \lambda_1 = \lambda_2 = 1$: respuesta dinámica ante el escalón.

Métrica	**Valor**
t al primer pico [ms]	0,829
Pico de corriente [A]	3,442

A partir de la Tabla 7.8, se observa que el sistema alcanza su primer pico en $0,829$ms con una amplitud de $3,442$A, representando un comportamiento dinámico considerablemente más rápido que el del caso óptimo. Esta aceleración en la respuesta es consistente con las simulaciones del Capítulo 5: al reducir el peso de penalización del esfuerzo de control a $\lambda_d = 0,5$, la función de costo $J_j(k+1)$ permite variaciones abruptas en Δd_j entre instantes de muestreo consecutivos. Esto le da la libertad al optimizador del PS-MPC para aplicar saltos de gran magnitud en las variables de acción, alcanzando la saturación física de las celdas con el fin de reducir velozmente el error en el seguimiento de la corriente, a costa de imponer una tendencia de conmutación agresiva.

7.4.2. Desempeño en estado estacionario

En las Tablas 7.9 y 7.10 se resumen los parámetros medidos en estado estacionario para la fase A bajo la sintonización $\lambda_d = 0,5, \lambda_1 = \lambda_2 = 1$, junto con las del caso óptimo para facilitar su comparación.

Tabla 7.9: Caso $\lambda_d = 0{,}5$, $\lambda_1 = \lambda_2 = 1$ experimental: tensión de los capacitores flotantes (fase A), comparado con el caso óptimo.

Caso	**Rizado** v_{C1} **[V]**	**Sesgo** v_{C1} **[V]**	**Rizado** v_{C2} **[V]**	**Sesgo** v_{C2} **[V]**
Óptimo ($\lambda_d = 5$, $\lambda_{1,2} = 1$)	3,34	0,123	10,84	−0,024
$\lambda_d = 0{,}5$, $\lambda_{1,2} = 1$	3,777	0,111	9,998	0,251

Tabla 7.10: Caso $\lambda_d = 0{,}5$, $\lambda_1 = \lambda_2 = 1$ experimental: seguimiento de corriente y esfuerzo de control (fase A), comparado con el caso óptimo.

Caso	$\Delta d_1 : \Delta d_2 : \Delta d_3$	$e_{i,\mathrm{RMS}}$ **[A]**	$\mathbf{THD}_i$ **[%]**	$\mathbf{WTHD}_i$ **[%]**
Óptimo ($\lambda_d = 5$, $\lambda_{1,2} = 1$)	1 : 4,44 : 2,94	0,198	3,840	0,808
$\lambda_d = 0{,}5$, $\lambda_{1,2} = 1$	1 : 3,08 : 1,23	0,268	5,884	0,941

A partir de la Tabla 7.9, se observa que las tensiones de los capacitores flotantes mantienen una dinámica similar a los casos anteriores, con un rizado en v_{C2} superior al de v_{C1}, tal como se observa en todos los casos evaluados. No obstante, se aprecia un ligero incremento en los sesgos de ambas tensiones ($0,111$ V y $0,251$ V), lo cual refleja una menor precisión en la regulación continua del balance de los capacitores.

En la Tabla 7.10, los resultados de la corriente de salida evidencian la principal desventaja de esta sintonización. Se registra un incremento acentuado en el error cuadrático medio ($e_{i,\mathrm{RMS}} = 0,268$ A) y en la distorsión armónica ($\mathrm{THD}_i = 5,884\,\%$). Este deterioro en la calidad de la señal es consistente con lo determinado en las simulaciones del Capítulo 5: al reducir la penalización $\lambda_d = 0,5$, la función de costo $J_j(k+1)$ tolera variaciones bruscas en los ciclos de trabajo, lo que provoca una conmutación agresiva e inyecta ruido armónico a la carga.

En cuanto a la razón de esfuerzo de control $1 : 3,08 : 1,23$, se aprecia que la celda 3 reduce significativamente su participación relativa respecto a los casos previos. Al estar los ciclos de trabajo sometidos a saturaciones constantes entre 0 y 1, la acción de control pierde la capacidad de realizar ajustes finos sobre esa celda. Esta respuesta se confirma en la Figura 7.7, donde las señales de las tres celdas muestran conmutaciones de gran amplitud que entran en zonas de saturación repetidamente a lo largo del ciclo fundamental.

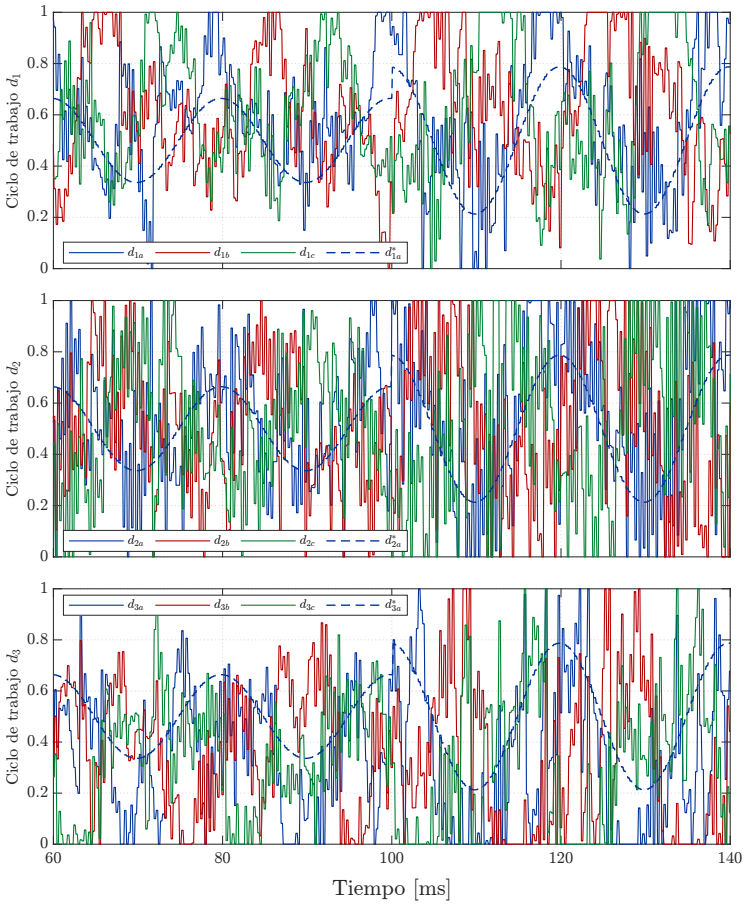


Figura 7.7: Ciclo de trabajo de las tres celdas en las tres fases, caso $\lambda_d = 0,5, \lambda_1 = \lambda_2 = 1$, en torno al escalón de referencia.

7.5. Discusión comparativa y síntesis de resultados experimentales

Con el objetivo de comparar los diferentes casos estudiados en este capítulo, se presenta la Tabla 7.11, que contiene un resumen cuantitativo del desempeño experimental del convertidor Flying Capacitor trifásico de cuatro niveles bajo la estrategia PS-MPC para las tres sintonizaciones evaluadas, medido sobre la fase A en los tres casos para mantener un criterio de comparación consistente.

Tabla 7.11: Comparación global de métricas experimentales bajo distintas sintonizaciones del PS-MPC (fase A).

Caso / Sintonización	t **primer pico [ms]**	$e_{i,\mathbf{RMS}}$ **[A]**	$\mathbf{THD}_i$ **[%]**	**Rizado** v_{C1} **[V]**	**Rizado** v_{C2} **[V]**	$\Delta d_1 : \Delta d_2 : \Delta d_3$
Óptimo ($\lambda_d = 5, \lambda_{1,2} = 1$)	1,246	0,198	3,840	3,34	10,84	1 : 4,44 : 2,94
Relajación v_C ($\lambda_d = 5, \lambda_{1,2} = 0,5$)	1,496	0,169	2,110	3,335	10,845	1 : 3,42 : 4,01
Bajo esfuerzo ($\lambda_d = 0,5, \lambda_{1,2} = 1$)	0,829	0,268	5,884	3,777	9,998	1 : 3,08 : 1,23

El análisis global de los datos valida la efectividad del PS-MPC implementado en el

prototipo físico. En los tres casos evaluados, el algoritmo responde de manera estable ante el cambio de referencia de corriente y regula de forma simultánea las seis tensiones de los capacitores flotantes del convertidor trifásico. Sin embargo, la corriente no alcanza exactamente la envolvente de la referencia en estado estacionario. Este déficit se atribuye principalmente a la ausencia de acción integral en la formulación del PS-MPC, la cual impide compensar perturbaciones no incluidas en el modelo de predicción, tales como las caídas de tensión en los semiconductores y el efecto del tiempo muerto.

Los resultados experimentales confirman cuantitativamente los compromisos de diseño previstos en la formulación matemática de la función de costo $J_j(k+1)$:

1. **Criterio de optimidad global y equilibrio (λ_d):** La penalización del esfuerzo de control Δd_j actúa como un mecanismo de regularización y amortiguamiento dinámico. Aunque la sintonización de bajo esfuerzo ($\lambda_d = 0{,}5$) logra la respuesta más veloz ante un escalón de referencia (0,829 ms), este desempeño se consigue a costa de saturar de forma recurrente los ciclos de trabajo en la banda $[0, 1]$, incrementando el error eficaz y degradando la calidad de la señal ($\mathrm{THD}_i = 5{,}884\,\%$). Mantener un peso $\lambda_d = 5$ permite acotar la actividad de conmutación y preservar la calidad armónica de la corriente.

2. **Compromiso entre calidad de corriente y regulación de tensión ($\lambda_{1,2}$):** Al reducir los pesos de penalización de los capacitores ($\lambda_{1,2} = 0{,}5$), la función de costo se centra primordialmente en el error de la corriente, atenuando la agresividad con la que el optimizador corrige las desviaciones instantáneas de tensión. Como resultado, las variaciones de ciclo de trabajo se suavizan, alcanzando el menor THD de corriente registrado en laboratorio (2,110 %) con un leve retardo en la respuesta dinámica ante el escalón (1,496 ms), tal como se detalla en la Sección 7.3.1.

3. **Independencia del rizado de tensión respecto a $\lambda_{1,2}$:** El rizado de v_{C1} y v_{C2} resulta prácticamente idéntico entre el caso Óptimo y el de relajación de v_C (3,34 V y 3,335 V para v_{C1}; 10,84 V y 10,845 V para v_{C2}), a pesar de que ambos casos difieren en $\lambda_{1,2}$. El único caso con un rizado apreciablemente distinto es el de bajo esfuerzo, que también es el único con un λ_d diferente. Esta observación es consistente con lo señalado en el Capítulo 5, donde el rizado de tensión queda determinado principalmente por la frecuencia de conmutación fija de la modulación PS-PWM, y no por los pesos $\lambda_{1,2}$ asignados al error de tensión en la función de costo.

Es importante notar que el criterio de selección de la sintonización óptima, establecido en el Capítulo 5, consideró originalmente el comportamiento del sistema durante el arranque con capacitores completamente descargados, además del comportamiento ante escalón y en estado estacionario. Dicho ensayo no pudo reproducirse experimentalmente (Sección 7.1).

En conclusión, los resultados experimentales demuestran que la estrategia PS-MPC cumple su objetivo principal, controlar la corriente de salida en lazo cerrado ante variaciones dinámicas de la referencia, manteniendo de forma simultánea el equilibrio de las tensiones de los capacitores flotantes en las tres sintonizaciones evaluadas, con la salvedad del déficit de amplitud en estado estacionario ya discutido. La concordancia cualitativa entre la plataforma experimental y las simulaciones en PLECS, junto con la concordancia en el orden de magnitud de las métricas dinámicas y de calidad de corriente, respaldan

la validez del modelado discreto implementado, considerando las particularidades metodológicas propias de la medición en hardware real ya señaladas. Asimismo, se evidencia que la ponderación de la función de costo constituye una herramienta para ajustar la respuesta del convertidor, permitiendo priorizar la velocidad de seguimiento de la corriente o la calidad armónica de la señal según las exigencias de la aplicación.

Capítulo 8

Conclusiones

La modulación PS-PWM permite un balance natural de las tensiones de los capacitores flotantes de un convertidor Flying Capacitor, pero esa dinámica es lenta y oscilatoria, ya que depende únicamente de los parámetros pasivos del sistema. Este trabajo abordó esa limitación mediante la implementación y validación experimental de un esquema de control activo, Phase-Shifted Model Predictive Control (PS-MPC), sobre un convertidor Flying Capacitor trifásico de tres celdas por fase, montado sobre una plataforma digital DSP TMS320C6713 y FPGA Spartan-6, programada en Code Composer Studio v3.1. La formulación se basó en la propuesta secuencial del paper [2] para un FCC monofásico, extendida en esta memoria al caso trifásico, lo que agregó un acoplamiento entre las tres fases del convertidor a través de la tensión de modo común $v_{on}(k)$, ausente en el caso monofásico original.

El modelo discreto y su formulación matricial permitieron obtener una solución analítica del ciclo de trabajo óptimo de cada celda, resuelta de forma secuencial invirtiendo una matriz de dimensión fija 3×3, sin importar el número de celdas del convertidor. El análisis de controlabilidad sobre las matrices $\boldsymbol{W}_j(k+1)$ y $\boldsymbol{F}_j(k+1)$ mostró que la condición $\lambda_d > 0$ no es solo una decisión de sintonización, sino una condición necesaria para que $\boldsymbol{W}_j(k+1)$ sea invertible durante el arranque con capacitores descargados, dada la pérdida de rango de $\boldsymbol{B}_1$ y $\boldsymbol{B}_2$ en esa condición inicial. Este resultado se confirmó en simulación con el caso límite $\lambda_d = 0$, donde el sistema colapsó en una indeterminación numérica en la tercera muestra, tal como predecía el desarrollo del Capítulo 4.

El análisis de sensibilidad del Capítulo 5, hecho en dos etapas sobre λ_d y $\lambda_1 = \lambda_2$, permitió elegir la sintonización $\lambda_d = 5$, $\lambda_1 = \lambda_2 = 1$ como caso óptimo. Los ocho casos evaluados en cada barrido mostraron que ambos parámetros funcionan como un compromiso y no como una optimización de una sola métrica. Un λ_d muy bajo hace que el ciclo de trabajo se sature de forma errática entre 0 y 1, lo que ralentiza la carga de los capacitores en vez de acelerarla, mientras que un λ_d muy alto acerca al sistema a su dinámica de lazo abierto, lenta y oscilatoria. De forma parecida, un $\lambda_1 = \lambda_2$ muy bajo deja sin corrección activa el balance de tensión, y uno muy alto termina empeorando la calidad de la corriente sin mejorar el rizado de tensión, el cual queda determinado principalmente por la frecuencia fija de conmutación de PS-PWM y no por qué tan agresivo sea el controlador.

La implementación, descrita en el Capítulo 6, permitió poner en marcha el prototipo del laboratorio LIAcE, incluyendo la calibración de los nueve canales de medición mediante

regresión lineal contra PLECS, el ajuste del tiempo muerto por osciloscopio, y la verificación de las protecciones del DSP. La prueba en lazo abierto a tensión nominal mostró un déficit en la amplitud de la componente fundamental de corriente de entre 4,7 % y 6,2 % respecto a la referencia teórica, según la fase. La explicación más consistente con la evidencia disponible es la combinación de las caídas de tensión no modeladas en los semiconductores y la pérdida de tensión por tiempo muerto, aunque esto no se verificó de forma directa midiendo la tensión de conducción real de los semiconductores, ni se descartó por completo una contribución de la calibración del canal de corriente, y queda como una limitación reconocida de este trabajo.

Los resultados experimentales del Capítulo 7 validaron el desempeño del PS-MPC en las tres sintonizaciones evaluadas, el controlador reguló las seis tensiones de los capacitores flotantes y respondió de forma estable ante el escalón de referencia en todos los casos. Los compromisos de diseño previstos en la función de costo se confirmaron en el hardware real, entre ellos la relación entre λ_d y la velocidad de respuesta y la mejora en la calidad de corriente al relajar los pesos de tensión. Cabe destacar que el caso Óptimo no obtuvo el mejor resultado individual en ninguna de las métricas evaluadas experimentalmente, siendo superado en velocidad por el caso de bajo esfuerzo y en calidad de corriente por el caso de relajación de tensión, lo que confirma que su elección responde a un compromiso entre las distintas métricas y no al mejor desempeño aislado en una sola prueba, considerando además el arranque del convertidor evaluado en simulación. El déficit de corriente observado en lazo abierto persistió bajo control activo en los tres casos, sin que el PS-MPC lograra corregirlo, lo que se atribuye a la falta de acción integral del controlador. Esto es consistente con la formulación del predictor, la cual no incluye las caídas de tensión de los semiconductores ni el efecto del tiempo muerto como una perturbación explícita del modelo, ni incorpora una acción integral o un observador de perturbación que las estime en línea, por lo que el controlador no dispone de información para detectar ni compensar dicha caída.

La concordancia entre la plataforma experimental y las simulaciones en PLECS, tanto en el orden de magnitud de los tiempos de respuesta como en la dirección de los compromisos de diseño, respalda el modelo continuo del Capítulo 3 y su discretización en el modelo de predicción del controlador, desarrollada en el Capítulo 4. Esto es un resultado importante considerando que el prototipo agrega fuentes de ruido que el modelo ideal no tiene, como la cuantización de 12 bits del ADC, el ruido electromagnético de conmutación y las caídas de tensión no modeladas ya mencionadas. Dicho esto, la comparación cuantitativa entre simulación y experimento tiene dos límites metodológicos que hay que tener en cuenta, el tiempo al primer pico usado en el hardware no es exactamente lo mismo que el tiempo de establecimiento usado en simulación, y el contenido armónico experimental solo se puede calcular hasta el orden 120 por la frecuencia de muestreo del DSP, mientras que en simulación se calcula hasta el orden 150.

Trabajos futuros

De este trabajo quedan abiertas las siguientes líneas:

- Medir directamente la tensión de conducción de los IGBT y sus diodos antiparalelos, para confirmar el origen del déficit de corriente y eventualmente compensarlo en el algoritmo de control.

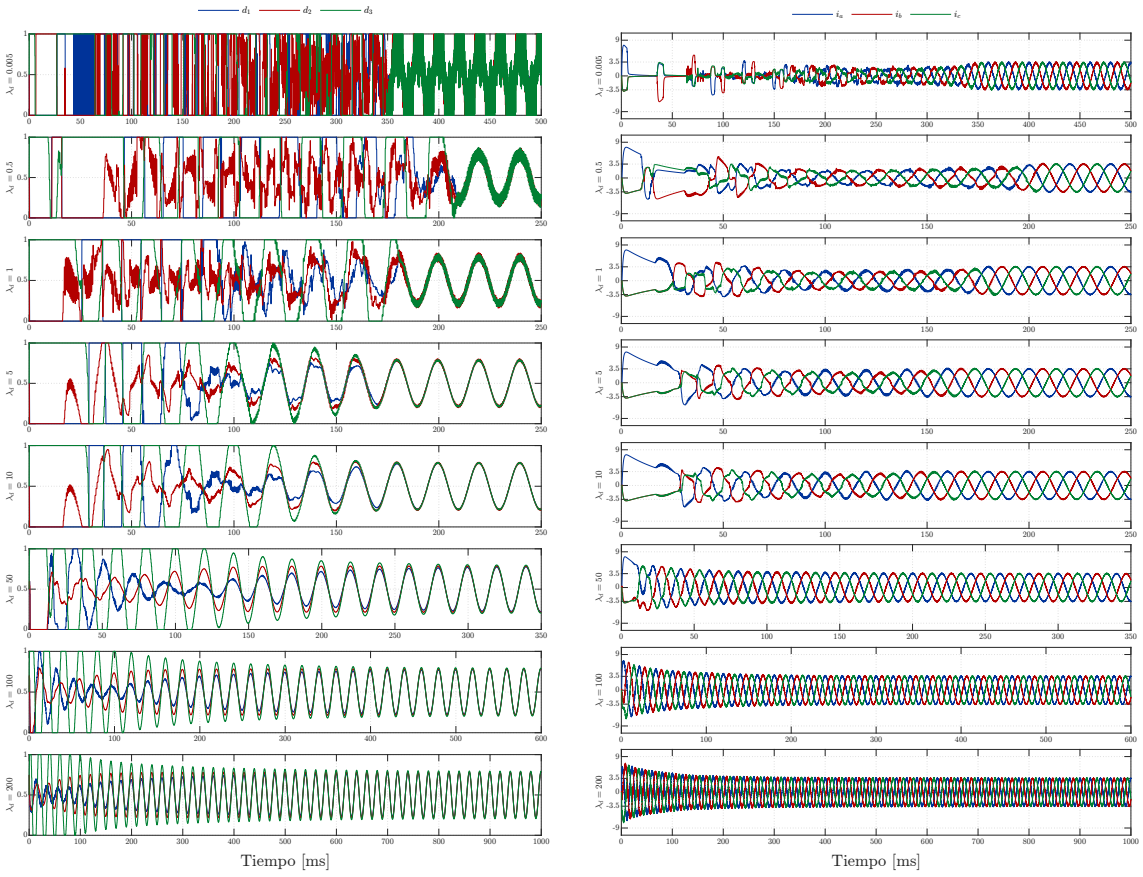
- Probar el arranque con capacitores completamente descargados en el prototipo real.
- Explorar una optimización conjunta de λ_d, λ_1 y λ_2, en vez del barrido secuencial en dos etapas usado en este trabajo.

En conjunto, este trabajo muestra, de forma teórica, en simulación y experimentalmente, que el PS-MPC es una estrategia de control activo efectiva para el balance de tensiones de un convertidor Flying Capacitor trifásico, y que mejora la dinámica lenta y oscilatoria propia del balance natural bajo PS-PWM sin corrección activa. Haber implementado el algoritmo en una plataforma DSP+FPGA y haberlo validado bajo tres sintonizaciones distintas, muestra que la formulación desarrollada no solo es consistente en la teoría, sino que también funciona en un prototipo real.

Apéndice A

Figuras y tablas complementarias

A.1. Capítulo 5 — Simulaciones



(a) Ciclos de trabajo d_1, d_2, d_3 de la fase A

(b) Corriente trifásica

Figura A.1: Análisis de sensibilidad de λ_d durante el arranque

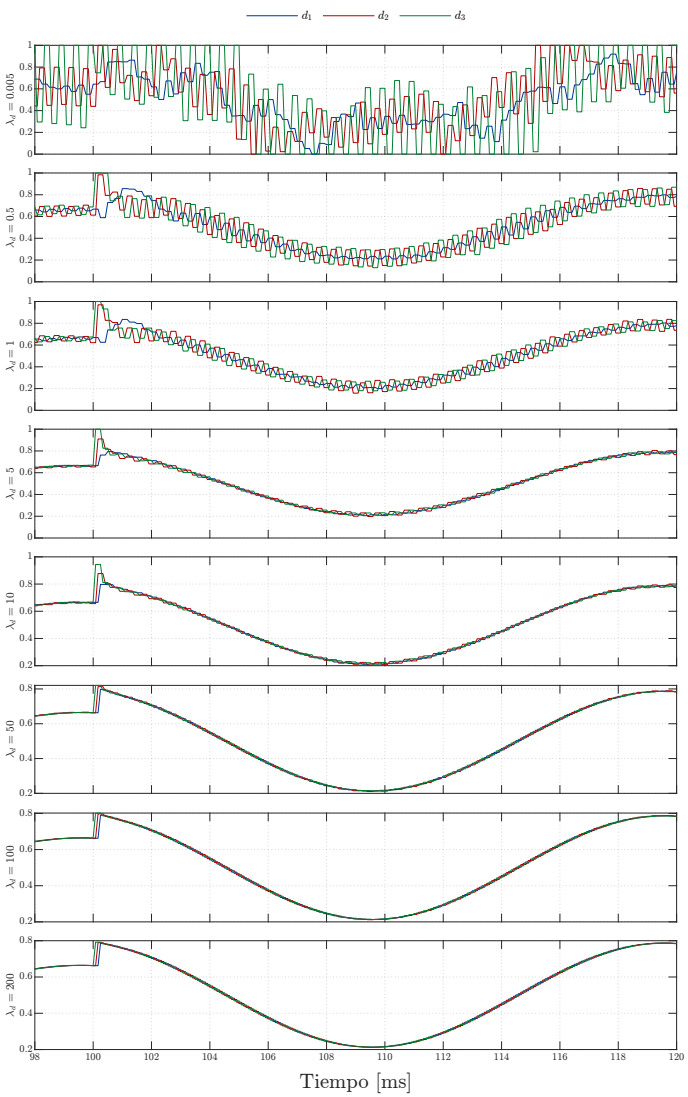
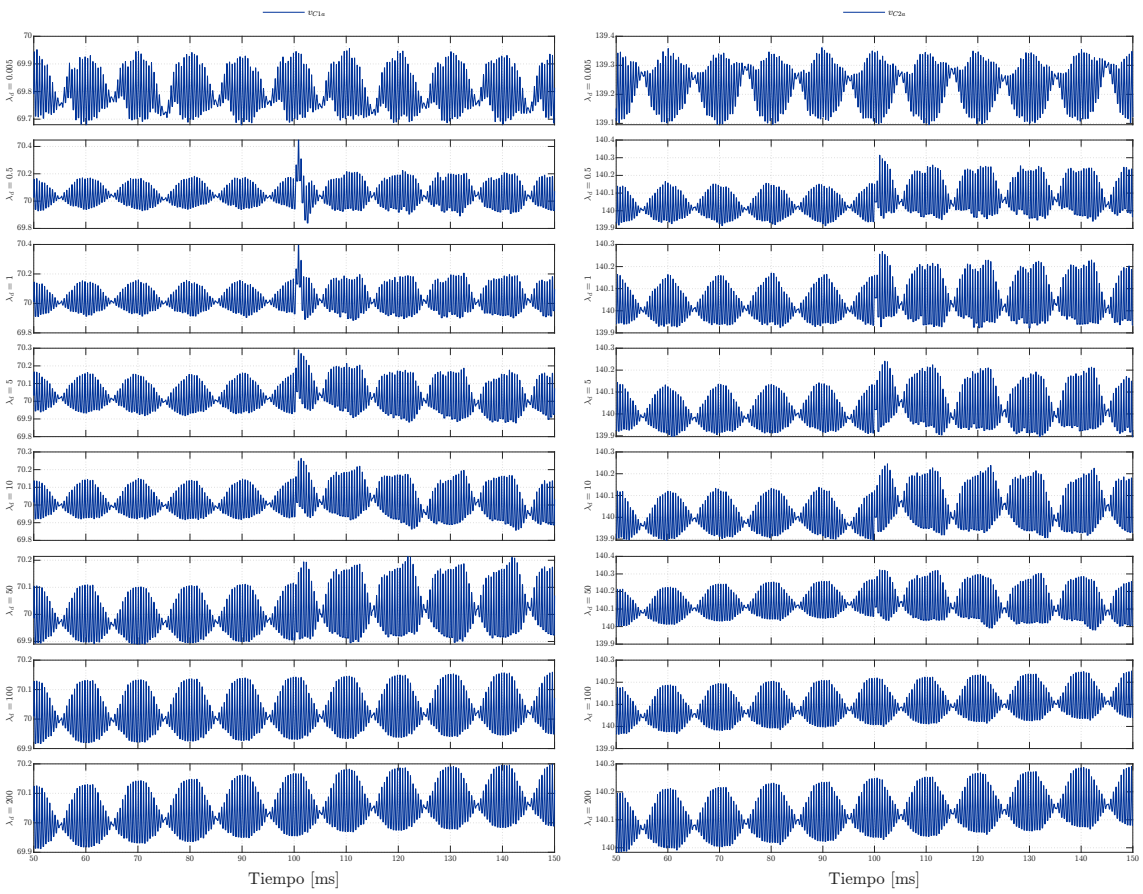


Figura A.2: Ciclos de trabajo d_1, d_2 y d_3 de la fase A en torno al escalón, análisis de sensibilidad de λ_d



(a) (b)

Figura A.3: Tensión de los capacitores flotantes de la fase A en torno al escalón, análisis de sensibilidad de λ_d, (a) v_{C1a}, (b) v_{C2a}

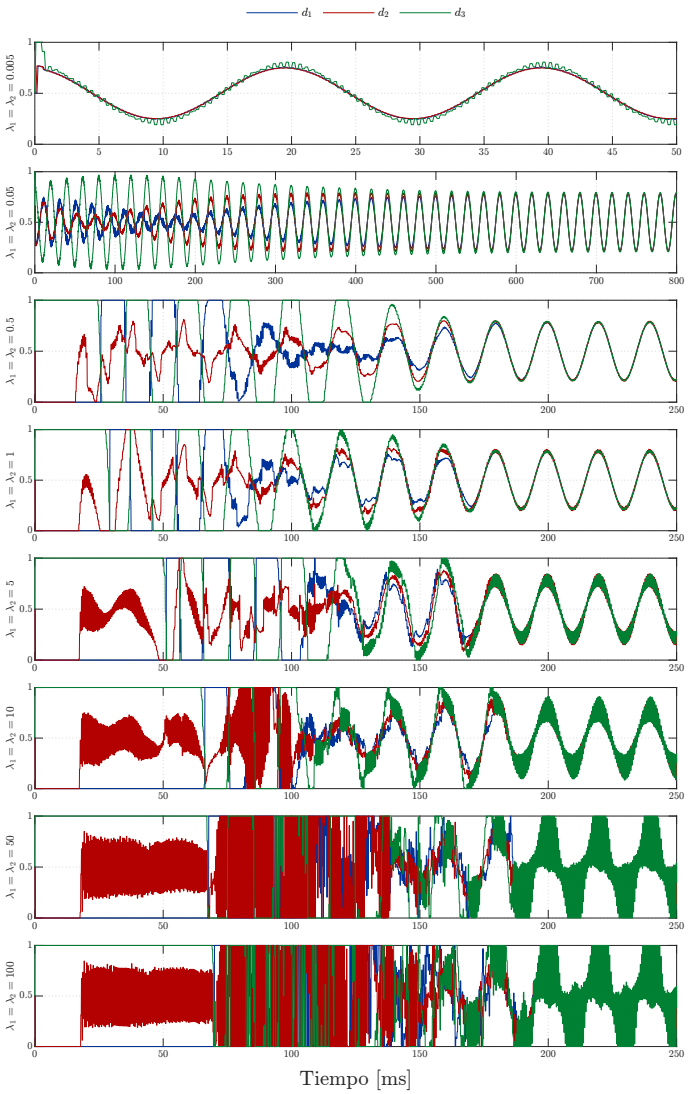
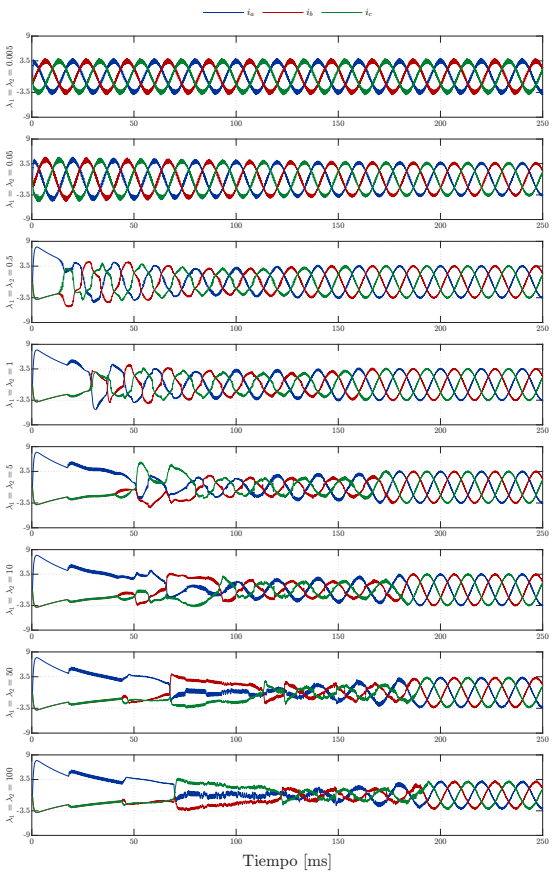
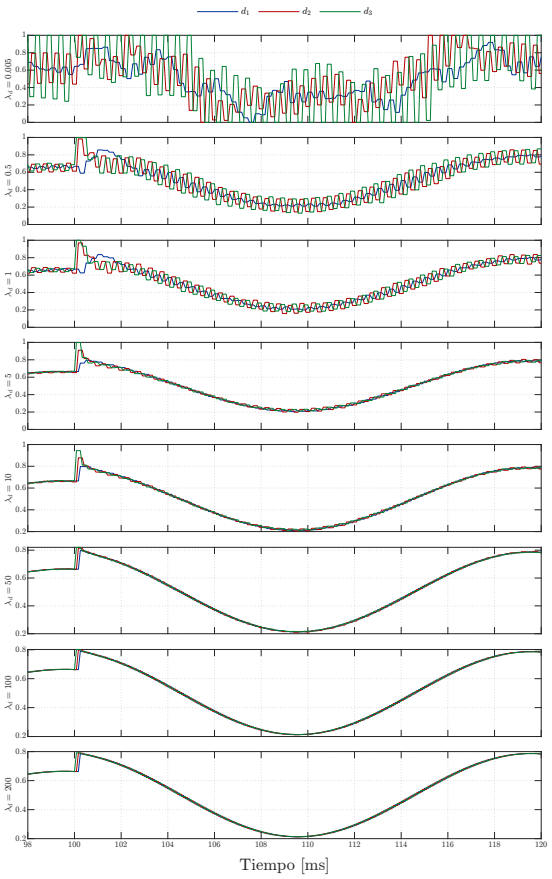


Figura A.4: Ciclos de trabajo d_1, d_2 y d_3 de la fase A durante el arranque, análisis de sensibilidad de $\lambda_1 = \lambda_2$

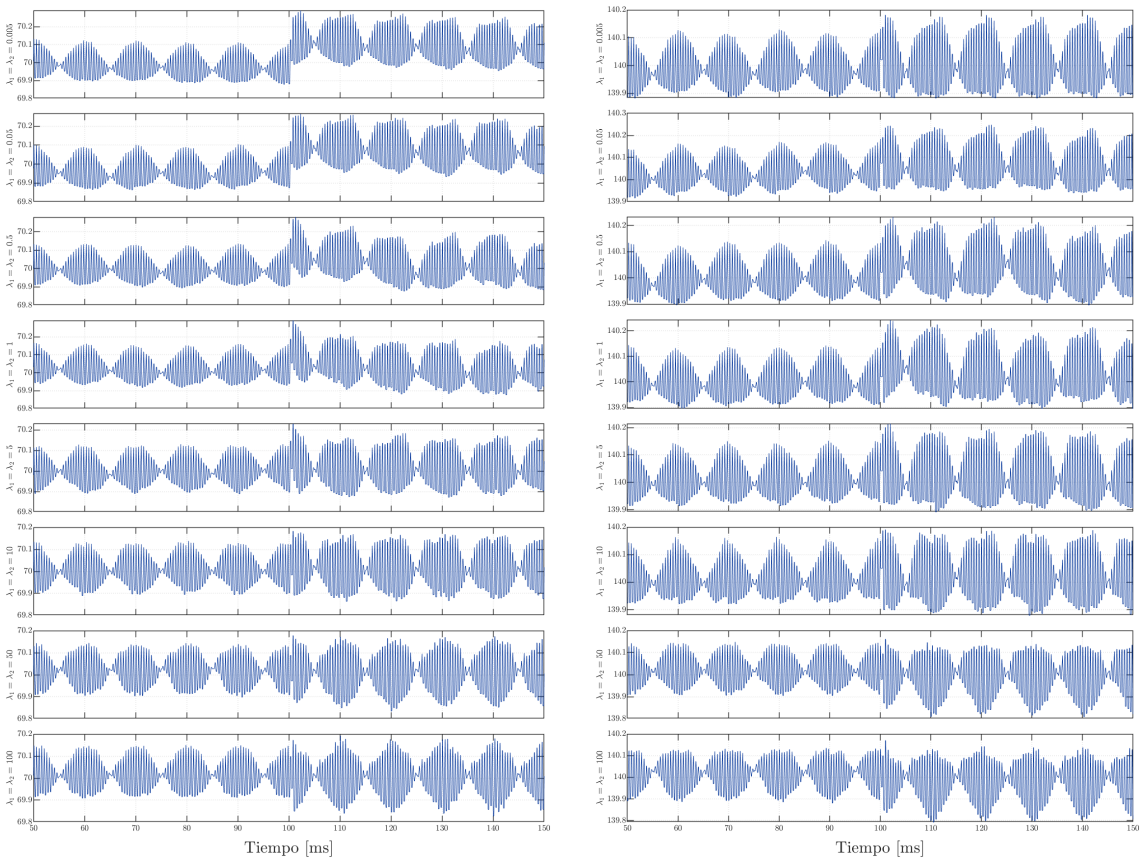


(a) Corriente trifásica durante el arranque



(b) Ciclos de trabajo d_1, d_2 y d_3 (Fase A) en torno al escalón

Figura A.5: Análisis de sensibilidad de $\lambda_1 = \lambda_2$ durante el arranque y la respuesta ante escalón



(a) Tensión v_{C1a} en torno al escalón

(b) Tensión v_{C2a} en torno al escalón

Figura A.6: Tensiones de los condensadores flotantes en torno al escalón, análisis de sensibilidad de $\lambda_1 = \lambda_2$

Apéndice B

Código de calibración de los sensores (DSP)

Este apéndice presenta el código fuente utilizado en el procedimiento de calibración descrito en la Sección 6.2.5, en el cual se aplica un ciclo de trabajo constante e idéntico en las tres celdas de una fase ($d_1 = d_2 = d_3 = 0,7$) y se promedian $J = 400$ muestras consecutivas del ADC en cada punto de operación.

```
/*Prueba de escritura y lectura en FPGA*/
#include <math.h>
#include <c6x.h>
#include "c6211dsk.h"
#include <stdio.h>
#include "sin_trif.h"
#include "spartan6_v1_rt.h"
//
    ////////////////////////////////////////////////////////////////////////////

/*
    ------------------------------------------------------------------------------------------
    */
// Define el nombre de la funcion int4_isr que es del tipo interrupcion
interrupt void int4_isr();
// Definicion de constantes
#define C_MAX  18750
#define C_MAX_23  12500 // =2*C_MAX/3, para desfase de T2 y T3 respecto al
    0, considerando T0 como referencia, es decir, su minimo en cero.
#define J 400

#pragma DATA_SECTION(mia,".MEX")
#pragma DATA_SECTION(mvc1a,".MEX")
#pragma DATA_SECTION(mvc2a,".MEX")

#pragma DATA_SECTION(mib,".MEX")
#pragma DATA_SECTION(mvc1b,".MEX")
#pragma DATA_SECTION(mvc2b,".MEX")

#pragma DATA_SECTION(mic,".MEX")
#pragma DATA_SECTION(mvc1c,".MEX")
#pragma DATA_SECTION(mvc2c,".MEX")
// Definiciones globales
```

```
unsigned int j=0, flag=1, flag2=0, flag3=0, flag4=0;

float vc1a=0, vc2a=0, ia=0;
float sumvc1a=0, sumvc2a=0, sumia=0;
float mia[J], mvc1a[J], mvc2a[J];

float vc1b=0, vc2b=0, ib=0;
float sumvc1b=0, sumvc2b=0, sumib=0;
float mib[J], mvc1b[J], mvc2b[J];

float vc1c=0, vc2c=0, ic=0;
float sumvc1c=0, sumvc2c=0, sumic=0;
float mic[J], mvc1c[J], mvc2c[J];
int ref_va=0,ref_vb=0,ref_vc=0;
int tripi=0, tripv1=0, tripv2=0;

int main()
{
  DSK6713_init();

                     /* DSP initialization                  */
  CSR = 0x100;         /* Disable all interrupts              */
  IER = 2;             /* Disable all interrupts except NMI   */
    IER |= 0x0010;       /* Enables INT4  (timer 0 interrupt)  */
  ICR = 0xffff;        /* Clear all pending interrupts        */
  CSR |= 0x1;        /* global interrupt enable*/
/*                        Inicio de configuracion de registros
                    */
  DIV_CLK0 = 2;   //CLK0 operando a 150/2 MHz = 75 MHz = Frecuencia del
    paso
  DIV_CLK1 = 5;   //CLK1 operando a 150/5 MHz = 30 MHz = Frecuencia del
    paso
  DIV_CLK2 = 200;   //CLK2 operando a 150/200 MHz = 750 kHz = Frecuencia
    del paso
/*****************************************************************/
  DIV_CLK3 = 5;   //CLK3 operando a 150/5 MHz = 30 MHz
//  ----- NO CAMBIAR, afectara el funcionamiento de los ADCs  -----
  //TIMER 0
  T0C_MAX = C_MAX;
  T0CTRL = SINC_T1 + SINC_T2
      + SEL_CLK_0 + SEL_INT_UND + SEL_INT_PER  + E_INT + MODE_UP_DOWN;
            //Seleccion del reloj CLK0, interrupcion por periodo,
            //encendido en modo U/D, sincronizando a T1,T2
  //TIMER 1
  T1C_MAX = C_MAX;
  T1LOAD = (int)(C_MAX_23);
  T1CTRL = SEL_CLK_0 + SEL_INT_UND + SEL_INT_PER + E_INT+ MODE_UP_DOWN;
            //Seleccion del reloj CLK0,
            //encendido en modo U/D, desfasado en 120 grados con respecto a
    T0
  //TIMER 2
  T2C_MAX = C_MAX;
  T2LOAD = (int)(C_MAX_23);
  T2CTRL = SEL_CLK_0 + SEL_INT_UND + SEL_INT_PER + E_INT + MODE_UP_DOWN +
    SLOPE_INI;
            //Seleccion del reloj CLK0
            //encendido en modo U/D, desfasado en 120 grados con respecto a
    T0
  //TIMER 3
```

```
81    T3C_MAX = C_MAX;  //Cuenta maxima en 255
82    T3LOAD = 0;     //Valor de precarga
83    T3CTRL = SEL_CLK_1 + MODE_UP_DOWN;
84              //Seleccion del reloj CLK1
85              //encendido en modo U/D, independiente de T0
86    //TIMER 4
87    T4C_MAX = 15000;  //Cuenta maxima en 255
88    T4LOAD = 0x0198;  //Valor de precarga
89    T4CTRL = 0;     //Timer apagado
90    //Moduladores PWM
91    PWM0CTRL = EN_PWM + PWM_DT(0);
92    PWM1CTRL = EN_PWM + PWM_DT(0);
93    PWM2CTRL = EN_PWM + PWM_DT(0);
94    PWM3CTRL = EN_PWM + PWM_DT(0);
95    PWMTRIP = 0;
96    // Control de interrupciones
97    INT_CTRL = INT_ADC; //INT_TIMERS; // Senal de interrupcion en el pin
        generada por los Timers
98    // Se interrumpe mediante los ADC, los ADC tienen una frecuencias de
        muestreo de 1kHz
99    ADC0CTRL = ADC_T0MIN + ADC_T1MIN + ADC_T2MIN + ADC_T0MAX + ADC_T1MAX +
        ADC_T2MAX + NUM_CONV(3) + E_INT;
100   ADC1CTRL = ADC_T0MIN + ADC_T1MIN + ADC_T2MIN + ADC_T0MAX + ADC_T1MAX +
        ADC_T2MAX + NUM_CONV(3) + E_INT;
101
102   ADC0CHS  = ADC_CHS(3,4,5,1,1,1);
103   ADC1CHS  = ADC_CHS(3,4,5,1,1,1);
104 /*                          Fin de configuracion de registros
                        */
105     while(1) // Loop infinito
106     {
107
108   }
109 }
110 interrupt void int4_isr(void)
111 {
112   IER &=  0x0000;   //Inhabilita interrupcion externa
113
114   switch(flag)
115   {
116     case 1:
117     {
118       vc1a = (float)(ADC_CONV_A(ADC1CONV1A_1B)^0x800);
119       vc2a = (float)(ADC_CONV_A(ADC0CONV1A_1B)^0x800);
120       ia = (float)(ADC_CONV_A(ADC1CONV3A_3B)^0x800);
121
122       vc1b = (float)(ADC_CONV_B(ADC1CONV3A_3B)^0x800);
123       vc2b = (float)(ADC_CONV_B(ADC1CONV2A_2B)^0x800);
124       ib = (float)(ADC_CONV_B(ADC1CONV1A_1B)^0x800);
125
126       vc1c = (float)(ADC_CONV_A(ADC0CONV3A_3B)^0x800);
127       vc2c = (float)(ADC_CONV_B(ADC0CONV1A_1B)^0x800);
128       ic = (float)(ADC_CONV_B(ADC0CONV2A_2B)^0x800);
129
130       sumvc1a=sumvc1a+vc1a/J;
131       sumvc2a=sumvc2a+vc2a/J;
132       sumia=sumia+ia/J;
133
134       sumvc1b=sumvc1b+vc1b/J;
```

```
      sumvc2b=sumvc2b+vc2b/J;
      sumib=sumib+ib/J;

      sumvc1c=sumvc1c+vc1c/J;
      sumvc2c=sumvc2c+vc2c/J;
      sumic=sumic+ic/J;
      j++;
      if (j >= J)
        {flag=0;j=0;}
    }
    break;

    case 0:
    {

      vc1a = ((float)(ADC_CONV_A(ADC1CONV1A_1B)^0x800)-sumvc1a) ;
      vc2a = ((float)(ADC_CONV_A(ADC0CONV1A_1B)^0x800)-sumvc2a) ;
      ia   = ((float)(ADC_CONV_A(ADC1CONV3A_3B)^0x800)-sumia) ;

      vc1b = ((float)(ADC_CONV_B(ADC1CONV3A_3B)^0x800)-sumvc1b);
      vc2b = ((float)(ADC_CONV_B(ADC1CONV2A_2B)^0x800)-sumvc2b);
      ib = ((float)(ADC_CONV_B(ADC1CONV1A_1B)^0x800)-sumib);

      vc1c = ((float)(ADC_CONV_A(ADC0CONV3A_3B)^0x800)-sumvc1c);
      vc2c = ((float)(ADC_CONV_B(ADC0CONV1A_1B)^0x800)-sumvc2c);
      ic = ((float)(ADC_CONV_B(ADC0CONV2A_2B)^0x800)-sumic);



      ref_va= (int)(C_MAX*0.7);
      ref_vb= (int)(C_MAX*0.7);
      ref_vc= (int)(C_MAX*0.7);

      T0CMPR1 = ref_va;
      T1CMPR1 = ref_va;
      T2CMPR1 = ref_va;

      T0CMPR2 = ref_vb;
      T1CMPR2 = ref_vb;
      T2CMPR2 = ref_vb;

      T0CMPR3 = ref_vc;
      T1CMPR3 = ref_vc;
      T2CMPR3 = ref_vc;

      if (flag2 == 1)   // Lectura de mediciones de tensiones
      {
        mia[j] = ia;
        mvc1a[j] = vc1a;
        mvc2a[j] = vc2a;

        mib[j] = ib;
        mvc1b[j] = vc1b;
        mvc2b[j] = vc2b;

        mic[j] = ic;
        mvc1c[j] = vc1c;
        mvc2c[j] = vc2c;
        j++;
```

```
194         if (j >= J)
195         {
196           flag2 = 0;
197           j = 0;
198         }
199       }
200        /* TRIP */
201       if (flag3==1)
202       {
203         PWMTRIP=TR_M0_T0+TR_M1_T0+TR_M2_T0+TR_M0_T1+TR_M1_T1+TR_M2_T1+
    TR_M0_T2+TR_M1_T2+TR_M2_T2;
204         flag3 = 0;
205       }
206       /* UNTRIP */
207       if (flag4==1)
208       {
209         PWMTRIP = 0;
210         flag4 = 0;
211         tripi=0;
212         tripv1=0;
213         tripv2=0;
214       }
215     }
216     break;
217   }
218   IER |= 0x0010;    //Habilita interrupcion externa
219 }
```

Listing B.1: Código de calibración de sensores (DSP, lenguaje C).

Apéndice C

Código de control en lazo abierto (DSP)

Este apéndice presenta el código fuente correspondiente a la prueba en lazo abierto a tensión nominal descrita en la Sección 6.2.7, en la cual se aplica un índice de modulación constante $\hat{m} = 0,2870$ sin corrección basada en las tensiones medidas de los capacitores.

```
/*Prueba de escritura y lectura en FPGA*/
#include <math.h>
#include <c6x.h>
#include "c6211dsk.h"
#include <stdio.h>//ajuste de la velocidad del reloj del sistema, el
    acondicionamiento necesario para que el DSP pueda comunicarse
    correctamente con la memoria externa, etc
#include "sin_trif.h"
#include "spartan6_v1_rt.h"
interrupt void int4_isr();
// Definicion de constantes
#define C_MAX  18750
#define C_MAX_23 12500
#define J      4201
#define C_MAX_2  9375
#define IM      5.0f
#define M1      160.0f
#define M2      160.0f
#define C_MAXT3 5000
#define J1 3000
#define K 1000

#pragma DATA_SECTION(mia,".MEX")
#pragma DATA_SECTION(mvc1a,".MEX")
#pragma DATA_SECTION(mvc2a,".MEX")

#pragma DATA_SECTION(mib,".MEX")
#pragma DATA_SECTION(mvc1b,".MEX")
#pragma DATA_SECTION(mvc2b,".MEX")

#pragma DATA_SECTION(mvc1c,".MEX")
#pragma DATA_SECTION(mic,".MEX")
#pragma DATA_SECTION(mvc2c,".MEX")

```

```
#pragma DATA_SECTION(ria,".MEX")
#pragma DATA_SECTION(rvc1a,".MEX")
#pragma DATA_SECTION(rvc2a,".MEX")

#pragma DATA_SECTION(rib,".MEX")
#pragma DATA_SECTION(rvc1b,".MEX")
#pragma DATA_SECTION(rvc2b,".MEX")

#pragma DATA_SECTION(ric,".MEX")
#pragma DATA_SECTION(rvc1c,".MEX")
#pragma DATA_SECTION(rvc2c,".MEX")

// Definiciones globales
unsigned int j=0, k=0, flag=1, flag1=0, flag2=0, flag3=0, flag4=0, flagt=0;

float ia=0, vc1a=0, vc2a=0;
float sumvc1a=0, sumvc2a=0, sumia=0;
float mia[J], mvc1a[J], mvc2a[J];
float ria[J1], rvc1a[J1], rvc2a[J1];

float vc1b=0, vc2b=0, ib=0;
float sumvc1b=0, sumvc2b=0, sumib=0;
float mib[J], mvc1b[J], mvc2b[J];
float rib[J1], rvc1b[J1], rvc2b[J1];

float vc1c=0, vc2c=0, ic=0;
float sumvc1c=0, sumvc2c=0, sumic=0;
float mic[J], mvc1c[J], mvc2c[J];
float ric[J1], rvc1c[J1], rvc2c[J1];

float ang=0; //En radianes.
int ref_va=0, ref_vb=0, ref_vc=0;
/* Reescritura */
int cont=0, ref=0;
float m=0.2870;
float mr=0;
/* Protecciones */
float VM1=0, VM2=0, iM=0, im=0;
float ci=0, cv1=0, cv2=0;
int tripi=0, tripv1=0, tripv2=0;
/***************    Rutinas   ****************************/
#include "func\minmax.h"          // Maximo-minimo

int main()
{
  DSK6713_init();
  CSR = 0x100;
  IER = 2;
    IER |= 0x0010;
  ICR = 0xffff;

  CSR |= 0x1;
  DIV_CLK0 = 2;
  DIV_CLK1 = 3;
  DIV_CLK2 = 200;
  DIV_CLK3 = 5;

  TOC_MAX = C_MAX;
  TOCTRL = SINC_T1 + SINC_T2
```

```
92        + SEL_CLK_0 + SEL_INT_UND + SEL_INT_PER  + E_INT + MODE_UP_DOWN;
93    T1C_MAX = C_MAX;
94    T1LOAD = (int)(C_MAX_23);
95    T1CTRL = SEL_CLK_0 + SEL_INT_UND + SEL_INT_PER + E_INT+ MODE_UP_DOWN;
96    T2C_MAX = C_MAX;
97    T2LOAD = (int)(C_MAX_23);
98    T2CTRL = SEL_CLK_0 + SEL_INT_UND + SEL_INT_PER + E_INT + MODE_UP_DOWN +
        SLOPE_INI;
99    T3C_MAX = C_MAXT3;
100   T3LOAD = 0;
101   T3CTRL = SEL_CLK_1 + MODE_UP_DOWN;
102   T4C_MAX = 0x00FF;
103   T4LOAD = 0x0198;
104   T4CTRL = 0;
105   PWM0CTRL = EN_PWM + PWM_DT(0);
106   PWM1CTRL = EN_PWM + PWM_DT(0);
107   PWM2CTRL = EN_PWM + PWM_DT(0);
108   PWM3CTRL = EN_PWM + PWM_DT(0);
109   PWMTRIP = 0;
110   INT_CTRL = INT_ADC;
111   ADC0CTRL = ADC_T0MIN + ADC_T1MIN + ADC_T2MIN + ADC_T0MAX + ADC_T1MAX +
        ADC_T2MAX + NUM_CONV(3) + E_INT;
112   ADC1CTRL = ADC_T0MIN + ADC_T1MIN + ADC_T2MIN + ADC_T0MAX + ADC_T1MAX +
        ADC_T2MAX + NUM_CONV(3) + E_INT;
113
114   ADC0CHS  = ADC_CHS(3,4,5,1,1,1);
115   ADC1CHS  = ADC_CHS(3,4,5,1,1,1);
116     while(1)
117     {
118   }
119 }
120 interrupt void int4_isr(void)
121 {
122   IER &=  0x0000;
123
124   switch(flag)
125   {
126     case 1:
127     {
128       vc1a = (float)(ADC_CONV_A(ADC1CONV1A_1B)^0x800);
129       vc2a = (float)(ADC_CONV_A(ADC0CONV1A_1B)^0x800);
130       ia = (float)(ADC_CONV_A(ADC1CONV3A_3B)^0x800);
131
132       vc1b = (float)(ADC_CONV_B(ADC1CONV3A_3B)^0x800);
133       vc2b = (float)(ADC_CONV_B(ADC1CONV2A_2B)^0x800);
134       ib = (float)(ADC_CONV_B(ADC1CONV1A_1B)^0x800);
135
136       vc1c = (float)(ADC_CONV_A(ADC0CONV3A_3B)^0x800);
137       vc2c = (float)(ADC_CONV_B(ADC0CONV1A_1B)^0x800);
138       ic = (float)(ADC_CONV_B(ADC0CONV2A_2B)^0x800);
139
140       sumvc1a=sumvc1a+vc1a/J;
141       sumvc2a=sumvc2a+vc2a/J;
142       sumia=sumia+ia/J;
143
144       sumvc1b=sumvc1b+vc1b/J;
145       sumvc2b=sumvc2b+vc2b/J;
146       sumib=sumib+ib/J;
147
```

```
148       sumvc1c=sumvc1c+vc1c/J;
149       sumvc2c=sumvc2c+vc2c/J;
150       sumic=sumic+ic/J;
151       j++;
152       if (j >= J)
153         {flag=0;j=0;}
154     }
155     break;
156 
157     case 0:
158     {
159       vc1a = ((float)(ADC_CONV_A(ADC1CONV1A_1B)^0x800)-sumvc1a) * 0.040183
    ;
160       vc2a = ((float)(ADC_CONV_A(ADC0CONV1A_1B)^0x800)-sumvc2a) * 0.076911;
161       ia   = (-(float)(ADC_CONV_A(ADC1CONV3A_3B)^0x800)+sumia) * 0.006626;
162 
163       vc1b = ((float)(ADC_CONV_B(ADC1CONV3A_3B)^0x800)-sumvc1b) * 0.025630;
164       vc2b = ((float)(ADC_CONV_B(ADC1CONV2A_2B)^0x800)-sumvc2b) * 0.048924;
165       ib = (-(float)(ADC_CONV_B(ADC1CONV1A_1B)^0x800)+sumib) * 0.006757;
166 
167       vc1c = ((float)(ADC_CONV_A(ADC0CONV3A_3B)^0x800)-sumvc1c) * 0.055772;
168       vc2c = ((float)(ADC_CONV_B(ADC0CONV1A_1B)^0x800)-sumvc2c) * 0.061054;
169       ic = (-(float)(ADC_CONV_B(ADC0CONV2A_2B)^0x800)+sumic) * 0.007816;
170       /* Inicio protecciones */
171       iM=maximo(ia,ib,ic);
172       im=minimo(ia,ib,ic);
173       VM1=maximo(vc1a,vc1b,vc1c);
174       VM2=maximo(vc2a,vc2b,vc2c);
175       flagt=0;
176       if ((IM<=iM)&&(im<=-IM))
177       {
178         ci = ci + 1;
179         flagt = 1;
180         if (ci>5)
181         {
182           flag3=1;tripi=1;
183         }
184       }
185       if ((M1<=VM1))
186       {
187         cv1 = cv1 + 1;
188         flagt = 1;
189         if (cv1>5)
190         {
191           flag3=1;tripv1=1;
192         }
193       }
194       if ((M2<=VM2))
195       {
196         cv2 = cv2 + 1;
197         flagt = 1;
198         if (cv2>5)
199         {
200           flag3=1;tripv2=1;
201         }
202       }
203       if (flagt==0)
204       {
205         ci=0;cv1=0;cv2=0;
```

```
206       }
207       ref_va= (int)(C_MAX*m*seno[cont])+C_MAX_2+1;//sumar C_MAX_2, es sumar
      un 0.5 en la escala de 1.
208       ref_vb= (int)(C_MAX*m*seno[cont+100])+C_MAX_2+1;
209       ref_vc= (int)(C_MAX*m*seno[cont+200])+C_MAX_2+1;
210       ang= ((float)cont/(float)N) * 2.0f * 3.14159f;
211       cont++;
212       if ( cont>N )
213         cont=0;
214
215       T0CMPR1 = ref_va;
216       T1CMPR1 = ref_va;
217       T2CMPR1 = ref_va;
218
219       T0CMPR2 = ref_vb;
220       T1CMPR2 = ref_vb;
221       T2CMPR2 = ref_vb;
222
223       T0CMPR3 = ref_vc;
224       T1CMPR3 = ref_vc;
225       T2CMPR3 = ref_vc;
226       /* Cambio de referencia */
227       if(flag1==1)
228       {
229         if ((ang<0.1)&&(-0.1<ang)) // Entra al if si el angulo es cercano a
      0.
230         {//Tu ang avanza asi cada interrupcion: con cont=1 entonces 0.021
    rad  (un paso)
231           ref=1;
232         }
233         if (ref==1) // Variable binaria para permitir el cambio de
    referencia a traves de Matlab.
234         {
235           ria[k] = ia;
236           rib[k] = ib;
237           ric[k] = ic;
238           rvc1a[k] = vc1a;
239           rvc1b[k] = vc1b;
240           rvc1c[k] = vc1c;
241           rvc2a[k] = vc2a;
242           rvc2b[k] = vc2b;
243           rvc2c[k] = vc2c;
244           T3CMPR1 = (C_MAXT3+1);
245           k++;
246
247           if (k==K)
248             {m=mr;}
249           if (k>=J1)
250             {flag1=0;
251             k=0;
252             T1CMPR3=0;
253             ref=0;}
254         }
255       }
256       if (flag2 == 1)   // Lectura de mediciones
257       {
258         mia[j] = ia;
259         mvc1a[j] = vc1a;
260         mvc2a[j] = vc2a;
```

```
261
262         mib[j] = ib;
263         mvc1b[j] = vc1b;
264         mvc2b[j] = vc2b;
265
266         mic[j] = ic;
267         mvc1c[j] = vc1c;
268         mvc2c[j] = vc2c;
269         j++;
270         if (j >= J)
271         {
272           flag2 = 0;
273           j = 0;
274         }
275       }
276        /* TRIP */
277       if (flag3==1)
278       {
279         PWMTRIP=TR_M0_T0+TR_M1_T0+TR_M2_T0+TR_M0_T1+TR_M1_T1+TR_M2_T1+
    TR_M0_T2+TR_M1_T2+TR_M2_T2;
280         flag3 = 0;
281       }
282       /* UNTRIP */
283       if (flag4==1)
284       {
285         PWMTRIP = 0;
286         flag4 = 0;
287         tripi = 0;
288         tripv1 = 0;
289         tripv2 = 0;
290       }
291     }
292     break;
293   }
294   IER |= 0x0010;
295 }
```

Listing C.1: Código de control en lazo abierto (DSP, lenguaje C).

Apéndice D

Código de control en lazo cerrado (DSP)

Este apéndice presenta el código fuente en lenguaje C de la implementación del algoritmo de control PS-MPC en el DSP TMS320C6713, programado en Code Composer Studio v3.1. Se incluye la rutina de interrupción principal (`int4_isr`), que ejecuta de forma secuencial la estimación del estado, el cálculo del ciclo de trabajo óptimo de la celda activa, y la actualización de los registros del modulador PWM en cada instante de muestreo.

```
/*Prueba de escritura y lectura en FPGA*/
#include <math.h>
#include <c6x.h>
#include "c6211dsk.h"
#include <stdio.h>//Ajuste de la velocidad del reloj del sistema, el
    acondicionamiento necesario para que el DSP pueda comunicarse
    correctamente con la memoria externa, etc
#include "spartan6_v1_rt.h"
#include <C:\CCStudio_v3.1\c6700\dsplib\include\DSPF_sp_mat_mul.h>
#include <C:\CCStudio_v3.1\inc\c67fastMath.h>

interrupt void int4_isr();
#define C_MAX 18750//
#define C_MAX_23 12500.
#define J      4201
#define IM  5.0f
#define M1  160.0f
#define M2  160.0f
#define C_MAXT3 5000
#define J1 4201
#define K 1200
#define Ts  0.00008333f
#define w           314.1592653589793f
#define wTs     0.02617993877f//2*pi*fr*Ts
#define R     17.0f
#define L     0.008768f
#define C     0.0015f
#define pi        3.141592653589793f
#define tercio    0.333333333333333f
#define dostercios  0.666666666666667f

#pragma DATA_SECTION(mia,".MEX")
```

```
#pragma DATA_SECTION(mib,".MEX")
#pragma DATA_SECTION(mic,".MEX")
#pragma DATA_SECTION(mvc1a,".MEX")
#pragma DATA_SECTION(mvc1b,".MEX")
#pragma DATA_SECTION(mvc1c,".MEX")
#pragma DATA_SECTION(mvc2a,".MEX")
#pragma DATA_SECTION(mvc2b,".MEX")
#pragma DATA_SECTION(mvc2c,".MEX")
#pragma DATA_SECTION(md1a,".MEX")
#pragma DATA_SECTION(md1b,".MEX")
#pragma DATA_SECTION(md1c,".MEX")
#pragma DATA_SECTION(md2a,".MEX")
#pragma DATA_SECTION(md2b,".MEX")
#pragma DATA_SECTION(md2c,".MEX")
#pragma DATA_SECTION(md3a,".MEX")
#pragma DATA_SECTION(md3b,".MEX")
#pragma DATA_SECTION(md3c,".MEX")

#pragma DATA_SECTION(miar,".MEX")
#pragma DATA_SECTION(mibr,".MEX")
#pragma DATA_SECTION(micr,".MEX")
#pragma DATA_SECTION(mvc1r,".MEX")
#pragma DATA_SECTION(mvc2r,".MEX")
#pragma DATA_SECTION(md1ar,".MEX")
#pragma DATA_SECTION(md1br,".MEX")
#pragma DATA_SECTION(md1cr,".MEX")
#pragma DATA_SECTION(md2ar,".MEX")
#pragma DATA_SECTION(md2br,".MEX")
#pragma DATA_SECTION(md2cr,".MEX")
#pragma DATA_SECTION(md3ar,".MEX")
#pragma DATA_SECTION(md3br,".MEX")
#pragma DATA_SECTION(md3cr,".MEX")

#pragma DATA_SECTION(ria,".MEX")
#pragma DATA_SECTION(rib,".MEX")
#pragma DATA_SECTION(ric,".MEX")
#pragma DATA_SECTION(rvc1a,".MEX")
#pragma DATA_SECTION(rvc1b,".MEX")
#pragma DATA_SECTION(rvc1c,".MEX")
#pragma DATA_SECTION(rvc2a,".MEX")
#pragma DATA_SECTION(rvc2b,".MEX")
#pragma DATA_SECTION(rvc2c,".MEX")
#pragma DATA_SECTION(rd1a,".MEX")
#pragma DATA_SECTION(rd1b,".MEX")
#pragma DATA_SECTION(rd1c,".MEX")
#pragma DATA_SECTION(rd2a,".MEX")
#pragma DATA_SECTION(rd2b,".MEX")
#pragma DATA_SECTION(rd2c,".MEX")
#pragma DATA_SECTION(rd3a,".MEX")
#pragma DATA_SECTION(rd3b,".MEX")
#pragma DATA_SECTION(rd3c,".MEX")

#pragma DATA_SECTION(riar,".MEX")
#pragma DATA_SECTION(ribr,".MEX")
#pragma DATA_SECTION(ricr,".MEX")
#pragma DATA_SECTION(rvc1r,".MEX")
#pragma DATA_SECTION(rvc2r,".MEX")
#pragma DATA_SECTION(rd1ar,".MEX")
#pragma DATA_SECTION(rd1br,".MEX")
```

```
#pragma DATA_SECTION(rd1cr,".MEX")
#pragma DATA_SECTION(rd2ar,".MEX")
#pragma DATA_SECTION(rd2br,".MEX")
#pragma DATA_SECTION(rd2cr,".MEX")
#pragma DATA_SECTION(rd3ar,".MEX")
#pragma DATA_SECTION(rd3br,".MEX")
#pragma DATA_SECTION(rd3cr,".MEX")
// Definiciones globales
unsigned int j=0, k=0, flag=1, flagt=0, flag1=0, flag2=0, flag3=0, flag4=0;
float ia=0, vc1a=0, vc2a=0;
float sumvc1a=0, sumvc2a=0, sumia=0;
float mia[J], mvc1a[J], mvc2a[J];
float ria[J1], rvc1a[J1], rvc2a[J1];
float miar[J], mvc1r[J], mvc2r[J];
float riar[J1], rvc1r[J1], rvc2r[J1];

float vc1b=0, vc2b=0, ib=0;
float sumvc1b=0, sumvc2b=0, sumib=0;
float mib[J], mvc1b[J], mvc2b[J];
float rib[J1], rvc1b[J1], rvc2b[J1];
float mibr[J];
float ribr[J1];

float vc1c=0, vc2c=0, ic=0;
float sumvc1c=0, sumvc2c=0, sumic=0;
float mic[J], mvc1c[J], mvc2c[J];
float ric[J1], rvc1c[J1], rvc2c[J1];
float micr[J];
float ricr[J1];

float md3a[J], md3b[J], md3c[J];
float md2a[J], md2b[J], md2c[J];
float md1a[J], md1b[J], md1c[J];
float md3ar[J], md3br[J], md3cr[J];
float md2ar[J], md2br[J], md2cr[J];
float md1ar[J], md1br[J], md1cr[J];
float rd3a[J1], rd3b[J1], rd3c[J1];
float rd2a[J1], rd2b[J1], rd2c[J1];
float rd1a[J1], rd1b[J1], rd1c[J1];
float rd3ar[J1], rd3br[J1], rd3cr[J1];
float rd2ar[J1], rd2br[J1], rd2cr[J1];
float rd1ar[J1], rd1br[J1], rd1cr[J1];

float ang_prox=0; //En radianes.
/* Reescritura */
int ref=0;
/* Protecciones */
float VM1=0, VM2=0, iM=0, im=0;
float ci=0, cv1=0, cv2=0;
int tripi=0, tripv1=0, tripv2=0;
/* MAIN */
float gc2_pred2=0, gb_pred2=0, k22=0;
float gc1_pred2=0;
float x_prox2_0=0, x_prox2_1=0, x_prox2_2=0;
float lam12_gc12=0;
/* PS-MPC */
int PASO=0;
float ga=0, gb=0, gc1=0, gc2=0;
float ga_pred=0, gb_pred=0, gc1_pred=0, gc2_pred=0, k1=0, k2=0;
```

```
int i=0;
float vcc2a=0, vcc2b=0, vcc2c=0;
float v21a=0, v21b=0, v21c=0;
float van=0, vbn=0, vcn=0, von=0;
float x_prox[9], A_iprox[9];
float I_ref=0,thetha_ref=0, angref=0;
float phi_Z=0;
float dref_prox[3];
float ang4prox=0;
float h3[9], h2[9], h1[9], H3[9], H2[9], H1[9];
float e3[9], e2[9], e1[9];
float xref_4prox[9];
float invdetW3, invdetW2, invdetW1;
float W3inv_11=0, W3inv_12=0, W3inv_13=0, W3inv_21=0, W3inv_22=0, W3inv_23
    =0, W3inv_31=0, W3inv_32=0, W3inv_33=0;
float W2inv_11=0, W2inv_12=0, W2inv_13=0, W2inv_21=0, W2inv_22=0, W2inv_23
    =0, W2inv_31=0, W2inv_32=0, W2inv_33=0;
float W1inv_11=0, W1inv_12=0, W1inv_13=0, W1inv_21=0, W1inv_22=0, W1inv_23
    =0, W1inv_31=0, W1inv_32=0, W1inv_33=0;
float F3a=0, F3b=0, F3c=0;
float F2a=0, F2b=0, F2c=0;
float F1a=0, F1b=0, F1c=0;
float d3[3], d2[3], d1[3];
/*REFERENCIA*/
float idref=2.0f, iqref=0.0f;
float idr=0.0f, iqr=0.0f;
float vc1_ref=0.0f, vc2_ref=0.0f;
float iaref_prox=0.0, ibref_prox=0.0f, icref_prox=0.0;
/* */
float lambda_d=5.0f;
float lambda1=1.0f;
float lambda2=1.0f;
float vcc=50.0f;
float lambda_dr=0.0f;
float lambda1r=0.0f;
float lambda2r=0.0f;
float vccr=0.0f;
float d1a=0, d1b=0, d1c=0;
float d2a=0, d2b=0, d2c=0;
float d3a=0, d3b=0, d3c=0;
float d1ar=0, d1br=0, d1cr=0;
float d2ar=0, d2br=0, d2cr=0;
float d3ar=0, d3br=0, d3cr=0;
/***************    Rutinas   ***************************/
#include "func\minmax.h"         // Maximo-minimo
#include "mat\vabc.h"           // Vectores de tension en abc
#include "mat\vab.h"            // Vectores de tension en alpha-beta
#include "mat\ind.h"            // Matriz que indica a que tensiones abc
    corresponde cada tension alpha-beta
int main()
{
  DSK6713_init();
  CSR = 0x100;
  IER = 2;
    IER |= 0x0010;
  ICR = 0xffff;
  CSR |= 0x1;

  DIV_CLK0 = 2;
```

```
204   DIV_CLK1 = 3;
205   DIV_CLK2 = 200;
206
207   DIV_CLK3 = 5;
208
209   T0C_MAX = C_MAX;
210   T0CTRL = SINC_T1 + SINC_T2
211       + SEL_CLK_0 + SEL_INT_UND + SEL_INT_PER  + E_INT + MODE_UP_DOWN;
212
213   T1C_MAX = C_MAX;
214   T1LOAD = (int)(C_MAX_23);
215   T1CTRL = SEL_CLK_0 + SEL_INT_UND + SEL_INT_PER + E_INT+ MODE_UP_DOWN;
216
217   T2C_MAX = C_MAX;
218   T2LOAD = (int)(C_MAX_23);
219   T2CTRL = SEL_CLK_0 + SEL_INT_UND + SEL_INT_PER + E_INT + MODE_UP_DOWN +
        SLOPE_INI;
220
221   T3C_MAX = C_MAXT3;
222   T3LOAD = 0;
223   T3CTRL = SEL_CLK_1 + MODE_UP_DOWN;
224
225   T4C_MAX = 0x00FF;
226   T4LOAD = 0x0198;
227   T4CTRL = 0;
228
229   PWM0CTRL = EN_PWM + PWM_DT(0);
230   PWM1CTRL = EN_PWM + PWM_DT(0);
231   PWM2CTRL = EN_PWM + PWM_DT(0);
232   PWM3CTRL = EN_PWM + PWM_DT(0);
233   PWMTRIP = 0;
234
235   INT_CTRL = INT_ADC;
236
237   ADC0CTRL = ADC_T0MIN + ADC_T1MIN + ADC_T2MIN + ADC_T0MAX + ADC_T1MAX +
        ADC_T2MAX + NUM_CONV(3) + E_INT;
238   ADC1CTRL = ADC_T0MIN + ADC_T1MIN + ADC_T2MIN + ADC_T0MAX + ADC_T1MAX +
        ADC_T2MAX + NUM_CONV(3) + E_INT;
239   ADC0CHS  = ADC_CHS(3,4,5,1,1,1);
240   ADC1CHS  = ADC_CHS(3,4,5,1,1,1);
241   /* Valores para t = Ts (muestreo actual) */
242   ga= expsp(-Ts*R/L);
243   gb= (1-ga)*(1/R);
244   gc1= Ts/C;
245   gc2= gc1;
246   /* Valores para t = 3*Ts (prediccion N=3) */
247   ga_pred= expsp(-3*Ts*R/L);
248   gb_pred= (1-ga_pred)*(1/R);
249   gc1_pred= 3*Ts/C;
250   gc2_pred= gc1_pred;
251   gb_pred2= gb_pred * gb_pred;
252   gc2_pred2= gc2_pred * gc2_pred;
253   gc1_pred2 = gc1_pred * gc1_pred;
254   k1= dostercios * gb_pred;
255   k2= -tercio * gb_pred;
256   k22 = k2 * k2;
257   phi_Z = atan((w*L)/R);
258   vc1_ref=vcc*tercio;
259   vc2_ref=vcc*dostercios;
```

```
260   /* Variables auxiliares W2 */
261   lam12_gc12 = lambda1*gc1_pred2 + lambda2*gc2_pred2;
262   d1[0] = 0.5f; d1[1] = 0.5f; d1[2] = 0.5f;
263   d2[0] = 0.5f; d2[1] = 0.5f; d2[2] = 0.5f;
264   d3[0] = 0.5f; d3[1] = 0.5f; d3[2] = 0.5f;
265     while(1) // Loop infinito
266     {
267   }
268 }
269 interrupt void int4_isr(void)
270 {
271   IER &=  0x0000;   //Inhabilita interrupcion externa
272
273   switch(flag)
274   {
275     case 1:
276     {
277       vc1a = (float)(ADC_CONV_A(ADC1CONV1A_1B)^0x800);
278       vc2a = (float)(ADC_CONV_A(ADC0CONV1A_1B)^0x800);
279       ia = (float)(ADC_CONV_A(ADC1CONV3A_3B)^0x800);
280
281       vc1b = (float)(ADC_CONV_B(ADC1CONV3A_3B)^0x800);
282       vc2b = (float)(ADC_CONV_B(ADC1CONV2A_2B)^0x800);
283       ib = (float)(ADC_CONV_B(ADC1CONV1A_1B)^0x800);
284
285       vc1c = (float)(ADC_CONV_A(ADC0CONV3A_3B)^0x800);
286       vc2c = (float)(ADC_CONV_B(ADC0CONV1A_1B)^0x800);
287       ic = (float)(ADC_CONV_B(ADC0CONV2A_2B)^0x800);
288
289       sumvc1a=sumvc1a+vc1a/J;
290       sumvc2a=sumvc2a+vc2a/J;
291       sumia=sumia+ia/J;
292
293       sumvc1b=sumvc1b+vc1b/J;
294       sumvc2b=sumvc2b+vc2b/J;
295       sumib=sumib+ib/J;
296
297       sumvc1c=sumvc1c+vc1c/J;
298       sumvc2c=sumvc2c+vc2c/J;
299       sumic=sumic+ic/J;
300       j++;
301       if (j >= J)
302         {flag=0;j=0;}
303     }
304     break;
305     case 0:
306     {
307       vc1a = ((float)(ADC_CONV_A(ADC1CONV1A_1B)^0x800)-sumvc1a) * 0.040183
    ;
308       vc2a = ((float)(ADC_CONV_A(ADC0CONV1A_1B)^0x800)-sumvc2a) * 0.076911;
309       ia   = (-(float)(ADC_CONV_A(ADC1CONV3A_3B)^0x800)+sumia) * 0.006626;
310
311       vc1b = ((float)(ADC_CONV_B(ADC1CONV3A_3B)^0x800)-sumvc1b) * 0.025630;
312       vc2b = ((float)(ADC_CONV_B(ADC1CONV2A_2B)^0x800)-sumvc2b) * 0.048924;
313       ib = (-(float)(ADC_CONV_B(ADC1CONV1A_1B)^0x800)+sumib) * 0.006757;
314
315       vc1c = ((float)(ADC_CONV_A(ADC0CONV3A_3B)^0x800)-sumvc1c) * 0.055772;
316       vc2c = ((float)(ADC_CONV_B(ADC0CONV1A_1B)^0x800)-sumvc2c) * 0.061054;
317       ic = (-(float)(ADC_CONV_B(ADC0CONV2A_2B)^0x800)+sumic) * 0.007816;
```

```
318       /* Inicio protecciones */
319       iM=maximo(ia,ib,ic);
320       im=minimo(ia,ib,ic);
321       VM1=maximo(vc1a,vc1b,vc1c);
322       VM2=maximo(vc2a,vc2b,vc2c);
323       flagt=0;
324       if ((IM<=iM)&&(im<=-IM))
325       {
326         ci = ci + 1;
327         flagt = 1;
328         if (ci>5)
329         {
330           flag3=1;tripi=1;
331         }
332       }
333       if ((M1<=VM1))
334       {
335         cv1 = cv1 + 1;
336         flagt = 1;
337         if (cv1>5)
338         {
339           flag3=1;tripv1=1;
340         }
341       }
342       if ((M2<=VM2))
343       {
344         cv2 = cv2 + 1;
345         flagt = 1;
346         if (cv2>5)
347         {
348           flag3=1;tripv2=1;
349         }
350       }
351       if (flagt==0)
352       {
353         ci=0;cv1=0;cv2=0;
354       }
355       /*INICIO CONTROL DE LAZO CERRADO*/
356       /* Estimacion */
357       x_prox[0] = vc1a - gc1 * ia * (d1[0] - d2[0]);
358       x_prox[1] = vc1b - gc1 * ib * (d1[1] - d2[1]);
359       x_prox[2] = vc1c - gc1 * ic * (d1[2] - d2[2]);
360       x_prox[3] = vc2a - gc2 * ia * (d2[0] - d3[0]);
361       x_prox[4] = vc2b - gc2 * ib * (d2[1] - d3[1]);
362       x_prox[5] = vc2c - gc2 * ic * (d2[2] - d3[2]);
363       van = d3[0] * (vcc - vc2a) + d2[0] * (vc2a - vc1a) + d1[0] * (vc1a);
364       vbn = d3[1] * (vcc - vc2b) + d2[1] * (vc2b - vc1b) + d1[1] * (vc1b);
365       vcn = d3[2] * (vcc - vc2c) + d2[2] * (vc2c - vc1c) + d1[2] * (vc1c);
366       von = tercio * (van + vbn + vcn);
367       x_prox[6] = ga * ia + gb * (van - von);
368       x_prox[7] = ga * ib + gb * (vbn - von);
369       x_prox[8] = ga * ic + gb * (vcn - von);
370       A_iprox[0] = x_prox[0];
371       A_iprox[1] = x_prox[1];
372       A_iprox[2] = x_prox[2];
373       A_iprox[3] = x_prox[3];
374       A_iprox[4] = x_prox[4];
375       A_iprox[5] = x_prox[5];
376       A_iprox[6] = ga_pred * x_prox[6];
```

```
377       A_iprox[7] = ga_pred * x_prox[7];
378       A_iprox[8] = ga_pred * x_prox[8];
379       /* Variables auxiliares para Winversa precalculadas */
380       x_prox2_0 = x_prox[6] * x_prox[6];
381       x_prox2_1 = x_prox[7] * x_prox[7];
382       x_prox2_2 = x_prox[8] * x_prox[8];
383       /* Referencias para calculos de k */
384       I_ref = sqrt(idref * idref + iqref * iqref);
385       thetha_ref = atan2(iqref, idref);
386       /* Angulo de fase instantaneo. */
387       ang_prox= wTs+ang_prox; // Integrador discreto.
388       /* Mantiene el angulo en pi y -pi */
389       if ((pi > ang_prox) && (ang_prox > -pi))
390         {ang_prox = ang_prox;}
391       else
392         {ang_prox = ang_prox - 2*pi;}
393       angref = ang_prox + thetha_ref;
394       dref_prox[0] = I_ref * sqrt(R*R+(w*L)*(w*L)) * (1/vcc) * cos(angref+
    phi_Z)+ 0.5;
395       dref_prox[1] = I_ref * sqrt(R*R+(w*L)*(w*L)) * (1/vcc) * cos(angref+
    phi_Z - 2.094395)+ 0.5;
396       dref_prox[2] = I_ref * sqrt(R*R+(w*L)*(w*L)) * (1/vcc) * cos(angref+
    phi_Z + 2.094395)+ 0.5;
397       /* Referencias para calculos de k */
398       ang4prox = ang_prox + (3 * wTs);
399       xref_4prox[0] = vc1_ref;
400       xref_4prox[1] = vc1_ref;
401       xref_4prox[2] = vc1_ref;
402       xref_4prox[3] = vc2_ref;
403       xref_4prox[4] = vc2_ref;
404       xref_4prox[5] = vc2_ref;
405       xref_4prox[6] = idref * cos(ang4prox) - iqref * sin(ang4prox);
406       xref_4prox[7] = idref * cos(ang4prox - 2.094395) - iqref * sin(
    ang4prox - 2.094395);
407       xref_4prox[8] = idref * cos(ang4prox + 2.094395) - iqref * sin(
    ang4prox + 2.094395);
408
409       iaref_prox = idref * cos(ang_prox) - iqref * sin(ang_prox);
410       ibref_prox = idref * cos(ang_prox - 2.094395) - iqref * sin(ang_prox
    - 2.094395);
411       icref_prox = idref * cos(ang_prox + 2.094395) - iqref * sin(ang_prox
    + 2.094395);
412
413       v21a = x_prox[3] - x_prox[0];
414       v21b = x_prox[4] - x_prox[1];
415       v21c = x_prox[5] - x_prox[2];
416       vcc2a = vcc - x_prox[3];
417       vcc2b = vcc - x_prox[4];
418       vcc2c = vcc - x_prox[5];
419       for(i=0; i<9; i++) {
420         H1[i] = 0;
421         H2[i] = 0;
422         H3[i] = 0;
423         e1[i] = 0;
424         e2[i] = 0;
425         e3[i] = 0;
426        }
427       /* INICIO CALCULO CICLO DE TRABAJO */
428       if (PASO == 0) {
```

```
429         d3ar=dref_prox[0];
430         d3br=dref_prox[1];
431         d3cr=dref_prox[2];
432         h1[0] = -gc1_pred * x_prox[6] * d1[0];
433         h1[1] = -gc1_pred * x_prox[7] * d1[1];
434         h1[2] = -gc1_pred * x_prox[8] * d1[2];
435         h1[3] = 0.0;
436         h1[4] = 0.0;
437         h1[5] = 0.0;
438         h1[6] = k1*x_prox[0]*d1[0] + k2*x_prox[1]*d1[1] + k2*x_prox[2]*d1
    [2];
439         h1[7] = k2*x_prox[0]*d1[0] + k1*x_prox[1]*d1[1] + k2*x_prox[2]*d1
    [2];
440         h1[8] = k2*x_prox[0]*d1[0] + k2*x_prox[1]*d1[1] + k1*x_prox[2]*d1
    [2];
441         h2[0] =  gc1_pred * x_prox[6] * d2[0];
442         h2[1] =  gc1_pred * x_prox[7] * d2[1];
443         h2[2] =  gc1_pred * x_prox[8] * d2[2];
444         h2[3] = -gc2_pred * x_prox[6] * d2[0];
445         h2[4] = -gc2_pred * x_prox[7] * d2[1];
446         h2[5] = -gc2_pred * x_prox[8] * d2[2];
447         h2[6] = k1*v21a*d2[0] + k2*v21b*d2[1] + k2*v21c*d2[2];
448         h2[7] = k2*v21a*d2[0] + k1*v21b*d2[1] + k2*v21c*d2[2];
449         h2[8] = k2*v21a*d2[0] + k2*v21b*d2[1] + k1*v21c*d2[2];
450          /* Vector que simula el peso que tienen los ciclos de trabajo que
    ya estan calculados y el vector de error*/
451         for(i=0; i<9; i++) {
452           H3[i] = h1[i] + h2[i];
453           e3[i] = xref_4prox[i] - A_iprox[i] - H3[i];
454         }
455         invdetW3 = 1.0f / (
456         (lambda_d + lambda2*gc2_pred2*x_prox2_0 + gb_pred2*dostercios*vcc2a
    *vcc2a)
457         * (lambda_d + lambda2*gc2_pred2*x_prox2_1 + gb_pred2*dostercios*
    vcc2b*vcc2b)
458         * (lambda_d + lambda2*gc2_pred2*x_prox2_2 + gb_pred2*dostercios*
    vcc2c*vcc2c)
459         + 2.0f*(-gb_pred2*tercio*vcc2a*vcc2b) * (-gb_pred2*tercio*vcc2b*
    vcc2c) * (-gb_pred2*tercio*vcc2a*vcc2c)
460         - (lambda_d + lambda2*gc2_pred2*x_prox2_0 + gb_pred2*dostercios*
    vcc2a*vcc2a) * (gb_pred2*k22*vcc2b*vcc2b*vcc2c*vcc2c)
461         - (lambda_d + lambda2*gc2_pred2*x_prox2_1 + gb_pred2*dostercios*
    vcc2b*vcc2b) * (gb_pred2*k22*vcc2a*vcc2a*vcc2c*vcc2c)
462         - (lambda_d + lambda2*gc2_pred2*x_prox2_2 + gb_pred2*dostercios*
    vcc2c*vcc2c) * (gb_pred2*k22*vcc2a*vcc2a*vcc2b*vcc2b)
463         );
464         W3inv_11 = ((lambda_d + lambda2*gc2_pred2*x_prox2_1 + gb_pred2*
    dostercios*vcc2b*vcc2b)
465         * (lambda_d + lambda2*gc2_pred2*x_prox2_2 + gb_pred2*dostercios*
    vcc2c*vcc2c)
466         - (gb_pred2*k22*vcc2b*vcc2b*vcc2c*vcc2c)) * invdetW3;
467         W3inv_12 = (gb_pred2*k22*vcc2a*vcc2b*vcc2c*vcc2c
468           + (gb_pred2*tercio*vcc2a*vcc2b)
469           * (lambda_d + lambda2*gc2_pred2*x_prox2_2 + gb_pred2*dostercios*
    vcc2c*vcc2c)) * invdetW3;
470         W3inv_13 = (gb_pred2*k22*vcc2a*vcc2c*vcc2b*vcc2b
471             + (gb_pred2*tercio*vcc2a*vcc2c)
472         * (lambda_d + lambda2*gc2_pred2*x_prox2_1 + gb_pred2*dostercios*
    vcc2b*vcc2b)) * invdetW3;
```

```
473         W3inv_21 = W3inv_12;
474         W3inv_22 = ((lambda_d + lambda2*gc2_pred2*x_prox2_0 + gb_pred2*
    dostercios*vcc2a*vcc2a)
475         * (lambda_d + lambda2*gc2_pred2*x_prox2_2 + gb_pred2*dostercios*
    vcc2c*vcc2c)
476         - (gb_pred2*k22*vcc2a*vcc2a*vcc2c*vcc2c)) * invdetW3;
477         W3inv_23 = (gb_pred2*k22*vcc2b*vcc2c*vcc2a*vcc2a
478             + (gb_pred2*tercio*vcc2b*vcc2c)
479         * (lambda_d + lambda2*gc2_pred2*x_prox2_0 + gb_pred2*dostercios*
    vcc2a*vcc2a)) * invdetW3;
480         W3inv_31 = W3inv_13;
481         W3inv_32 = W3inv_23;
482         W3inv_33 = ((lambda_d + lambda2*gc2_pred2*x_prox2_0 + gb_pred2*
    dostercios*vcc2a*vcc2a)
483         * (lambda_d + lambda2*gc2_pred2*x_prox2_1 + gb_pred2*dostercios*
    vcc2b*vcc2b)
484          - (gb_pred2*k22*vcc2a*vcc2a*vcc2b*vcc2b)) * invdetW3;
485         /* Calculo de F */
486         F3a = lambda2 * gc2_pred * x_prox[6] * e3[3] + tercio * gb_pred * (
    vcc - x_prox[3]) * (2.0*e3[6] - e3[7] - e3[8]) + lambda_d * dref_prox
    [0];
487         F3b = lambda2 * gc2_pred * x_prox[7] * e3[4] + tercio * gb_pred * (
    vcc - x_prox[4]) * (-e3[6] + 2.0*e3[7] - e3[8]) + lambda_d * dref_prox
    [1];
488         F3c = lambda2 * gc2_pred * x_prox[8] * e3[5] + tercio * gb_pred * (
    vcc - x_prox[5]) * (-e3[6] - e3[7] + 2.0*e3[8]) + lambda_d * dref_prox
    [2];
489         PASO = 1;
490         d3[0] = W3inv_11 * F3a + W3inv_12 * F3b + W3inv_13 * F3c;
491         d3[1] = W3inv_21 * F3a + W3inv_22 * F3b + W3inv_23 * F3c;
492         d3[2] = W3inv_31 * F3a + W3inv_32 * F3b + W3inv_33 * F3c;
493         for (i=0; i<3; i++) {
494           if (d3[i] > 1.0) d3[i] = 1.0;
495           else if (d3[i] < 0.0) d3[i] = 0.0;
496         }
497
498       }else if (PASO == 1) {
499         d2ar=dref_prox[0];
500         d2br=dref_prox[1];
501         d2cr=dref_prox[2];
502         h1[0] = -gc1_pred * x_prox[6] * d1[0];
503         h1[1] = -gc1_pred * x_prox[7] * d1[1];
504         h1[2] = -gc1_pred * x_prox[8] * d1[2];
505         h1[3] = 0.0;
506         h1[4] = 0.0;
507         h1[5] = 0.0;
508         h1[6] = k1*x_prox[0]*d1[0] + k2*x_prox[1]*d1[1] + k2*x_prox[2]*d1
    [2];
509         h1[7] = k2*x_prox[0]*d1[0] + k1*x_prox[1]*d1[1] + k2*x_prox[2]*d1
    [2];
510         h1[8] = k2*x_prox[0]*d1[0] + k2*x_prox[1]*d1[1] + k1*x_prox[2]*d1
    [2];
511         h3[0] = 0.0;
512         h3[1] = 0.0;
513         h3[2] = 0.0;
514         h3[3] = gc2_pred * x_prox[6] * d3[0];
515         h3[4] = gc2_pred * x_prox[7] * d3[1];
516         h3[5] = gc2_pred * x_prox[8] * d3[2];
```

```
517         h3[6] = k1 * vcc2a * d3[0] + k2 * vcc2b * d3[1] + k2 * vcc2c * d3
    [2];
518         h3[7] = k2 * vcc2a * d3[0] + k1 * vcc2b * d3[1] + k2 * vcc2c * d3
    [2];
519         h3[8] = k2 * vcc2a * d3[0] + k2 * vcc2b * d3[1] + k1 * vcc2c * d3
    [2];
520         for(i=0; i<9; i++) {
521           H2[i] = h1[i] + h3[i];
522           e2[i] = xref_4prox[i] - A_iprox[i] - H2[i];
523         }
524         invdetW2 = 1.0f / (
525       (lambda_d + lam12_gc12*x_prox2_0 + gb_pred2*dostercios*v21a*v21a)
526       * (lambda_d + lam12_gc12*x_prox2_1 + gb_pred2*dostercios*v21b*v21b)
527       * (lambda_d + lam12_gc12*x_prox2_2 + gb_pred2*dostercios*v21c*v21c)
528       + 2.0f*(-gb_pred2*tercio*v21a*v21b) * (-gb_pred2*tercio*v21b*v21c) *
    (-gb_pred2*tercio*v21a*v21c)
529       - (lambda_d + lam12_gc12*x_prox2_0 + gb_pred2*dostercios*v21a*v21a) *
     (gb_pred2*k22*v21b*v21b*v21c*v21c)
530       - (lambda_d + lam12_gc12*x_prox2_1 + gb_pred2*dostercios*v21b*v21b) *
     (gb_pred2*k22*v21a*v21a*v21c*v21c)
531       - (lambda_d + lam12_gc12*x_prox2_2 + gb_pred2*dostercios*v21c*v21c) *
     (gb_pred2*k22*v21a*v21a*v21b*v21b) );
532
533         W2inv_11 = ((lambda_d + lam12_gc12*x_prox2_1 + gb_pred2*dostercios*
    v21b*v21b) * (lambda_d + lam12_gc12*x_prox2_2 + gb_pred2*dostercios*
    v21c*v21c) - (gb_pred2*k22*v21b*v21b*v21c*v21c)) * invdetW2;
534         W2inv_12 = ((gb_pred2*k22*v21a*v21b*v21c*v21c) + (gb_pred2*tercio*
    v21a*v21b) * (lambda_d + lam12_gc12*x_prox2_2 + gb_pred2*dostercios*
    v21c*v21c)) * invdetW2;
535         W2inv_13 = ((gb_pred2*k22*v21a*v21c*v21b*v21b) + (gb_pred2*tercio*
    v21a*v21c) * (lambda_d + lam12_gc12*x_prox2_1 + gb_pred2*dostercios*
    v21b*v21b)) * invdetW2;
536         W2inv_21 = W2inv_12;
537         W2inv_22 = ((lambda_d + lam12_gc12*x_prox2_0 + gb_pred2*dostercios*
    v21a*v21a) * (lambda_d + lam12_gc12*x_prox2_2 + gb_pred2*dostercios*
    v21c*v21c) - (gb_pred2*k22*v21a*v21a*v21c*v21c)) * invdetW2;
538         W2inv_23 = ((gb_pred2*k22*v21b*v21c*v21a*v21a) + (gb_pred2*tercio*
    v21b*v21c) * (lambda_d + lam12_gc12*x_prox2_0 + gb_pred2*dostercios*
    v21a*v21a)) * invdetW2;
539         W2inv_31 = W2inv_13;
540         W2inv_32 = W2inv_23;
541         W2inv_33 = ((lambda_d + lam12_gc12*x_prox2_0 + gb_pred2*dostercios*
    v21a*v21a) * (lambda_d + lam12_gc12*x_prox2_1 + gb_pred2*dostercios*
    v21b*v21b) - (gb_pred2*k22*v21a*v21a*v21b*v21b)) * invdetW2;
542
543         F2a = lambda1 * gc1_pred * x_prox[6] * e2[0] - lambda2 * gc2_pred *
     x_prox[6] * e2[3] + tercio * gb_pred * v21a * (2.0*e2[6] - e2[7] - e2
    [8]) + lambda_d * dref_prox[0];
544         F2b = lambda1 * gc1_pred * x_prox[7] * e2[1] - lambda2 * gc2_pred *
     x_prox[7] * e2[4] + tercio * gb_pred * v21b * (-e2[6] + 2.0*e2[7] - e2
    [8]) + lambda_d * dref_prox[1];
545         F2c = lambda1 * gc1_pred * x_prox[8] * e2[2] - lambda2 * gc2_pred *
     x_prox[8] * e2[5] + tercio * gb_pred * v21c * (-e2[6] - e2[7] + 2.0*e2
    [8]) + lambda_d * dref_prox[2];
546
547         PASO = 2;
548         d2[0] = W2inv_11 * F2a + W2inv_12 * F2b + W2inv_13 * F2c;
549         d2[1] = W2inv_21 * F2a + W2inv_22 * F2b + W2inv_23 * F2c;
550         d2[2] = W2inv_31 * F2a + W2inv_32 * F2b + W2inv_33 * F2c;
```

```
551         for (i=0; i<3; i++) {
552           if (d2[i] > 1.0) d2[i] = 1.0;
553           else if (d2[i] < 0.0) d2[i] = 0.0;
554         }
555       } else if (PASO == 2) {
556         d1ar=dref_prox[0];
557         d1br=dref_prox[1];
558         d1cr=dref_prox[2];
559         h2[0] = gc1_pred * x_prox[6] * d2[0];
560         h2[1] = gc1_pred * x_prox[7] * d2[1];
561         h2[2] = gc1_pred * x_prox[8] * d2[2];
562         h2[3] = -gc2_pred * x_prox[6] * d2[0];
563         h2[4] = -gc2_pred * x_prox[7] * d2[1];
564         h2[5] = -gc2_pred * x_prox[8] * d2[2];
565         h2[6] = k1*v21a*d2[0] + k2*v21b*d2[1] + k2*v21c*d2[2];
566         h2[7] = k2*v21a*d2[0] + k1*v21b*d2[1] + k2*v21c*d2[2];
567         h2[8] = k2*v21a*d2[0] + k2*v21b*d2[1] + k1*v21c*d2[2];
568         h3[0] = 0.0;
569         h3[1] = 0.0;
570         h3[2] = 0.0;
571         h3[3] = gc2_pred * x_prox[6] * d3[0];
572         h3[4] = gc2_pred * x_prox[7] * d3[1];
573         h3[5] = gc2_pred * x_prox[8] * d3[2];
574         h3[6] = k1 * vcc2a * d3[0] + k2 * vcc2b * d3[1] + k2 * vcc2c * d3
    [2];
575         h3[7] = k2 * vcc2a * d3[0] + k1 * vcc2b * d3[1] + k2 * vcc2c * d3
    [2];
576         h3[8] = k2 * vcc2a * d3[0] + k2 * vcc2b * d3[1] + k1 * vcc2c * d3
    [2];
577         for(i=0; i<9; i++) {
578           H1[i] = h2[i] + h3[i];
579           e1[i] = xref_4prox[i] - A_iprox[i] - H1[i];
580         }
581         invdetW1 = 1.0f / (
582         (lambda_d + lambda1*gc1_pred2*x_prox2_0 + gb_pred2*dostercios*
    x_prox[0]*x_prox[0])
583         * (lambda_d + lambda1*gc1_pred2*x_prox2_1 + gb_pred2*dostercios*
    x_prox[1]*x_prox[1])
584         * (lambda_d + lambda1*gc1_pred2*x_prox2_2 + gb_pred2*dostercios*
    x_prox[2]*x_prox[2])
585         + 2.0f*(-gb_pred2*tercio*x_prox[0]*x_prox[1]) * (-gb_pred2*tercio*
    x_prox[1]*x_prox[2]) * (-gb_pred2*tercio*x_prox[0]*x_prox[2])
586         - (lambda_d + lambda1*gc1_pred2*x_prox2_0 + gb_pred2*dostercios*
    x_prox[0]*x_prox[0]) * (gb_pred2*k22*x_prox[1]*x_prox[1]*x_prox[2]*
    x_prox[2])
587         - (lambda_d + lambda1*gc1_pred2*x_prox2_1 + gb_pred2*dostercios*
    x_prox[1]*x_prox[1]) * (gb_pred2*k22*x_prox[0]*x_prox[0]*x_prox[2]*
    x_prox[2])
588         - (lambda_d + lambda1*gc1_pred2*x_prox2_2 + gb_pred2*dostercios*
    x_prox[2]*x_prox[2]) * (gb_pred2*k22*x_prox[0]*x_prox[0]*x_prox[1]*
    x_prox[1]) );
589
590         W1inv_11 = ((lambda_d + lambda1*gc1_pred2*x_prox2_1 + gb_pred2*
    dostercios*x_prox[1]*x_prox[1]) * (lambda_d + lambda1*gc1_pred2*
    x_prox2_2 + gb_pred2*dostercios*x_prox[2]*x_prox[2]) - (gb_pred2*k22*
    x_prox[1]*x_prox[1]*x_prox[2]*x_prox[2])) * invdetW1;
591         W1inv_12 = ((gb_pred2*k22*x_prox[0]*x_prox[1]*x_prox[2]*x_prox[2])
    + (gb_pred2*tercio*x_prox[0]*x_prox[1]) * (lambda_d + lambda1*gc1_pred2
    *x_prox2_2 + gb_pred2*dostercios*x_prox[2]*x_prox[2])) * invdetW1;
```

```
592         W1inv_13 = ((gb_pred2*k22*x_prox[0]*x_prox[2]*x_prox[1]*x_prox[1])
    + (gb_pred2*tercio*x_prox[0]*x_prox[2]) * (lambda_d + lambda1*gc1_pred2
    *x_prox2_1 + gb_pred2*dostercios*x_prox[1]*x_prox[1])) * invdetW1;
593         W1inv_21 = W1inv_12;
594         W1inv_22 = ((lambda_d + lambda1*gc1_pred2*x_prox2_0 + gb_pred2*
    dostercios*x_prox[0]*x_prox[0]) * (lambda_d + lambda1*gc1_pred2*
    x_prox2_2 + gb_pred2*dostercios*x_prox[2]*x_prox[2]) - (gb_pred2*k22*
    x_prox[0]*x_prox[0]*x_prox[2]*x_prox[2])) * invdetW1;
595         W1inv_23 = ((gb_pred2*k22*x_prox[1]*x_prox[2]*x_prox[0]*x_prox[0])
    + (gb_pred2*tercio*x_prox[1]*x_prox[2]) * (lambda_d + lambda1*gc1_pred2
    *x_prox2_0 + gb_pred2*dostercios*x_prox[0]*x_prox[0])) * invdetW1;
596         W1inv_31 = W1inv_13;
597         W1inv_32 = W1inv_23;
598         W1inv_33 = ((lambda_d + lambda1*gc1_pred2*x_prox2_0 + gb_pred2*
    dostercios*x_prox[0]*x_prox[0]) * (lambda_d + lambda1*gc1_pred2*
    x_prox2_1 + gb_pred2*dostercios*x_prox[1]*x_prox[1]) - (gb_pred2*k22*
    x_prox[0]*x_prox[0]*x_prox[1]*x_prox[1])) * invdetW1;
599         F1a = -lambda1 * gc1_pred * x_prox[6] * e1[0] + tercio * gb_pred *
    x_prox[0] * (2.0*e1[6] - e1[7] - e1[8]) + lambda_d * dref_prox[0];
600         F1b = -lambda1 * gc1_pred * x_prox[7] * e1[1] + tercio * gb_pred *
    x_prox[1] * (-e1[6] + 2.0*e1[7] - e1[8]) + lambda_d * dref_prox[1];
601         F1c = -lambda1 * gc1_pred * x_prox[8] * e1[2] + tercio * gb_pred *
    x_prox[2] * (-e1[6] - e1[7] + 2.0*e1[8]) + lambda_d * dref_prox[2];
602         PASO = 0;
603         d1[0] = W1inv_11 * F1a + W1inv_12 * F1b + W1inv_13 * F1c;
604         d1[1] = W1inv_21 * F1a + W1inv_22 * F1b + W1inv_23 * F1c;
605         d1[2] = W1inv_31 * F1a + W1inv_32 * F1b + W1inv_33 * F1c;
606         for (i=0; i<3; i++) {
607           if (d1[i] > 1.0) d1[i] = 1.0;
608           else if (d1[i] < 0.0) d1[i] = 0.0;
609         }
610       }
611       d1a=d1[0];
612       d1b=d1[1];
613       d1c=d1[2];
614       d2a=d2[0];
615       d2b=d2[1];
616       d2c=d2[2];
617       d3a=d3[0];
618       d3b=d3[1];
619       d3c=d3[2];
620       /* ASIGNACION DE NUMERO QUE VA AL MODULADOR PS PWM */
621       T0CMPR1 = (unsigned int)(d1[0] * C_MAX);
622       T0CMPR2 = (unsigned int)(d1[1] * C_MAX);
623       T0CMPR3 = (unsigned int)(d1[2] * C_MAX);
624
625       T1CMPR1 = (unsigned int)(d2[0] * C_MAX);
626       T1CMPR2 = (unsigned int)(d2[1] * C_MAX);
627       T1CMPR3 = (unsigned int)(d2[2] * C_MAX);
628
629       T2CMPR1 = (unsigned int)(d3[0] * C_MAX);
630       T2CMPR2 = (unsigned int)(d3[1] * C_MAX);
631       T2CMPR3 = (unsigned int)(d3[2] * C_MAX);
632       /* FIN CONTROL LAZO CERRADO */
633       /* Cambio de referencia */
634       if(flag1==1)
635       {
636         if ((ang_prox<0.1)&&(-0.1<ang_prox)) // Entra al if si el angulo es
    cercano a 0.
```

```
637         {//Tu ang avanza asi cada interrupcion: con cont=1 entonces 0.021
    rad  (un paso)
638           ref=1;
639         }
640         if (ref==1) // Variable binaria para permitir el cambio de
    referencia a traves de Matlab.
641         {
642           ria[k] = ia;
643           rib[k] = ib;
644           ric[k] = ic;
645           rvc1a[k] = vc1a;
646           rvc1b[k] = vc1b;
647           rvc1c[k] = vc1c;
648           rvc2a[k] = vc2a;
649           rvc2b[k] = vc2b;
650           rvc2c[k] = vc2c;
651           riar[k] = iaref_prox;
652           ribr[k] = ibref_prox;
653           ricr[k] = icref_prox;
654           rvc1r[k] = vc1_ref;
655           rvc2r[k] = vc2_ref;
656           rd1a[k] = d1a;
657           rd1b[k] = d1b;
658           rd1c[k] = d1c;
659           rd2a[k] = d2a;
660           rd2b[k] = d2b;
661           rd2c[k] = d2c;
662           rd3a[k] = d3a;
663           rd3b[k] = d3b;
664           rd3c[k] = d3c;
665           rd1ar[k] = d1ar;
666           rd1br[k] = d1br;
667           rd1cr[k] = d1cr;
668           rd2ar[k] = d2ar;
669           rd2br[k] = d2br;
670           rd2cr[k] = d2cr;
671           rd3ar[k] = d3ar;
672           rd3br[k] = d3br;
673           rd3cr[k] = d3cr;
674
675           T3CMPR1 = (C_MAXT3+1);
676           k++;
677
678           if (k==K)
679             {idref=idr;
680             iqref=iqr;
681             lambda_d=lambda_dr;
682             lambda1=lambda1r;
683             lambda2=lambda2r;
684             vcc=vccr;
685             vc1_ref=vcc*tercio;
686             vc2_ref=vcc*dostercios;}
687           if (k>=J1)
688             {flag1=0;
689             k=0;
690             T1CMPR3=0;
691             ref=0;}
692         }
693       }
```

```
694       if (flag2 == 1)                    // Lectura de mediciones de tensiones
      Vdc-vc1-vc2 y i0;
695       {
696         md1a[j] = d1a;
697         md1b[j] = d1b;
698         md1c[j] = d1c;
699         md2a[j] = d2a;
700         md2b[j] = d2b;
701         md2c[j] = d2c;
702         md3a[j] = d3a;
703         md3b[j] = d3b;
704         md3c[j] = d3c;
705
706         mia[j] = ia;
707         mvc1a[j] = vc1a;
708         mvc2a[j] = vc2a;
709
710         mib[j] = ib;
711         mvc1b[j] = vc1b;
712         mvc2b[j] = vc2b;
713
714         mic[j] = ic;
715         mvc1c[j] = vc1c;
716         mvc2c[j] = vc2c;
717
718         miar[j] = iaref_prox;
719         mibr[j] = ibref_prox;
720         micr[j] = icref_prox;
721         mvc1r[j] = vc1_ref;
722         mvc2r[j] = vc2_ref;
723         md1ar[j] = d1ar;
724         md1br[j] = d1br;
725         md1cr[j] = d1cr;
726         md2ar[j] = d2ar;
727         md2br[j] = d2br;
728         md2cr[j] = d2cr;
729         md3ar[j] = d3ar;
730         md3br[j] = d3br;
731         md3cr[j] = d3cr;
732         j++;
733         if (j >= J)
734         {
735           flag2 = 0;
736           j = 0;
737         }
738       }
739        /* TRIP */
740       if (flag3==1)
741       {
742         PWMTRIP=TR_M0_T0+TR_M1_T0+TR_M2_T0+TR_M0_T1+TR_M1_T1+TR_M2_T1+
    TR_M0_T2+TR_M1_T2+TR_M2_T2;
743         flag3 = 0;
744       }
745       /* UNTRIP */
746       if (flag4==1)
747       {
748         PWMTRIP = 0;
749         flag4 = 0;
750         tripi = 0;
```

```
751          tripv1 = 0;
752          tripv2 = 0;
753        }
754      }
755      break;
756    }
757 //   ICR = 0xffff;
758    IER |= 0x0010;     //Habilita interrupcion externa
759 }
```

Listing D.1: Código de control en lazo cerrado (DSP, lenguaje C).

Apéndice E

Funciones de procesamiento de datos en MATLAB

Este apéndice presenta las funciones de MATLAB utilizadas para el cálculo de las métricas de desempeño reportadas en los Capítulos 5 y 7, incluyendo la lectura de los archivos de datos exportados desde PLECS y desde el DSP, el cálculo del tiempo de establecimiento, el rizado en estado estacionario, el error en estado estacionario, el esfuerzo de variación del ciclo de trabajo, y el contenido armónico de la corriente.

E.1. Lectura de archivos de datos

```
function T = leer_tensiones(path)
    T = readtable(path);
    T.Properties.VariableNames = {'t','vc1a','vc1ref_a','vc2a','vc2ref_a',
    ...
        'vc1b','vc1ref_b','vc2b','vc2ref_b','vc1c','vc1ref_c','vc2c','
    vc2ref_c'};
end
```

Listing E.1: Lectura de tensiones de los capacitores flotantes.

```
function corriente_prom = leer_corriente_plecs(archivo_csv, frac_ventana)
    (0.5 = ultima mitad)
    if nargin < 2
        frac_ventana = 0.5;
    end
    data = readmatrix(archivo_csv);
    t = data(:,1);
    i = data(:,2);
    idx_ss = t >= frac_ventana*max(t);
    corriente_prom = mean(i(idx_ss));
end
```

Listing E.2: Lectura de corriente exportada desde PLECS.

```
function T = leer_ciclo_trabajo(path)
    T = readtable(path);
    T.Properties.VariableNames = {'t','dref_a1','dref_b1','dref_c1','d1_a',
    'd1_b','d1_c', ...
```

```
        'dref_a2','dref_b2','dref_c2','d2_a','d2_b','d2_c', ...
        'dref_a3','dref_b3','dref_c3','d3_a','d3_b','d3_c'};
end
```

Listing E.3: Lectura del ciclo de trabajo de las tres celdas.

E.2. Métricas de respuesta dinámica

```
function [t_estab_ms, sobrepaso_pct] = establecimiento_sinusoidal(t, senal,
    amp_final, freq, tol_pct, suavizado_s, t_inicio)
    if nargin < 5, tol_pct = 0.02; end
    if nargin < 6, suavizado_s = 0.0005; end
    if nargin < 7, t_inicio = 0; end
    dt = t(2) - t(1);
    win = max(1, round(suavizado_s/dt));
    kernel = ones(win,1)/win;
    senal_s = conv(senal, kernel, 'same');
    dist_muestras = max(1, round(0.4/freq/dt));
    [picos, locs] = encontrar_picos_simple(abs(senal_s), dist_muestras);
    tt = t(locs);
    tol = tol_pct * amp_final;
    fuera = abs(picos - amp_final) > tol;
    fuera_robusto = fuera(1:end-1) & fuera(2:end);
    malos = find(fuera_robusto);
    if isempty(malos)
        idx = 1;
    else
        idx = malos(end) + 2; % +2, no +1: el ultimo "malo" detectado es el
    end
    if idx <= length(tt)
        t_estab_ms = (tt(idx) - t_inicio) * 1000;
    else
        t_estab_ms = NaN;
        warning('La senal no se establece dentro de la ventana simulada,
    extiende el tiempo de simulacion.');
    end
    sobrepaso_pct = (max(picos) - amp_final) / amp_final * 100;
end
```

Listing E.4: Tiempo de establecimiento para señales de amplitud variable (respuesta ante escalón).

```
function e_ss = error_estado_estacionario(t, senal, referencia, t_regimen)
    mask = t >= t_regimen(1) & t <= t_regimen(2);
    error_inst = referencia(mask) - senal(mask);
    e_ss = sqrt(mean(error_inst.^2));
end
```

Listing E.5: Error en estado estacionario (valor RMS respecto a la referencia).

E.3. Rizado y esfuerzo de variación del ciclo de trabajo

```
function rizado = rizado_regimen_permanente(T_tensiones, cual,
    fraccion_final)
    if nargin < 3, fraccion_final = 0.1; end
```

```
    fases = {'a','b','c'};
    n = height(T_tensiones);
    idx_final = round((1-fraccion_final)*n)+1 : n;
    rizado = 0;
    for i = 1:numel(fases)
        v = T_tensiones.([cual fases{i}])(idx_final);
        rizado = max(rizado, max(v)-min(v));
    end
end
```

Listing E.6: Rizado en estado estacionario de las tensiones de los capacitores.

```
function Evar = esfuerzo_variacion(T_ciclo, t_max_s)
    cols = {'d1_a','d1_b','d1_c','d2_a','d2_b','d2_c','d3_a','d3_b','d3_c'
    };
    if nargin >= 2 && ~isempty(t_max_s)
        mask = T_ciclo.t <= t_max_s;
    else
        mask = true(height(T_ciclo),1);
    end
    Evar = 0;
    for i = 1:numel(cols)
        v = T_ciclo.(cols{i})(mask);
        Evar = Evar + sum(diff(v).^2);
    end
end
```

Listing E.7: Esfuerzo de variación del ciclo de trabajo, acumulado.

```
function tabla = esfuerzo_variacion_por_fase(T_ciclo, t_max_s)
    if nargin < 2 || isempty(t_max_s)
        mask = true(height(T_ciclo),1);
    else
        mask = T_ciclo.t <= t_max_s;
    end
    fases = {'a','b','c'};
    celdas = {'d1','d2','d3'};
    tabla = table();
    tabla.fase = fases';
    for k = 1:3
        col_vals = zeros(3,1);
        for f = 1:3
            v = T_ciclo.([celdas{k} '_' fases{f}])(mask);
            col_vals(f) = sum(diff(v).^2);
        end
        tabla.(celdas{k}) = col_vals;
    end
    tabla.total = tabla.d1 + tabla.d2 + tabla.d3;
end
```

Listing E.8: Esfuerzo de variación del ciclo de trabajo, desglosado por fase y celda.

Apéndice F

Modelo de control PS-MPC implementado en PLECS

Este apéndice presenta el código fuente del bloque C-Script utilizado en el modelo de simulación de PLECS para implementar el algoritmo de control PS-MPC, correspondiente a las cuatro pestañas del bloque: declaración de variables, función de inicialización, función de salida, y función de actualización, donde se ejecuta el cálculo secuencial del ciclo de trabajo óptimo de cada celda.

F.1. Declaraciones

```
#include <float.h>
#include <math.h>
#include <time.h>
#include <stdio.h>
/***************    Entradas    ***************************/
#define in0   Input(0)
#define in1   Input(1)
#define in2   Input(2)
#define in3   Input(3)
#define in4   Input(4)
#define in5   Input(5)
#define in6   Input(6)
#define in7   Input(7)
#define in8   Input(8)
#define in9   Input(9)
#define in10  Input(10)
/***************    Otras macros      ******************/
#define ttt CurrentTime         //tiempo actual de simulaci n
/***************    Definiciones num ricas   ************/
#define pi        3.14159265358979323846264338327795 //Pi
#define tercio      0.333333333333333 //Un tercio
#define DosDiv3      0.66666666666666666666666667 //2/3
#define w            314.1592653589793
#define h_C1 0.0555555556       // Ts/C   CAPACITANCIA de 1500microF
#define h_C2 0.0555555556       // Ts/C  CAPACITANCIA DE 1500microF
#define h_C1_pred 0.1666666667  // 3*Ts/C  CAPACITANCIA de 1500microF
#define h_C2_pred 0.1666666667  // 3*Ts/C CAPACITANCIA de 1500microF
#define gamma_a 0.8508049442     // exp(-Ts*R/L)
```

```
#define gamma_b 0.0087761798     // (1-gamma_a)/R
#define gamma_a_pred 0.6158713693 // exp(-3*Ts*R/L)
#define gamma_b_pred 0.0225958018 // (1-gamma_a_pred)/R
#define constante1 0.0150638679  // (2/3)*gamma_b_pred
#define constante2 0.0075319339  // (1/3)*gamma_b_pred
/***************    Variables globales    ***************/
static double h, VDC, L, R, C1, C2, lambda_d, lambda_1, lambda_2;
double vc1_ref, vc2_ref, vc1ref_k4, vc2ref_k4;
//Entradas
double id_ref, iq_ref;
double ia, ib, ic;
double vc1a, vc2a, vc1b, vc2b, vc1c, vc2c;
//Calculos
static double PASO;
double thetha;
double I_ref;
double ia_ref, ib_ref, ic_ref;
double m, dref_prox[3][1];
double xref_prox[9][1];
double xref_4prox[9][1];
double Q[9][9], A_pred[9][9], Lambda_d[3][3];
double van, vbn, vcn, von;
double x_prox[9][1];
double b3[9][3], b2[9][3], b1[9][3];
double b3_T[3][9], b2_T[3][9], b1_T[3][9];
double A_iprox[9][1];
double lambdad_dref[3][1];
double h3[9][1],h2[9][1],h1[9][1];
double b3_Q[3][9], b2_Q[3][9], b1_Q[3][9];
double b3_b3[3][3], b2_b2[3][3], b1_b1[3][3];
double W3[3][3], W2[3][3], W1[3][3];
double detW3, detW2, detW1;
double detW3div, detW2div, detW1div;
double W3inv[3][3], W2inv[3][3], W1inv[3][3];
double suma3[9][1], suma2[9][1], suma1[9][1];
double b3_suma[3][1], b2_suma[3][1], b1_suma[3][1];
double F3[3][1], F2[3][1], F1[3][1];
static double d1[3][1], d2[3][1], d3[3][1];
/*********************************************************/
```

Listing F.1: Declaraciones del bloque C-Script (PLECS).

F.2. Función de inicialización (Start Function)

```
/* Lectura de par metros del bloque C-Script, ingresados en pesta a Setup
    */
h = ParamRealData(0,0);
VDC = ParamRealData(1,0);
L = ParamRealData(2,0);
R = ParamRealData(3,0);
C1 = ParamRealData(4,0);
C2 = ParamRealData(5,0);
lambda_d = ParamRealData(6,0);
lambda_1 = ParamRealData(7,0);
lambda_2 = ParamRealData(8,0);
/* Inicializaci n   estados discretos  */
PASO = 0;
for (int i = 0; i < 3; i++) {
    d1[i][0] = 0.5;
```

```
    d2[i][0] = 0.5;
    d3[i][0] = 0.5;
}
vc1_ref=VDC/3;
vc2_ref=(2*VDC)/3;
/* C lculo constantes */
for (int i=0; i<9; i++){
  for (int j=0; j<9; j++){
    Q[i][j]=0;
  }
}
Q[0][0]=lambda_1; Q[1][1]=lambda_1; Q[2][2]=lambda_1;
Q[3][3]=lambda_2; Q[4][4]=lambda_2; Q[5][5]=lambda_2;
Q[6][6]=1; Q[7][7]=1; Q[8][8]=1;
for (int i=0; i<9; i++){
  for (int j=0; j<9; j++){
    A_pred[i][j]=0;
  }
}
A_pred[0][0]=1; A_pred[1][1]=1; A_pred[2][2]=1;
A_pred[3][3]=1;A_pred[4][4]=1; A_pred[5][5]=1;
A_pred[6][6]=gamma_a_pred;
A_pred[7][7]=gamma_a_pred;
A_pred[8][8]=gamma_a_pred;
for (int i=0; i<3; i++){
  for (int j=0; j<3; j++){
    Lambda_d[i][j]=0;
  }
}
Lambda_d[0][0]=lambda_d;
Lambda_d[1][1]=lambda_d;
Lambda_d[2][2]=lambda_d;
```

Listing F.2: Función de inicialización del bloque C-Script (PLECS).

F.3. Función de actualización (Update Function)

Esta función se ejecuta en cada instante de muestreo, y contiene la estimación del estado, el cálculo de las referencias, la construcción de las matrices $\boldsymbol{B}_1$, $\boldsymbol{B}_2$ y $\boldsymbol{B}_3$, y la resolución secuencial del ciclo de trabajo óptimo de la celda activa según el valor de la variable `PASO`, de forma equivalente a la implementación en el DSP presentada en el Apéndice D.

```
/* Lectura de las entradas */
id_ref = in0;
iq_ref = in1;
ia     = in2;
ib     = in3;
ic     = in4;
vc1a   = in5;
vc1b   = in6;
vc1c   = in7;
vc2a   = in8;
vc2b   = in9;
vc2c   = in10;
/* Estimaci n del estado futuro mediante d1, d2, d3 anteriores */
x_prox[0][0] = vc1a - h_C1 * ia * (d1[0][0] - d2[0][0]);
x_prox[1][0] = vc1b - h_C1 * ib * (d1[1][0] - d2[1][0]);
```

```
x_prox[2][0] = vc1c - h_C1 * ic * (d1[2][0] - d2[2][0]);
x_prox[3][0] = vc2a - h_C2 * ia * (d2[0][0] - d3[0][0]);
x_prox[4][0] = vc2b - h_C2 * ib * (d2[1][0] - d3[1][0]);
x_prox[5][0] = vc2c - h_C2 * ic * (d2[2][0] - d3[2][0]);

van = d3[0][0] * (VDC - vc2a) + d2[0][0] * (vc2a - vc1a) + d1[0][0] * vc1a;
vbn = d3[1][0] * (VDC - vc2b) + d2[1][0] * (vc2b - vc1b) + d1[1][0] * vc1b;
vcn = d3[2][0] * (VDC - vc2c) + d2[2][0] * (vc2c - vc1c) + d1[2][0] * vc1c;
von = tercio * (van + vbn + vcn);

x_prox[6][0] = gamma_a * ia + gamma_b * (van - von);
x_prox[7][0] = gamma_a * ib + gamma_b * (vbn - von);
x_prox[8][0] = gamma_a * ic + gamma_b * (vcn - von);

/* C lculo de referencias */
thetha = atan2(iq_ref, id_ref);

xref_prox[0][0] = vc1_ref; xref_prox[1][0] = vc1_ref; xref_prox[2][0] =
    vc1_ref;
xref_prox[3][0] = vc2_ref; xref_prox[4][0] = vc2_ref; xref_prox[5][0] =
    vc2_ref;
xref_prox[6][0] = id_ref * cos(w * (ttt + h)) - iq_ref * sin(w * (ttt + h))
    ;
xref_prox[7][0] = id_ref * cos(w * (ttt + h) - 2.0 * pi / 3.0) - iq_ref *
    sin(w * (ttt + h) - 2.0 * pi / 3.0);
xref_prox[8][0] = id_ref * cos(w * (ttt + h) + 2.0 * pi / 3.0) - iq_ref *
    sin(w * (ttt + h) + 2.0 * pi / 3.0);

I_ref = sqrt(id_ref * id_ref + iq_ref * iq_ref);
m = I_ref * sqrt(R * R + (w * L) * (w * L)) * (1.0 / VDC);

dref_prox[0][0] = m * cos(w * (ttt + h) + thetha + atan((L * w) / R)) +
    0.5;
dref_prox[1][0] = m * cos(w * (ttt + h) + thetha + atan((L * w) / R) - 2.0
    * pi / 3.0) + 0.5;
dref_prox[2][0] = m * cos(w * (ttt + h) + thetha + atan((L * w) / R) + 2.0
    * pi / 3.0) + 0.5;

for (int i = 0; i < 3; i++) {
    if (dref_prox[i][0] >= 1.0) dref_prox[i][0] = 1.0;
    else if (dref_prox[i][0] <= 0.0) dref_prox[i][0] = 0.0;
}

xref_4prox[0][0] = vc1_ref; xref_4prox[1][0] = vc1_ref; xref_4prox[2][0] =
    vc1_ref;
xref_4prox[3][0] = vc2_ref; xref_4prox[4][0] = vc2_ref; xref_4prox[5][0] =
    vc2_ref;
xref_4prox[6][0] = id_ref * cos(w * (ttt + 3.0 * h)) - iq_ref * sin(w * (
    ttt + 3.0 * h));
xref_4prox[7][0] = id_ref * cos(w * (ttt + 3.0 * h) - 2.0 * pi / 3.0) -
    iq_ref * sin(w * (ttt + 3.0 * h) - 2.0 * pi / 3.0);
xref_4prox[8][0] = id_ref * cos(w * (ttt + 3.0 * h) + 2.0 * pi / 3.0) -
    iq_ref * sin(w * (ttt + 3.0 * h) + 2.0 * pi / 3.0);

/* Construcci n de matrices de entrada b3, b2, b1 */
for (int i = 0; i < 9; i++) {
    for (int j = 0; j < 3; j++) {
        b3[i][j] = 0; b2[i][j] = 0; b1[i][j] = 0;
    }
```

```
}

b3[3][0] = h_C2_pred * x_prox[6][0];
b3[4][1] = h_C2_pred * x_prox[7][0];
b3[5][2] = h_C2_pred * x_prox[8][0];
b3[6][0] = constante1 * (VDC - x_prox[3][0]); b3[6][1] = -constante2 * (VDC - x_prox[4][0]); b3[6][2] = -constante2 * (VDC - x_prox[5][0]);
b3[7][0] = -constante2 * (VDC - x_prox[3][0]); b3[7][1] = constante1 * (VDC - x_prox[4][0]);  b3[7][2] = -constante2 * (VDC - x_prox[5][0]);
b3[8][0] = -constante2 * (VDC - x_prox[3][0]); b3[8][1] = -constante2 * (VDC - x_prox[4][0]); b3[8][2] = constante1 * (VDC - x_prox[5][0]);

b2[0][0] = h_C1_pred * x_prox[6][0];  b2[1][1] = h_C1_pred * x_prox[7][0];  b2[2][2] = h_C1_pred * x_prox[8][0];
b2[3][0] = -h_C2_pred * x_prox[6][0]; b2[4][1] = -h_C2_pred * x_prox[7][0]; b2[5][2] = -h_C2_pred * x_prox[8][0];
b2[6][0] = constante1 * (x_prox[3][0] - x_prox[0][0]);  b2[6][1] = -constante2 * (x_prox[4][0] - x_prox[1][0]); b2[6][2] = -constante2 * (x_prox[5][0] - x_prox[2][0]);
b2[7][0] = -constante2 * (x_prox[3][0] - x_prox[0][0]); b2[7][1] = constante1 * (x_prox[4][0] - x_prox[1][0]);  b2[7][2] = -constante2 * (x_prox[5][0] - x_prox[2][0]);
b2[8][0] = -constante2 * (x_prox[3][0] - x_prox[0][0]); b2[8][1] = -constante2 * (x_prox[4][0] - x_prox[1][0]); b2[8][2] = constante1 * (x_prox[5][0] - x_prox[2][0]);

b1[0][0] = -h_C1_pred * x_prox[6][0]; b1[1][1] = -h_C1_pred * x_prox[7][0]; b1[2][2] = -h_C1_pred * x_prox[8][0];
b1[6][0] = constante1 * x_prox[0][0];  b1[6][1] = -constante2 * x_prox[1][0]; b1[6][2] = -constante2 * x_prox[2][0];
b1[7][0] = -constante2 * x_prox[0][0]; b1[7][1] = constante1 * x_prox[1][0];  b1[7][2] = -constante2 * x_prox[2][0];
b1[8][0] = -constante2 * x_prox[0][0]; b1[8][1] = -constante2 * x_prox[1][0]; b1[8][2] = constante1 * x_prox[2][0];

/* Traspuestas */
for (int i = 0; i < 3; i++) {
    for (int j = 0; j < 9; j++) {
        b3_T[i][j] = b3[j][i];
        b2_T[i][j] = b2[j][i];
        b1_T[i][j] = b1[j][i];
    }
}

/* Predicci n base sin control */
for (int i = 0; i < 9; i++) {
    A_iprox[i][0] = 0;
    for (int k = 0; k < 9; k++) {
        A_iprox[i][0] += A_pred[i][k] * x_prox[k][0];
    }
}

for (int i = 0; i < 3; i++) {
    lambdad_dref[i][0] = 0;
    for (int k = 0; k < 3; k++) {
        lambdad_dref[i][0] += Lambda_d[i][k] * dref_prox[k][0];
    }
}

```

```
/* Algoritmo de Optimizaci n Secuencial (PS-MPC) */
if (PASO == 0) {
    for (int i = 0; i < 9; i++) {
        h2[i][0] = 0; h1[i][0] = 0;
        for (int k = 0; k < 3; k++) {
            h2[i][0] += b2[i][k] * d2[k][0];
            h1[i][0] += b1[i][k] * d1[k][0];
        }
    }

    for (int i = 0; i < 3; i++) {
        for (int j = 0; j < 9; j++) {
            b3_Q[i][j] = 0;
            for (int k = 0; k < 9; k++) b3_Q[i][j] += b3_T[i][k] * Q[k][j];
        }
    }

    for (int i = 0; i < 3; i++) {
        for (int j = 0; j < 3; j++) {
            b3_b3[i][j] = 0;
            for (int k = 0; k < 9; k++) b3_b3[i][j] += b3_Q[i][k] * b3[k][j
    ];
            W3[i][j] = b3_b3[i][j] + Lambda_d[i][j];
        }
    }

    detW3 = W3[0][0] * (W3[1][1] * W3[2][2] - W3[1][2] * W3[2][1]) -
            W3[0][1] * (W3[1][0] * W3[2][2] - W3[1][2] * W3[2][0]) +
            W3[0][2] * (W3[1][0] * W3[2][1] - W3[1][1] * W3[2][0]);
    detW3div = 1.0 / detW3;

    W3inv[0][0] = (W3[1][1] * W3[2][2] - W3[1][2] * W3[2][1]) * detW3div;
    W3inv[1][1] = (W3[0][0] * W3[2][2] - W3[0][2] * W3[2][0]) * detW3div;
    W3inv[2][2] = (W3[0][0] * W3[1][1] - W3[0][1] * W3[1][0]) * detW3div;
    W3inv[0][1] = (W3[0][2] * W3[2][1] - W3[0][1] * W3[2][2]) * detW3div;
    W3inv[0][2] = (W3[0][1] * W3[1][2] - W3[0][2] * W3[1][1]) * detW3div;
    W3inv[1][0] = (W3[1][2] * W3[2][0] - W3[1][0] * W3[2][2]) * detW3div;
    W3inv[1][2] = (W3[0][2] * W3[1][0] - W3[0][0] * W3[1][2]) * detW3div;
    W3inv[2][0] = (W3[1][0] * W3[2][1] - W3[1][1] * W3[2][0]) * detW3div;
    W3inv[2][1] = (W3[0][1] * W3[2][0] - W3[0][0] * W3[2][1]) * detW3div;

    for (int i = 0; i < 9; i++) suma3[i][0] = xref_4prox[i][0] - A_iprox[i
    ][0] - h1[i][0] - h2[i][0];

    for (int i = 0; i < 3; i++) {
        b3_suma[i][0] = 0;
        for (int k = 0; k < 9; k++) b3_suma[i][0] += b3_Q[i][k] * suma3[k
    ][0];
        F3[i][0] = b3_suma[i][0] + lambdad_dref[i][0];
    }

    for (int i = 0; i < 3; i++) {
        d3[i][0] = 0;
        for (int k = 0; k < 3; k++) d3[i][0] += W3inv[i][k] * F3[k][0];
        if (d3[i][0] > 1.0) d3[i][0] = 1.0;
        else if (d3[i][0] < 0.0) d3[i][0] = 0.0;
    }
    PASO += 1;

```

```
} else if (PASO == 1) {
    for (int i = 0; i < 9; i++) {
        h3[i][0] = 0; h1[i][0] = 0;
        for (int k = 0; k < 3; k++) {
            h3[i][0] += b3[i][k] * d3[k][0];
            h1[i][0] += b1[i][k] * d1[k][0];
        }
    }

    for (int i = 0; i < 3; i++) {
        for (int j = 0; j < 9; j++) {
            b2_Q[i][j] = 0;
            for (int k = 0; k < 9; k++) b2_Q[i][j] += b2_T[i][k] * Q[k][j];
        }
    }

    for (int i = 0; i < 3; i++) {
        for (int j = 0; j < 3; j++) {
            b2_b2[i][j] = 0;
            for (int k = 0; k < 9; k++) b2_b2[i][j] += b2_Q[i][k] * b2[k][j
    ];
            W2[i][j] = b2_b2[i][j] + Lambda_d[i][j];
        }
    }

    detW2 = W2[0][0] * (W2[1][1] * W2[2][2] - W2[1][2] * W2[2][1]) -
            W2[0][1] * (W2[1][0] * W2[2][2] - W2[1][2] * W2[2][0]) +
            W2[0][2] * (W2[1][0] * W2[2][1] - W2[1][1] * W2[2][0]);
    detW2div = 1.0 / detW2;

    W2inv[0][0] = (W2[1][1] * W2[2][2] - W2[1][2] * W2[2][1]) * detW2div;
    W2inv[1][1] = (W2[0][0] * W2[2][2] - W2[0][2] * W2[2][0]) * detW2div;
    W2inv[2][2] = (W2[0][0] * W2[1][1] - W2[0][1] * W2[1][0]) * detW2div;
    W2inv[0][1] = (W2[0][2] * W2[2][1] - W2[0][1] * W2[2][2]) * detW2div;
    W2inv[0][2] = (W2[0][1] * W2[1][2] - W2[0][2] * W2[1][1]) * detW2div;
    W2inv[1][0] = (W2[1][2] * W2[2][0] - W2[1][0] * W2[2][2]) * detW2div;
    W2inv[1][2] = (W2[0][2] * W2[1][0] - W2[0][0] * W2[1][2]) * detW2div;
    W2inv[2][0] = (W2[1][0] * W2[2][1] - W2[1][1] * W2[2][0]) * detW2div;
    W2inv[2][1] = (W2[0][1] * W2[2][0] - W2[0][0] * W2[2][1]) * detW2div;

    for (int i = 0; i < 9; i++) suma2[i][0] = xref_4prox[i][0] - A_iprox[i
    ][0] - h1[i][0] - h3[i][0];

    for (int i = 0; i < 3; i++) {
        b2_suma[i][0] = 0;
        for (int k = 0; k < 9; k++) b2_suma[i][0] += b2_Q[i][k] * suma2[k
    ][0];
        F2[i][0] = b2_suma[i][0] + lambdad_dref[i][0];
    }

    for (int i = 0; i < 3; i++) {
        d2[i][0] = 0;
        for (int k = 0; k < 3; k++) d2[i][0] += W2inv[i][k] * F2[k][0];
        if (d2[i][0] > 1.0) d2[i][0] = 1.0;
        else if (d2[i][0] < 0.0) d2[i][0] = 0.0;
    }
    PASO += 1;

} else if (PASO == 2) {
```

```
    for (int i = 0; i < 9; i++) {
        h3[i][0] = 0; h2[i][0] = 0;
        for (int k = 0; k < 3; k++) {
            h3[i][0] += b3[i][k] * d3[k][0];
            h2[i][0] += b2[i][k] * d2[k][0];
        }
    }

    for (int i = 0; i < 3; i++) {
        for (int j = 0; j < 9; j++) {
            b1_Q[i][j] = 0;
            for (int k = 0; k < 9; k++) b1_Q[i][j] += b1_T[i][k] * Q[k][j];
        }
    }

    for (int i = 0; i < 3; i++) {
        for (int j = 0; j < 3; j++) {
            b1_b1[i][j] = 0;
            for (int k = 0; k < 9; k++) b1_b1[i][j] += b1_Q[i][k] * b1[k][j
    ];
            W1[i][j] = b1_b1[i][j] + Lambda_d[i][j];
        }
    }

    detW1 = W1[0][0] * (W1[1][1] * W1[2][2] - W1[1][2] * W1[2][1]) -
            W1[0][1] * (W1[1][0] * W1[2][2] - W1[1][2] * W1[2][0]) +
            W1[0][2] * (W1[1][0] * W1[2][1] - W1[1][1] * W1[2][0]);
    detW1div = 1.0 / detW1;

    W1inv[0][0] = (W1[1][1] * W1[2][2] - W1[1][2] * W1[2][1]) * detW1div;
    W1inv[1][1] = (W1[0][0] * W1[2][2] - W1[0][2] * W1[2][0]) * detW1div;
    W1inv[2][2] = (W1[0][0] * W1[1][1] - W1[0][1] * W1[1][0]) * detW1div;
    W1inv[0][1] = (W1[0][2] * W1[2][1] - W1[0][1] * W1[2][2]) * detW1div;
    W1inv[0][2] = (W1[0][1] * W1[1][2] - W1[0][2] * W1[1][1]) * detW1div;
    W1inv[1][0] = (W1[1][2] * W1[2][0] - W1[1][0] * W1[2][2]) * detW1div;
    W1inv[1][2] = (W1[0][2] * W1[1][0] - W1[0][0] * W1[1][2]) * detW1div;
    W1inv[2][0] = (W1[1][0] * W1[2][1] - W1[1][1] * W1[2][0]) * detW1div;
    W1inv[2][1] = (W1[0][1] * W1[2][0] - W1[0][0] * W1[2][1]) * detW1div;

    for (int i = 0; i < 9; i++) suma1[i][0] = xref_4prox[i][0] - A_iprox[i
    ][0] - h2[i][0] - h3[i][0];

    for (int i = 0; i < 3; i++) {
        b1_suma[i][0] = 0;
        for (int k = 0; k < 9; k++) b1_suma[i][0] += b1_Q[i][k] * suma1[k
    ][0];
        F1[i][0] = b1_suma[i][0] + lambdad_dref[i][0];
    }

    for (int i = 0; i < 3; i++) {
        d1[i][0] = 0;
        for (int k = 0; k < 3; k++) d1[i][0] += W1inv[i][k] * F1[k][0];
        if (d1[i][0] > 1.0) d1[i][0] = 1.0;
        else if (d1[i][0] < 0.0) d1[i][0] = 0.0;
    }
    PASO += 1;
}

if (PASO >= 3) {
```

```
274     PASO = 0;
275 }
```

Listing F.3: Función de actualización del bloque C-Script (PLECS).

F.4. Función de salida (Output Function)

```
1  /***************     Salidas    ***************************/
2  Output(0)=d1[0][0];
3  Output(1)=d1[1][0];
4  Output(2)=d1[2][0];
5
6  Output(3)=d2[0][0];
7  Output(4)=d2[1][0];
8  Output(5)=d2[2][0];
9
10 Output(6)=d3[0][0];
11 Output(7)=d3[1][0];
12 Output(8)=d3[2][0];
13
14 Output(9)=xref_prox[0][0];//vc1a_ref_prox;
15 Output(10)=xref_prox[1][0];
16 Output(11)=xref_prox[2][0];
17
18 Output(12)=xref_prox[3][0];//vc2a_ref_prox;
19 Output(13)=xref_prox[4][0];
20 Output(14)=xref_prox[5][0];
21
22 Output(15)=xref_prox[6][0];//ia_ref_prox;
23 Output(16)=xref_prox[7][0];
24 Output(17)=xref_prox[8][0];
25
26 Output(18)=dref_prox[0][0];
27 Output(19)=dref_prox[1][0];
28 Output(20)=dref_prox[2][0];
```

Listing F.4: Función de salida del bloque C-Script (PLECS).

Bibliografía

[1] B. P. McGrath and D. G. Holmes, "Analytical modelling of voltage balance dynamics for a flying capacitor multilevel converter," *IEEE Transactions on Power Electronics*, vol. 23, no. 2, pp. 543–550, March 2008.

[2] R. P. Aguilera, P. Acuna, X. Su, P. Lezana, and B. McGrath, "Sequential phase-shifted model predictive control for multicell power converters," in *2017 IEEE Southern Power Electronics Conference (SPEC)*, 2017, pp. 1–6.

[3] S. Kouro, M. Malinowski, K. Gopakumar, J. Pou, L. G. Franquelo, B. Wu, J. Rodriguez, M. A. Perez, and J. Leon, "Recent advances and industrial applications of multilevel converters," *IEEE Transactions on Industrial Electronics*, vol. 57, no. 8, pp. 2553–2580, August 2010.

[4] T. A. Meynard, M. Fadel, and N. Aouda, "Modeling of multilevel converters," *IEEE Transactions on Industrial Electronics*, vol. 44, no. 3, pp. 356–364, June 1997.

[5] R. H. Cuzmar, J. Pereda, and R. P. Aguilera, "Phase-shifted model predictive control to achieve power balance of chb converters for large-scale photovoltaic integration," *IEEE Transactions on Industrial Electronics*, vol. 68, no. 10, pp. 9619–9629, October 2021.

[6] G. Gateau, M. Fadel, P. Maussion, R. Bensaid, and T. A. Meynard, "Multicell converters: Active control and observation of flying-capacitor voltages," *IEEE Transactions on Industrial Electronics*, vol. 49, no. 5, pp. 998–1008, October 2002.

[7] R. P. Aguilera, P. Acuna, P. Lezana, G. Konstantinou, B. Wu, S. Bernet, and V. G. Agelidis, "Selective harmonic elimination model predictive control for multilevel power converters," *IEEE Transactions on Power Electronics*, vol. 32, no. 3, pp. 2416–2426, March 2017.

[8] K. Ogata, *Ingeniería de Control Moderna*, 5th ed. Pearson Education, 2010.

[9] *IEEE Recommended Practice and Requirements for Harmonic Control in Electric Power Systems*, IEEE Power and Energy Society Std. IEEE Std 519-2014 (Revision of IEEE Std 519-1992), 2014.

[10] B. K. Bose, *Modern Power Electronics and AC Drives*. Prentice Hall, 2002.

[11] A. S. Sedra and K. C. Smith, *Microelectronic Circuits*, 7th ed. Oxford University Press, 2015.

[12] P. Lezana Illesca, "Manejo de la plataforma digital dsp+fpga para el control de accionamientos," Universidad Técnica Federico Santa María, Departamento de Ingeniería Eléctrica, Valparaíso, Chile, Tech. Rep., 2020, v. actual: 17 de noviembre de 2020.

[13] H. Abu-Rub, M. Malinowski, and K. Al-Haddad, *Power Electronics for Renewable Energy Systems, Transportation and Industrial Applications.* Wiley-IEEE Press, 2014.