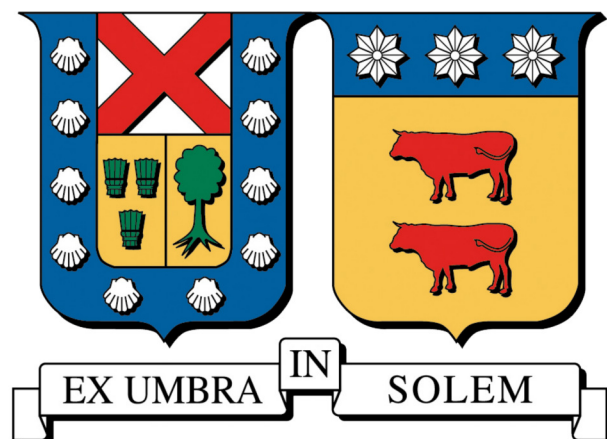


UNIVERSIDAD TÉCNICA FEDERICO SANTA MARÍA
DEPARTAMENTO DE ELECTRÓNICA
VALPARAÍSO - CHILE



**DISEÑO E IMPLEMENTACIÓN DE UN RECTIFICADOR TRIFÁSICO
ANPC UTILIZANDO SIC MOSFETS**

CRISTÓBAL FERNANDO ARANDA ESTAY

**MEMORIA DE TITULACIÓN PARA OPTAR AL TÍTULO DE
INGENIERO CIVIL ELECTRÓNICO**

PROFESOR GUÍA : DR. MARCELO PÉREZ LEIVA
PROFESOR CORREFERENTE : DR. ALAN WILSON VEAS

MARZO 2023

Agradecimientos

Agradecer en primer lugar a mi familia y en especial a mis padres que han contribuido en mi formación personal, su sacrificio y esfuerzo por tratar de brindarme las mejores condiciones y herramientas para desarrollarme, y su apoyo incondicional a lo largo de mi vida. Agradecer a mis amigos de la vida dispuestos a escuchar problemas y partícipes de grandes momentos. A mis compañeros que conocí durante mi estadía en la universidad, por su ayuda a sacar la carrera adelante. Finalmente, quisiera agradecer a mi profesor guía y profesor correferente por haberme dado la oportunidad de realizar este proyecto, destacando su buena disposición a siempre resolver obstáculos que se presentaron.

Resumen

La topología de convertidores multinivel ha tenido un fuerte impacto en aplicaciones de media tensión, y si bien ya es una tecnología consolidada, están en constante estudio y desarrollo con la finalidad de poder encontrar un equilibrio entre una topología simple y mejorar el rendimiento del convertidor. Hoy en día existen una multitud de topologías de convertidores multinivel, siendo la más popular y estudiada la NPC (Neutral Point Clamped), y si bien esta topología presenta grandes prestaciones, no está exenta de desventajas como las pérdidas de conducción y conmutación que pueden experimentar los semiconductores de potencia. Así, a modo de repartir mejor estas pérdidas, surge como alternativa el convertidor ANPC (Active Neutral Point Clamped).

Este proyecto tiene por objetivo el diseño de un convertidor trifásico ANPC de tres niveles en su modo rectificador. Para ello se realiza un breve análisis sobre el estado del arte y el cómo ha evolucionado la tecnología de los rectificadores de la mano de los semiconductores de potencia, especialmente de la tecnología SiC MOSFET permitiendo alcanzar mayores puntos de operación. El convertidor de potencia se divide en etapas, lo que va a permitir el poder diseñarlo de manera modular. Se presentan los distintos requisitos que debe cumplir el convertidor, lo que va a permitir el poder diseñar cada una de sus etapas, y en específico todos los componentes pasivos que se ven involucrados, además de los componentes necesarios, ya sea para la conexión, control, entre otros. Con base en los componentes diseñados, se presentan los componentes seleccionados que se necesita en cada etapa, realizando la debida justificación de su elección, ya sea por un punto de vista técnico, físico o económico. Posteriormente, se realiza el diseño de las placas de circuito impreso en el software Altium Designer, considerando normas y restricciones que se deben cumplir. Se considera el formato Eurocard para el diseño de los PCB. Se presentarán los resultados correspondientes de cada placa, considerando modelos esquemáticos, modelos 2D de la capa superior e inferior y los modelos 3D. Para cada placa se explicará el trazado de pistas y el porqué de diseñarlas ahí, la justificación del ancho de pista, como también la distancia entre pista, la distribución de los componentes y el espaciado que ocupan en la placa.

Abstract

The topology of multilevel converters has had a strong impact on medium voltage applications, and although it is already a consolidated technology, they are under constant study and development in order to find a balance between a simple topology and improve the performance of the converter. Today there are a multitude of multilevel converter topologies, being the most popular and studied the NPC (Neutral Point Clamped), and although this topology has great performance, it is not without disadvantages such as conduction and switching losses that can experience in power semiconductors. Thus, in order to better distribute these losses, the ANPC (Active Neutral Point Clamped) converter has emerged as an alternative. The objective of this project is the design of a three-phase ANPC converter of three levels in its rectifier mode. For this purpose, a brief analysis of the state of the art and how rectifier technology has evolved with power semiconductors, especially the SiC MOSFET technology, allowing to reach higher operating points, is carried out. The power converter is divided into stages, which will allow to it in a modular designing. The different requirements to be met by the converter are presented, which will allow to each of designing stages, and specifically all the passive components involved, in addition to the necessary components, either for connection, control, among others. Based on the components designed, the selected components needed in each stage are presented, making the proper justification for their choice, either from a technical, physical or economic point of view. Subsequently, the printed circuit boards are designed in Altium Designer software, considering the standards and restrictions that must be met. The Eurocard format is considered for the PCB design. The corresponding results of each board will be presented, considering schematic models, 2D models of the top and bottom layer and the 3D models. For each board, the layout of tracks and the reason for designing them there, the justification of the track width, as well as the distance between tracks, the distribution of the components and the spacing they occupy on the board will be explained.

Índice general

Agradecimientos	I
Resumen	II
Abstract	III
Índice de Figuras	VIII
Índice de Tablas	1
1. Introducción	1
1.1. Estado del arte	1
1.2. Convertidores de potencia multinivel	6
1.2.1. Neutral Point Clamped - NPC	7
1.2.2. Neutral Point Piloted-NPP	8
1.2.3. Active Neutral Point Clamped-ANPC	9
1.3. Semiconductores de Potencia	12
1.4. Motivación y Descripción del Proyecto	14
1.5. Objetivo General y Específicos	14
1.6. Alcances y Limitaciones	14
2. Diseño del Convertidor 3L-ANPC	15
2.1. Introducción	15
2.2. Requisitos	15
2.3. Diseño de etapas del convertidor ANPC	16
2.3.1. Filtro de entrada	17
2.3.2. Etapa de DC-link	22
2.3.3. Etapa de Precarga	26
2.3.4. Etapa de Rama de semiconductores	31
2.4. Modelo final del convertidor 3L-ANPC	35
3. Desarrollo del Convertidor 3L-ANPC	37
3.1. Introducción	37
3.2. Diseño de circuito impreso	39
3.2.1. Circuito de Precarga	39
3.2.2. Filtro LCL	46
3.2.3. Rama por cada fase	53

3.2.4. DC-Link 60

4. Conclusiones 66

4.1. Trabajo a futuro 67

Bibliografia 69

Índice de figuras

1.1. Rectificador monofásico de onda completa	1
1.2. Voltaje y Corriente de salida de rectificador de media onda	2
1.3. Clasificación de rectificadores de potencia	3
1.4. Rectificador monofásico Puente H fuente de voltaje	4
1.5. Modulación PWM unipolar para convertidor de 2 niveles	5
1.6. Topología de convertidor 3L-NPC	7
1.7. Topología de convertidor 3L-NPP	8
1.8. Topología de convertidor 3L-ANPC	9
1.9. Clasificación de técnicas de modulación en convertidores multinivel	10
1.10. Modulación PWM con corrimiento de niveles para convertidor 3L-ANPC	11
1.11. Resumen de las Capacidades de Dispositivos Semiconductores de Potencia	12
1.12. Rango de voltaje de tecnología Si y SiC en semiconductores IGBT y MOSFET	13
2.1. Diagrama esquemático de rectificador 3L-ANPC	16
2.2. Topología filtro LCL	17
2.3. Filtro LCL en el dominio de Laplace	17
2.4. Filtro LCL con resistencia de amortiguamiento	19
2.5. Filtro LCL con Varistores conectados	20
2.6. Corriente de entrada en estado estacionario	21
2.7. Armónicos de corriente de entrada	21
2.8. DC-Link para convertidor de tres niveles	23
2.9. Banco de condensadores para el DC-Link	23
2.10. Apagado del convertidor considerando trío de condensadores	24
2.11. Apagado del convertidor considerando el DC-Link completo	25
2.12. Etapa de precarga conectada a la red eléctrica	26
2.13. Voltaje de salida con y sin resistencia de precarga	27
2.14. Corriente de entrada con y sin resistencia de precarga	28
2.15. Etapa de control para relé	29
2.16. Estados de operación de MOSFET para el control de relé	30
2.17. Rama trifásica de semiconductores de convertidor 3L-ANPC	31
2.18. MOSFET sin y con diodo de barrera Schottky	32
2.19. Modelo circuital de MOSFET GCMS080B120S1-E	33
2.20. MOSFET con resistencia de compuerta	33
2.21. Convertidor de potencia trifásico 3L-ANPC	35
3.1. placa Eurocard 3U	38
3.2. Zoom al extremo superior derecho a placa Eurocard 3U	38

3.3. Esquemático de circuito de precarga	39
3.4. Modelo 2D de circuito de precarga	40
3.5. Modelo 2D de circuito de precarga top layer	41
3.6. Modelo 2D de circuito de precarga bottom layer	41
3.7. Modelo 3D de circuito de precarga superficie superior	44
3.8. Modelo 3D de circuito de precarga superficie inferior	45
3.9. Esquemático filtro LCL	46
3.10. Modelo 2D circuito del filtro LCL	47
3.11. Modelo 2D circuito del filtro LCL top layer	48
3.12. Modelo 2D circuito del filtro LCL bottom layer	48
3.13. Modelo 3D del filtro LCL superficie superior	51
3.14. Modelo 3D del filtro LCL superficie inferior	52
3.15. Esquemático de rama de semiconductores	53
3.16. Modelo 2D de rama de semiconductores	54
3.17. Modelo 2D circuito de la rama top layer	55
3.18. Modelo 2D circuito de la rama bottom layer	55
3.19. Modelo 3D de rama superficie superior	58
3.20. Modelo 3D de rama superficie inferior	59
3.21. Esquemático DC-Link	60
3.22. Modelo 2D del DC-Link	61
3.23. Modelo 2D del DC-Link top layer	62
3.24. Modelo 2D del DC-Link bottom layer	62
3.25. Modelo 3D del DC-Link superficie superior	64
3.26. Modelo 3D del DC-Link superficie inferior	65

Índice de tablas

1.1. Estados de conmutación de rectificador Puente H	4
1.2. Estados de conmutación de convertidor 3L-NPC	7
1.3. Estado de conmutación de convertidor 3L-NPP	8
1.4. Estado de conmutación de convertidor 3L-ANPC	9
1.5. Propiedades de Dispositivos Semiconductores de Potencia	12
2.1. Requisitos funcionales del convertidor de potencia	16
2.2. Componentes seleccionados para etapa de filtro de convertidor 3L-ANPC	22
2.3. Componentes seleccionados para etapa DC-Link de convertidor 3L-ANPC . . .	25
2.4. Componentes seleccionados para etapa de Precarga de convertidor 3L-ANPC .	31
2.5. Componentes seleccionados para etapa de Rama de convertidor 3L-ANPC . . .	34
2.6. Resumen de valores de componentes pasivas del sistema.	36
2.7. Componentes seleccionados para el convertidor de potencia	36
3.1. Diseño de pistas circuito de precarga	43
3.2. Diseño de pistas para circuito de filtro LCL	50
3.3. Diseño de pistas para circuito de rama de semiconductores	57
3.4. Diseño de pistas de placa de DC-Link	63

1 | Introducción

1.1. Estado del arte

Actualmente, el desarrollo de la electrónica ha sido fundamental tanto en aplicaciones industriales como domésticas debido a la capacidad de tratar, procesar y controlar el flujo de corriente eléctrica. Por lo mismo, un paso significativo para el avance de la electrónica ha sido el desarrollo constante de los convertidores de potencia, los cuales han permitido la transformación de la energía eléctrica en muchas aplicaciones, aportando ventajas principales como el aumento de la eficiencia y la mejora de prestaciones. Los convertidores de potencia se pueden clasificar según el tipo de conversión que realizan, dentro de los cuales se encuentran los convertidores CA/DC o también llamados rectificadores de potencia.

Los rectificadores se caracterizan por transformar la corriente alterna en continua. De esta manera permiten la conversión directa desde un circuito alimentado con voltaje alterno, poder alimentar a la carga con corriente continua. Los primeros rectificadores fueron los que poseen la característica de no ser controlados y están formados exclusivamente por diodos, no necesitando circuitos de mando, por lo que los diodos conmutan de manera natural forzados por la fuente de alimentación. Existen diversas topologías de rectificadores no controlados, a modo de ejemplo se presenta el rectificador monofásico de onda completa en la figura 1.1.

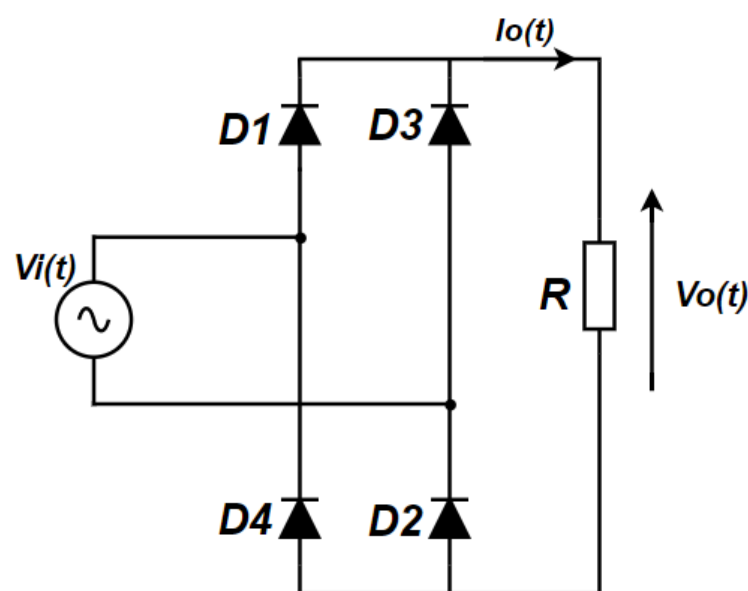
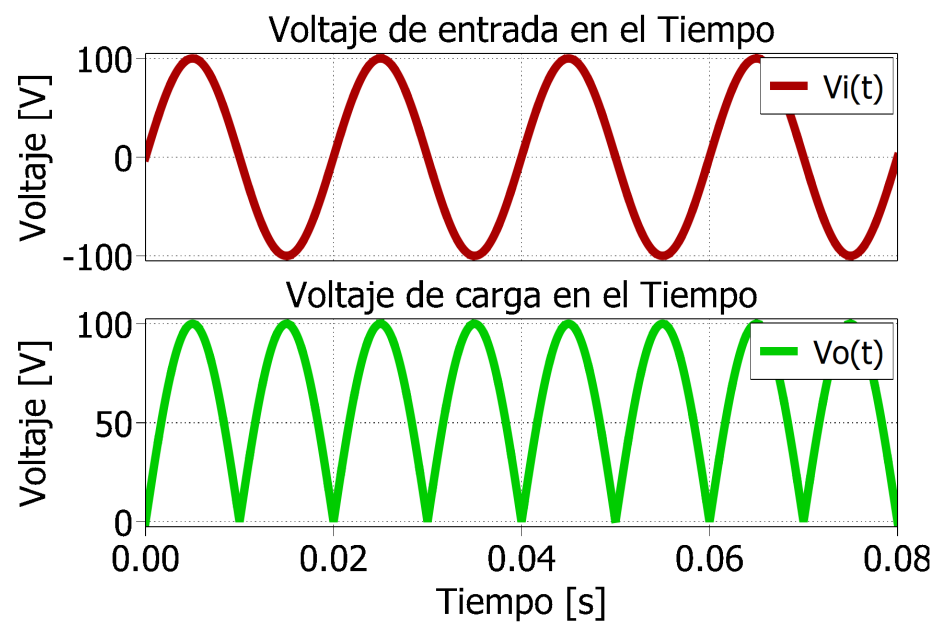
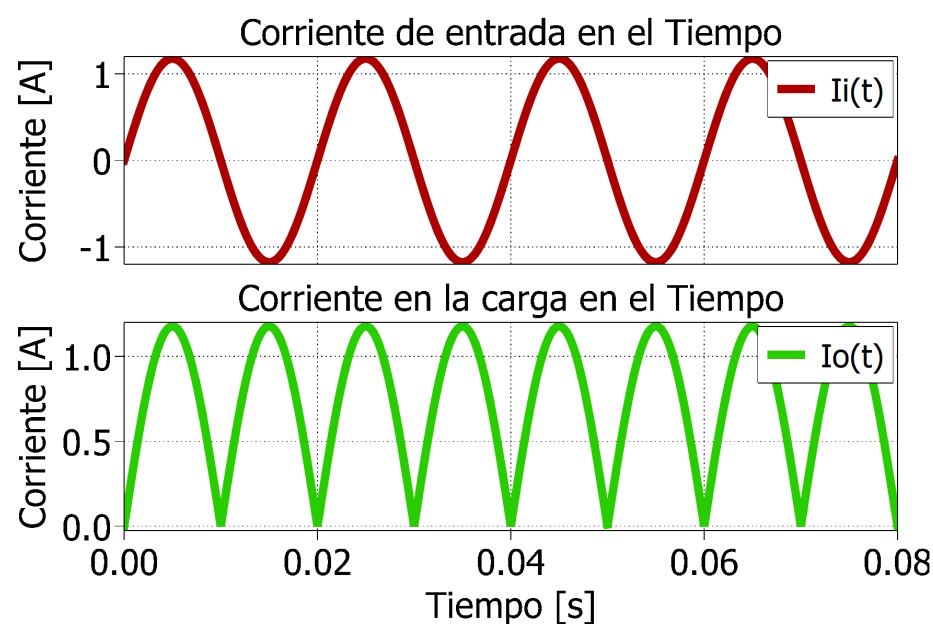


Figura 1.1: Rectificador monofásico de onda completa

El principio de conmutación natural se basa en que durante el medio ciclo positivo de voltaje de entrada, se suministra potencia a la carga a través de los diodos D_1 y D_2 . En el ciclo negativo, los diodos D_3 y D_4 conducirán, y así trabajarán cada par de diodos como rectificadores de media onda. El voltaje y corriente rectificada se presenta en la figura 1.2.



(a) Voltaje Rectificado



(b) Corriente Rectificada

Figura 1.2: Voltaje y Corriente de salida de rectificador de media onda

Las ventajas más importantes de este tipo de rectificadores es su reducido costo y en la simplicidad de su operación, pero por contra parte también presentan limitaciones o desventajas como la imposibilidad de la regeneración de energía o la aparición de una gran cantidad de armónicos lo que implica que no cumpla con las normas establecidas de hoy en día [1], además de afectar tanto el factor de potencia como la calidad de energía. A modo de respuesta y solución ante este problema es que toman mayor fuerza los rectificadores controlados o también llamados rectificadores activos, donde a partir de las mismas topologías pasivas reemplazan los diodos por semiconductores de potencia controlables.

Los rectificadores de potencia se pueden clasificar en dos grupos, principalmente, por un lado, se encuentran los no controlables o que funcionan con conmutación de línea y, por otro lado, los rectificadores controlables o que funcionan con conmutación propia. En la figura 1.3 se presenta una clasificación general de los rectificadores.

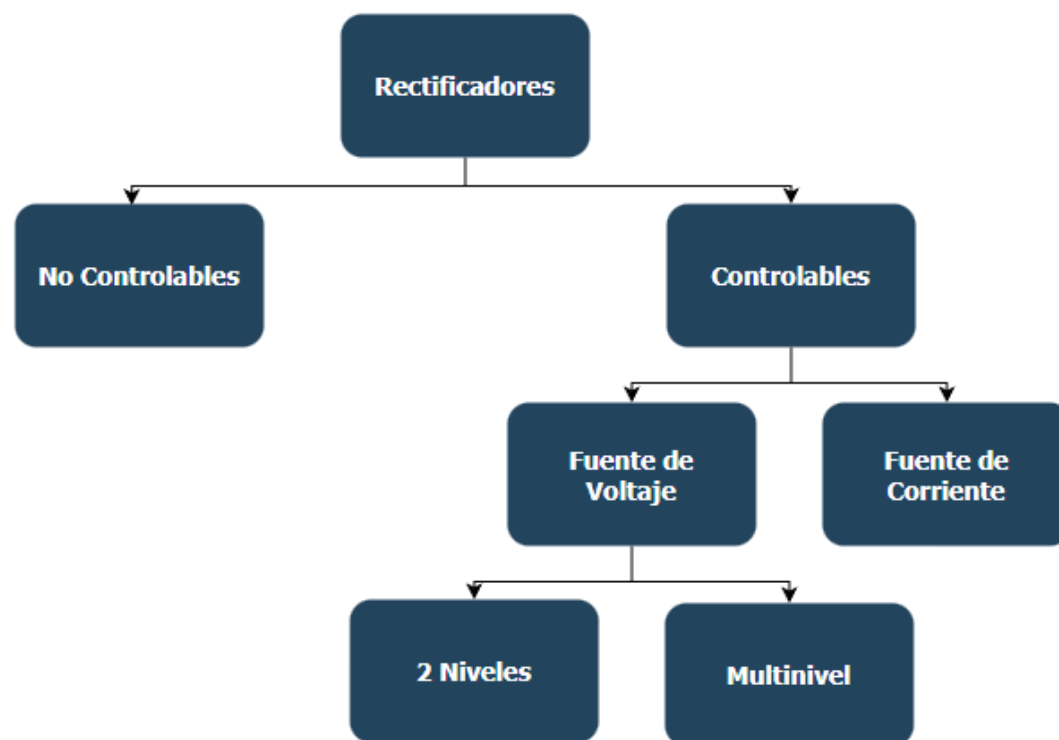


Figura 1.3: Clasificación de rectificadores de potencia

Dentro de los rectificadores controlables se encuentra los convertidores fuente de voltaje(Voltaje Source Converte - VSC). Estos convertidores de potencia tienen la característica que se pueden comportar como rectificador(Voltage Source Rectifier - VSR) o como inversor (Voltage Source Inverter - VSI) en función del sentido que tenga el flujo de potencia, por lo tanto, se trata de una estructura completamente bi-direccional, lo que los posicionan fuertemente en diversas aplicaciones.

Bajo la misma línea de los rectificadores fuentes de voltaje se encuentran los rectificadores de 2 niveles. La topología de estos rectificadores se basa principalmente en conectar en el lado AC la fuente alterna a través de un inductor que actúa como filtro de entrada, mientras que en el lado DC se conecta un condensador, capaz de almacenar el nivel tensión continua, y la carga que se le desea conectar. Dentro de las ventajas que presentan este tipo de rectificadores se encuentran:

- Menor rizado en la tensión de salida.
- Reducción de la distorsión armónica de la corriente de la red eléctrica.
- Control del flujo de potencias activa y reactiva entre la red eléctrica y el convertidor.

Existen distintas topologías de rectificadores de dos niveles con distintas características y ventajas que hacen de que cada uno sea más adecuado según la aplicación que se desee. A modo de ejemplo se presenta el rectificador monofásico Puente H fuente de voltaje en la figura 1.4.

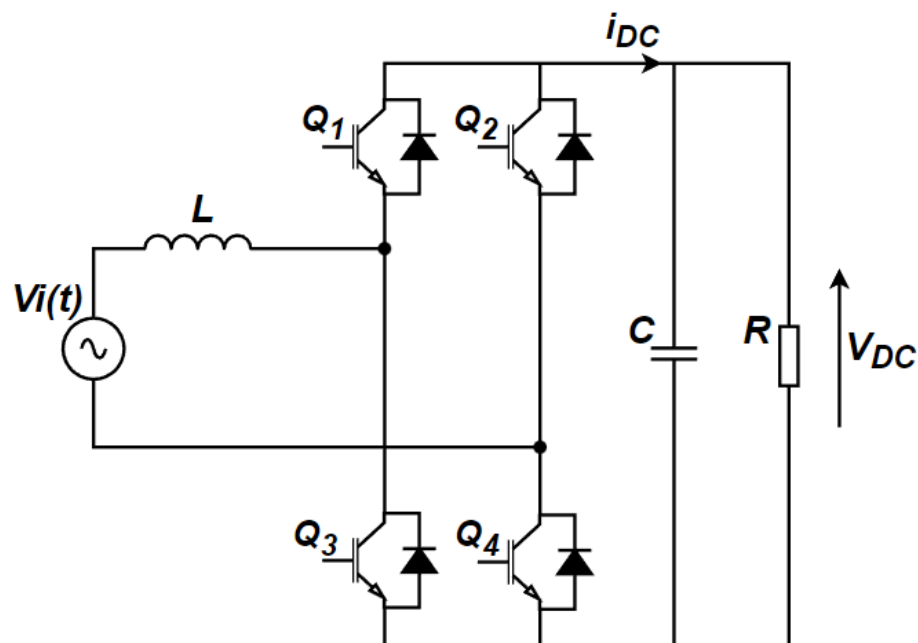


Figura 1.4: Rectificador monofásico Puente H fuente de voltaje

El principio de operación para lograr la señal de salida rectificada se basa en controlar el encendido de los interruptores, es decir, el convertidor de potencia trabaja a base de estados de conmutación. Los estados de conmutación del rectificador Puente H se muestran en la tabla 1.1 donde el interruptor Q_1 es complementario con el interruptor Q_3 , al igual que el interruptor Q_2 es complementario con Q_4 .

Estados	Q_1	Q_2	Q_3	Q_4
1	ON	OFF	OFF	ON
2	OFF	ON	ON	OFF
3	ON	ON	OFF	OFF
4	OFF	OFF	ON	ON

Tabla 1.1: Estados de conmutación de rectificador Puente H

Para lograr los estados de operación necesarios para el convertidor de potencia, se emplean estrategias de conmutación que permite controlar el encendido y apagado de cada interruptor. Entre las técnicas de conmutación, la más importante es la modulación de ancho de pulso (Pulse Width Modulation - PWM) [2]. La modulación PWM se destaca por su simplicidad y contenido armónico reducido. Su principio de funcionamiento se basa en comparar una señal de referencia (o modulante), con una señal portadora (para este caso triangular) de alta frecuencia con el objetivo de generar los disparos. La frecuencia de la señal portadora f_{sw} define la frecuencia de conmutación de los interruptores y es mucho mayor que la frecuencia de la modulante, como se aprecia en la figura 1.5. La comparación establece los siguientes estados posibles:

- Si $m_1(t) > \text{triangular}$: la salida del comparador es una señal lógica alta, lo que permite encender el interruptor Q_1 .
- Si $m_1(t) < \text{triangular}$: la salida del comparador es una señal lógica baja, lo que permite mantener apagado el interruptor Q_1 .
- Si $m_2(t) > \text{triangular}$: la salida del comparador es una señal lógica alta, lo que permite encender el interruptor Q_2 .
- Si $m_2(t) < \text{triangular}$: la salida del comparador es una señal lógica baja, lo que permite mantener apagado el interruptor Q_2 .

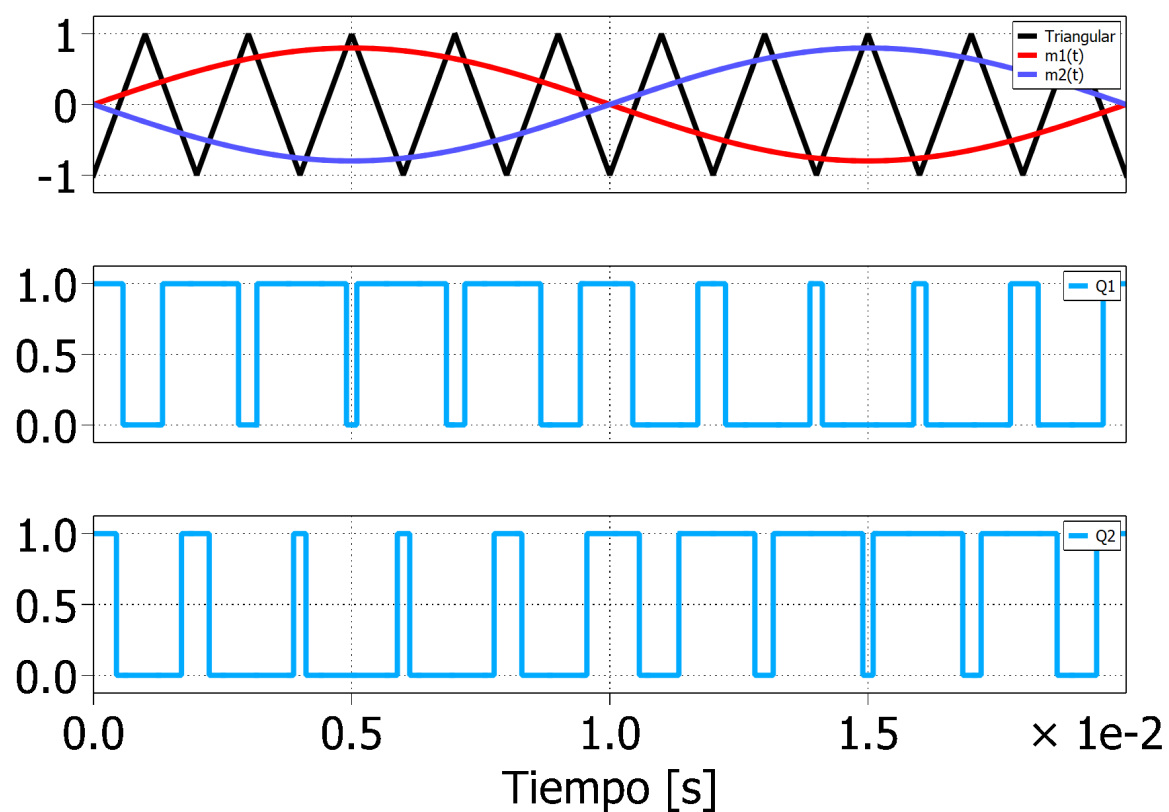


Figura 1.5: Modulación PWM unipolar para convertidor de 2 niveles

En aplicaciones de baja tensión, estas estructuras de convertidores de potencia suelen ser suficientes para transformar la potencia requerida, pero para aplicaciones de media tensión y alta potencia estas estructuras pueden ser insuficientes cuando los semiconductores no pueden soportar la tensión requerida por la aplicación o cuando los semiconductores no pueden transformar la potencia requerida. Por lo mismo, nuevas topologías de convertidores de potencia se posicionan fuertemente para responder ante dichas carencias, específicamente nos referimos a los convertidores de potencia multinivel.

1.2. Convertidores de potencia multinivel

Los convertidores multinivel han sido objeto de estudio durante las últimas décadas, presentándose como una buena alternativa para aplicaciones de media y alta tensión como por ejemplo la conversión de energía, transporte, industria minera, entre otras muchas aplicaciones [3]. La estructura de un convertidor multinivel está compuesta por un arreglo de dispositivos semiconductores y fuentes de tensión, que conectados y controlados de forma adecuada, generan a su salida una señal de tensión conmutada, pudiendo así variar su frecuencia, fase y amplitud.

Los convertidores multinivel (principalmente de tres niveles) se han posicionado fuertemente como una opción atractiva para la conversión de energía eléctrica CA/CD proporcionando resultados óptimos [4][5]. La tecnología multinivel goza de múltiples ventajas en comparación con los convertidores clásicos de dos niveles, dentro de las cuales es posible destacar:

- Posibilidad de alcanzar altos voltajes de salida con dispositivos semiconductores que soportan tensiones de trabajo menores.
- Bajo contenido armónico en las tensiones y corriente generadas.
- Mejor eficiencia en todo el rango de potencia de funcionamiento.
- Limitación de los transitorios de tensión.

Pese a todos los beneficios que aporta la tecnología multinivel, no está exenta de ciertas carencias o inconvenientes como:

- El incremento de número de niveles del convertidor conlleva un aumento de número de interruptores, de modo que la complejidad del control del sistema se eleva significativamente.
- Al disponer de condensadores que actúan como fuentes DC, para que operen correctamente es fundamental que la tensión se mantenga constante y en equilibrio bajo cualquier condición de trabajo.

A pesar de ser una tecnología ya conocida y probada, constantemente se encuentra bajo estudio y desarrollo para hacer frente a la demanda de incremento de potencia, mejora de la eficiencia, reduciendo costos y pérdidas. Por lo mismo, existen diversas topologías de convertidores multinivel, donde una de las principales es la topología NPC (Neutral Point Clamped). La topología NPC de tres niveles es la que ha conseguido mayor popularidad debido a su simple estructura, sin embargo, al día de hoy existen un gran número de topologías multinivel que son variaciones del convertidor NPC de tres niveles, respondiendo a limitaciones o problemas de la topología clásica. Ejemplo de estos nuevos avances son entre otros el convertidor ANPC (Active Neutral Point Clamped) y el convertidor NPP (Neutral Point Piloted).

1.2.1. Neutral Point Clamped - NPC

El convertidor NPC de tres niveles es el convertidor con mayor aceptación por parte de la industria, probablemente por ser el convertidor más estudiado, sencillo y robusto de la topología multinivel [6]. En la figura 1.6 se presenta el convertidor NPC de tres niveles para una sola fase. Se observa que esta topología está compuesta por cuatro interruptores o dispositivos de conmutación acompañados cada uno con su respectivo diodo de circulación libre y dos diodos fijos.

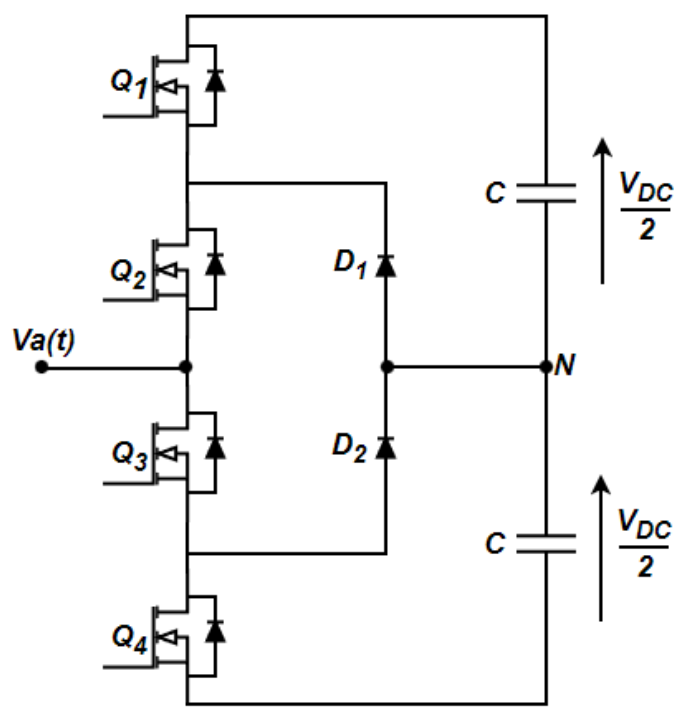


Figura 1.6: Topología de convertidor 3L-NPC

Los estados de conmutación del 3L-NPC se presentan en la tabla 1.2, donde los interruptores Q_1 y Q_3 son complementarios, es decir, nunca están activados al mismo tiempo. De la misma forma, los interruptores Q_2 y Q_4 son complementarios.

V_{aN}	Nivel	Q_1	Q_2	Q_3	Q_4
$V_{DC}/2$	P	ON	ON	OFF	OFF
0	0	OFF	ON	ON	OFF
$-V_{DC}/2$	N	OFF	OFF	ON	ON

Tabla 1.2: Estados de conmutación de convertidor 3L-NPC

Uno de los principales inconvenientes de este tipo de topología, es el reparto de las pérdidas entre los distintos semiconductores, la cual no es homogénea, esto debido a que no todos los semiconductores conmutan y conducen la corriente de la misma manera. Por ejemplo, si se considera un flujo positivo de la corriente, el interruptor Q_1 conduce solo para el nivel de tensión P , mientras que el interruptor Q_2 conduce para los niveles de tensión 0 y N . El número de conmutaciones y la corriente conmutada tampoco son iguales para todos los semiconductores. Por lo tanto, las pérdidas en los semiconductores no son uniformes, lo que genera que habrá semiconductores que alcancen la temperatura máxima de unión antes que los demás.

1.2.2. Neutral Point Piloted-NPP

El convertidor NPP de tres niveles es una variante del convertidor NPC de tres niveles como se aprecia en la figura 1.7. Esta topología hace uso del punto medio del DC-Link, al igual que el NPC, pero la diferencia principal es que el punto medio del DC-Link se conecta con la entrada mediante un interruptor bidireccional en tensión y corriente que puede implementarse con dos semiconductores controlados con diodos en antiparalelo conectados en antiserie.

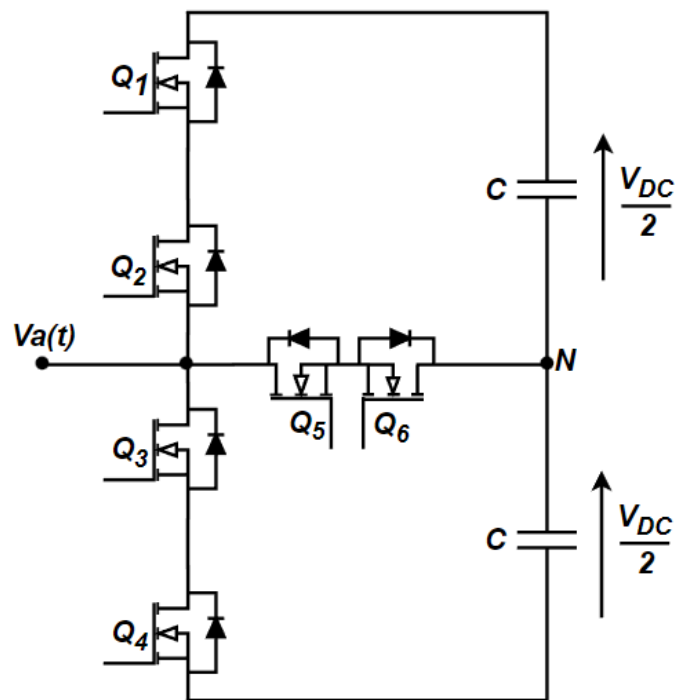


Figura 1.7: Topología de convertidor 3L-NPP

Los estados de conmutación del convertidor 3L-NPP se pueden ver en la tabla 1.3. Los interruptores Q_1 y Q_2 son complementario con Q_6 , de la misma manera que Q_3 y Q_4 son complementario con Q_5 .

V_{aN}	Nivel	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6
$V_{DC}/2$	P	ON	ON	OFF	OFF	ON	OFF
0	0	OFF	OFF	ON	ON	OFF	ON
$-V_{DC}/2$	N	OFF	OFF	OFF	OFF	ON	ON

Tabla 1.3: Estado de conmutación de convertidor 3L-NPP

En comparación con el convertidor 3L-NPC, el convertidor 3L-NPP distribuye mejor las pérdidas en los semiconductores [7], debido a que las pérdidas de apagado y encendido de los semiconductores de la rama se reparten de mejor forma, es decir al pasar del nivel P o N al nivel de tensión 0, las pérdidas de apagado se reparten entre Q_1 y Q_2 o entre Q_3 y Q_4 , y al pasar de un nivel de tensión 0 al nivel de tensión P o N , las pérdidas de encendido se reparten entre Q_1 y Q_2 o entre Q_3 y Q_4 . Al distribuir mejor las pérdidas, la temperatura de unión de los semiconductores es menor, por lo mismo la topología del convertidor 3L-NPP puede trabajar a una potencia mayor que el 3L-NPC. Por el contrario, este convertidor tiene el problema que serializar los semiconductores de las ramas principales, lo que dificulta las tensiones de los mismos.

1.2.3. Active Neutral Point Clamped-ANPC

Otra variante del convertidor NPC es el convertidor ANPC [8], el cual la principal diferencia respecto a la topología es que reemplaza los diodos de sujeción con interruptores activos tal como se presenta en la figura 1.8. Esta modificación permite elegir el camino de la corriente mediante distintos estados de conmutación, algo que no ocurría en el NPC.

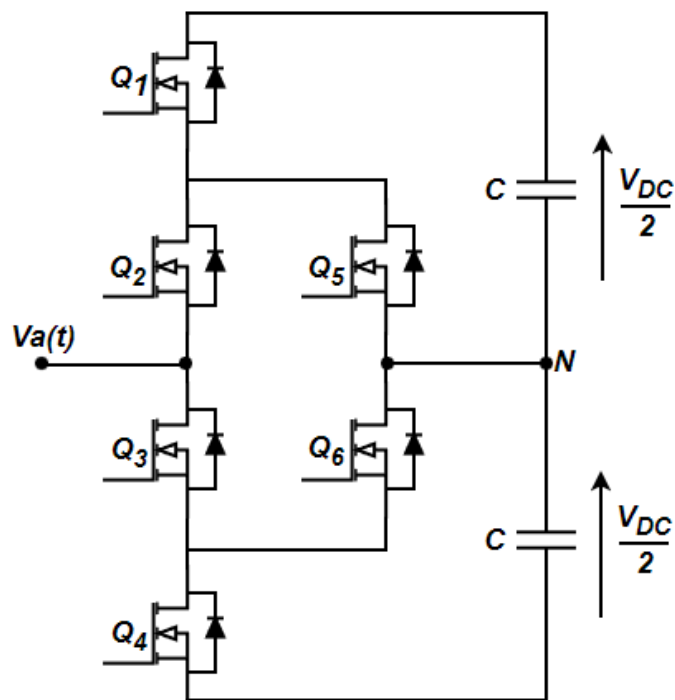


Figura 1.8: Topología de convertidor 3L-ANPC

Los estados de conmutación del 3L-ANPC se pueden ver en la tabla 1.4. Los interruptores Q_2 y Q_3 son complementario, como también lo son Q_5 y Q_6 . Por la misma razón, Q_1 y Q_4 no pueden estar encendidos a la vez. Es posible notar que existen 4 estados redundantes para obtener el nivel de tensión 0.

V_{aN}	Nivel	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6
$V_{DC}/2$	P	ON	ON	OFF	OFF	OFF	ON
0	$0U2$	OFF	ON	OFF	ON	ON	OFF
0	$0U1$	OFF	ON	OFF	OFF	ON	OFF
0	$0L1$	OFF	OFF	ON	OFF	OFF	ON
0	$0L2$	ON	OFF	ON	OFF	OFF	ON
$-V_{DC}/2$	N	OFF	OFF	ON	ON	ON	OFF

Tabla 1.4: Estado de conmutación de convertidor 3L-ANPC

Estos estados de conmutación reparten de manera distinta las pérdidas de conducción y conmutación en los semiconductores. Es decir, las pérdidas totales se mantienen iguales que el NPC, pero se pueden repartir de manera más homogénea en todos los semiconductores, eligiendo de manera adecuada los estados de conmutación del nivel 0. Otra ventaja a destacar es que se puede reducir la temperatura de unión máxima de los semiconductores en comparación con el NPC, lo que permite aumentar la potencia máxima de trabajo del convertidor o aumentar la frecuencia.

Para los convertidores multinivel es necesario implementar estrategias de modulación adecuadas para conseguir a la salida una señal con la mayor calidad posible. Por un lado, están las técnicas de modulación de baja frecuencia de conmutación que suelen emplearse cuando el número de niveles del convertidor es elevado. Aquí los interruptores conmutan una o dos veces por ciclo, y si bien con estas técnicas se generan menores pérdidas de conmutación, la calidad de la onda generada es inferior generada con las técnicas de alta frecuencia.

Las técnicas de modulación de alta frecuencia se emplean cuando el número de niveles del convertidor no es muy alto. Con este tipo de estrategias, los interruptores conmutan un número elevado de veces por cada ciclo. Las pérdidas de conmutación son mayores que las pérdidas obtenidas con el algoritmo de baja frecuencia, pero las señales generadas gozan de un mejor contenido armónico.

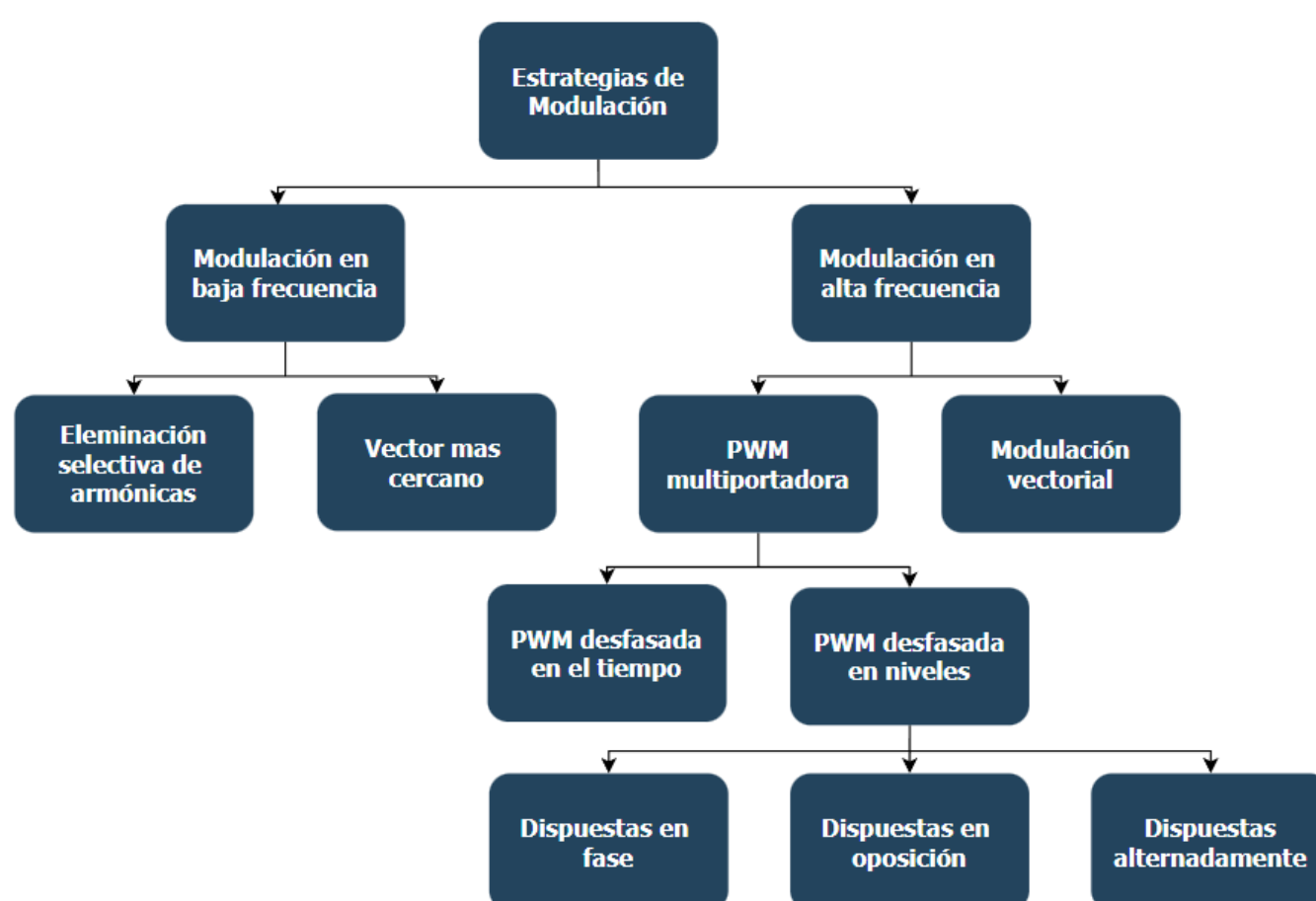


Figura 1.9: Clasificación de técnicas de modulación en convertidores multinivel

En la figura 1.9 se presentan las distintas técnicas de modulación acorde a la clasificación de alta y baja frecuencia de conmutación. Es importante mencionar que el desarrollo de este trabajo no se profundiza en las técnicas de modulación descritas, no obstante es importante señalar y explicar el principio de funcionamiento de la modulación PWM desfasada en niveles, la cual es posible emplear para las topologías multinivel descritas anteriormente.

Como se describió anteriormente, el convertidor 3L-ANPC puede generar el nivel de tensión 0 usando el mismo estado de conmutación del convertidor 3L-NPC, lo que significa que se puede implementar el mismo método de modulación para ambos convertidores. La técnica de modulación empleada para este tipo de convertidores es la modulación de ancho de pulso con desfasada en niveles, específicamente por la modulación dispuesta en fase (PDPWM) tal como se aprecia en la figura 1.10.

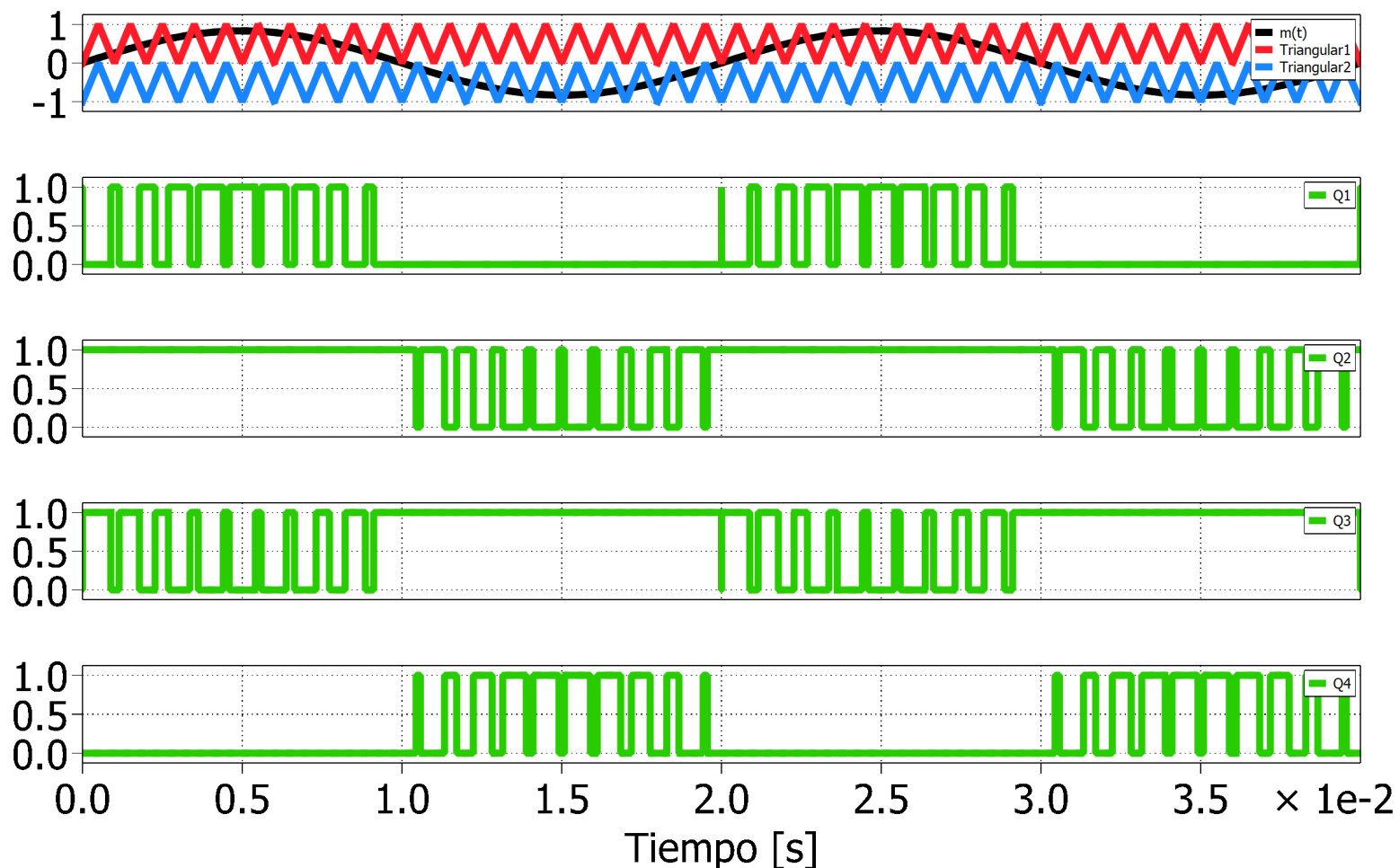


Figura 1.10: Modulación PWM con corrimiento de niveles para convertidor 3L-ANPC

Para topologías de n niveles es posible implementar la modulación PDPWM utilizando $n - 1$ señales portadoras. En el caso de tres niveles, el principio de funcionamiento se basa en utilizar una señal portadora por cada nivel de tensión del convertidor, las cuales se disponen en fase para poder compararlas con una señal de referencia (o modulante). La comparación establece los estados posibles:

- Si $m(t) > \text{triangular 1}$ y $m(t) > \text{triangular 2}$: la salida del comparado permite encender los interruptores Q_1 y Q_2 y mantiene apagado los interruptores Q_3 y Q_4 .
- Si $m(t) < \text{triangular 1}$ y $m(t) < \text{triangular 2}$: la salida del comparado permite encender los interruptores Q_3 y Q_4 y mantiene apagado los interruptores Q_1 y Q_2 .

Para llevar la misma estrategia a la versión trifásica, se deben generar otras dos señales modulantes desplazadas entre sí 120° y emplear la misma metodología de comparación descrita anteriormente.

1.3. Semiconductores de Potencia

El avance de la electrónica junto con el desarrollo de los diversos convertidores de potencia se han visto beneficiados gracias a los semiconductores potencia que se utilizan. Los semiconductores son materiales capaces de actuar como conductores eléctricos o como aislantes eléctricos, dependiendo de condiciones específicas. Por lo mismo, el desarrollo de los rectificadores controlados se ha visto fuertemente marcada por el progreso de la tecnología de materiales semiconductores en los últimos años, permitiendo rango mayor de potencias, mayores velocidades de conmutación y reducción de pérdidas. La tabla con las propiedades de los principales semiconductores se presenta a continuación.

Tecnología	Manejo de potencia	Velocidad de conmutación
Tiristor	Alta	Lenta
BJT	Media	Media
MOSFET	Baja	Rápida
GTO	Alta	Lenta
IGBT	Media	Media

Tabla 1.5: Propiedades de Dispositivos Semiconductores de Potencia

En la figura 1.11 se presentan la gráfica en cuanto a los rangos de voltaje, corriente y frecuencia que es capaz de soportar cada tecnología.

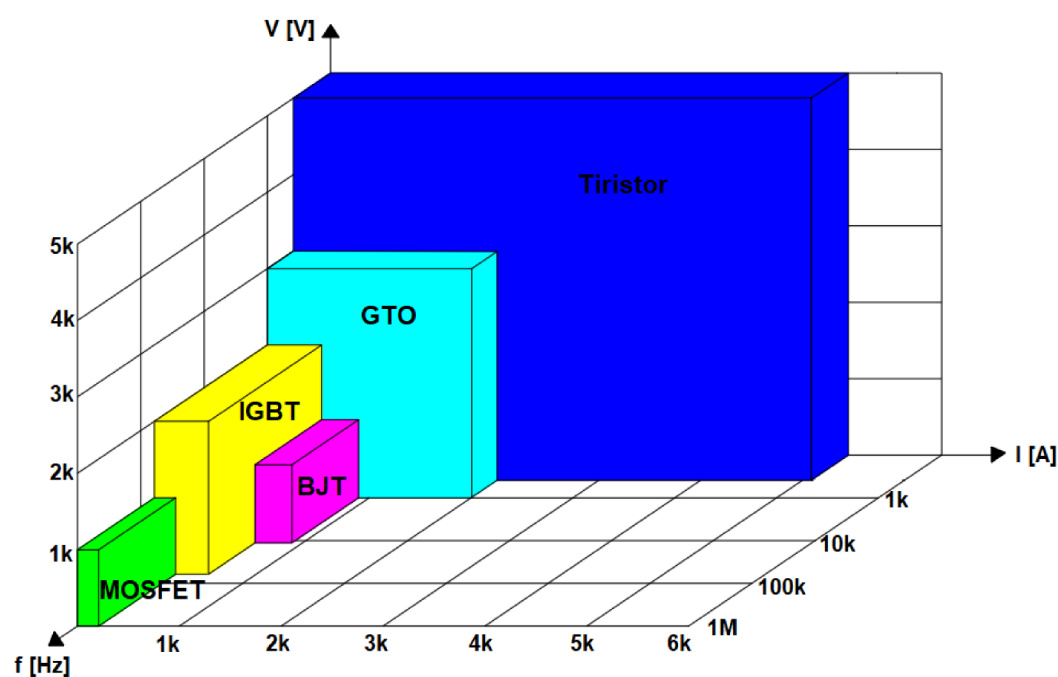


Figura 1.11: Resumen de las Capacidades de Dispositivos Semiconductores de Potencia

Tradicionalmente, la tecnología multinivel se ha visto fuertemente marcada por el uso de IGBT y MOSFET debido a sus propiedades de potencia y frecuencia de conmutación respectivamente, sin embargo, dichos semiconductores se han desarrollado principalmente en base de silicio (Si), pero en las últimas décadas, el desarrollo a base de materiales como el carburo de silicio (SiC) han logrado una importante mejora del rendimiento en la electrónica de potencia. En la figura 1.12 se presenta una comparación de los rangos de voltaje de cada tecnología.

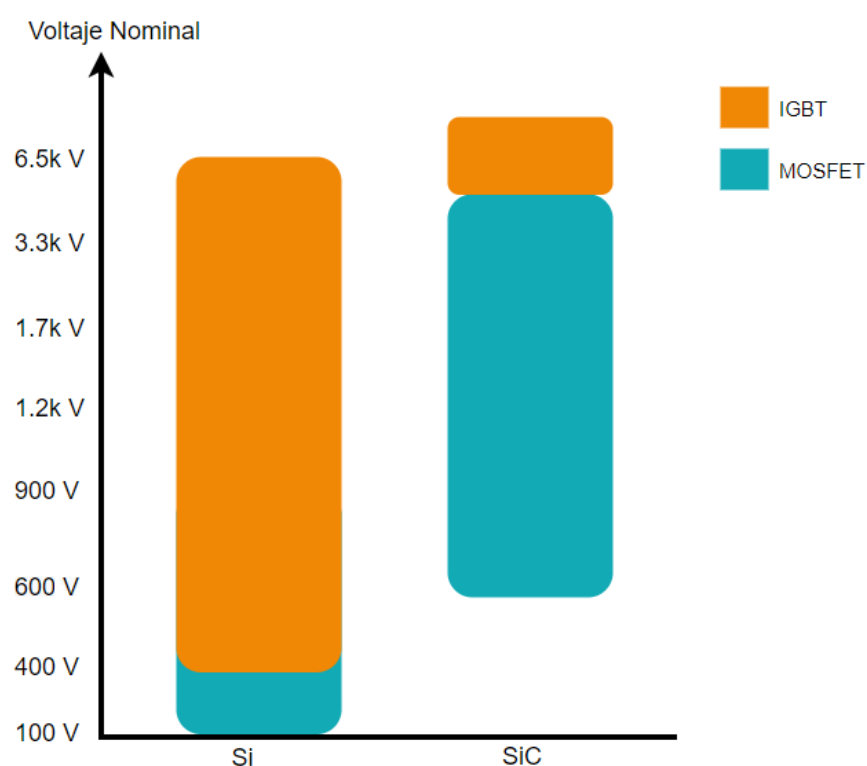


Figura 1.12: Rango de voltaje de tecnología Si y SiC en semiconductores IGBT y MOSFET

Algunas de las ventajas, específicamente de la tecnología SiC MOSFET sobre la tecnología Si son:

- Permiten un tiempo de conmutación más corto mientras bloquea voltajes relativamente altos.
- Frecuencias de conmutación más altas a la vez de perdidas más bajas.
- Incremento de la densidad de potencia.
- Trabajar a temperaturas más altas permitiendo relajar requisitos de disipación de potencia.

A pesar de las ventajas anteriores, los MOSFET de Carburo de Silicio no están exentos de inconvenientes o desventajas, específicamente presentan algunos problemas que deben abordarse, como el manejo de las condiciones de cortocircuito y la interferencia electromagnética debido a la pendiente de alto voltaje generada por un tiempo de conmutación más corto.

1.4. Motivación y Descripción del Proyecto

El uso de MOSFETs en aplicaciones de media tensión, y específico en aplicaciones de transformadores de estado sólido, ha permitido mejorar la eficiencia de los convertidores, a tal punto de permitirles operar a frecuencias más altas y a la vez incrementando la densidad de potencia. Por lo mismo, existe un constante estudio de buscar el mejor de los equilibrios entre una topología multinivel y una topología simple, por lo que el convertidor 3L-ANPC ha tomado mayor protagonismo al emplear MOSFET, presentándose como el mayor candidato frente a otras topologías pudiendo reducir pérdidas sin dejar de lado la eficiencia.

Este trabajo de memoria se enmarca dentro de un proyecto Fondecyt, cuyo objetivo es la mejora de la distribución de pérdidas de potencia mediante el uso de esquemas de balanceo de pérdidas activas bajo una variedad de puntos de operación. El proyecto Fondecyt Post-Doctorado 3220714: “Full-SiC Active Neutral Point Clamped Converters with Active Loss Balancing in Solid State Transformer” es liderado por el investigador Alan Wilson Veas. El diseño de un convertidor de potencia Active Neutral Point Clamped realizado en este trabajo de memoria es parte del proyecto, y su resultado va a poder permitir el poder tener el diseño PCB del convertidor para posteriormente construir cada placa que se necesitase y así montar el convertidor en su totalidad para su posterior validación y prueba experimental, con la finalidad así de realizar un estudio sobre las pérdidas que experimente los semiconductores de potencia.

1.5. Objetivo General y Específicos

El objetivo general de este trabajo es el desarrollo de un convertidor de potencia, específicamente el diseño un rectificador trifásico Active Neutral Point Clamped-ANPC de tres niveles. Para lograr este objetivo general, es que se identifican los siguientes objetivos específicos:

- Identificación y descripción de cada etapa del convertidor.
- Diseño de componentes pasivos del convertidor basándose en los requisitos que debe cumplir el sistema.
- Estudio y selección de componentes para cada etapa del convertidor basándose en un criterio técnico, físico o económico.
- Diseño de Placas de Circuito Impreso (PCB) de cada etapa del convertidor.

1.6. Alcances y Limitaciones

Los alcances que no son parte del desarrollo de esta memoria, pero si del proyecto y necesarios para del convertidor de potencia, son:

- Diseño de la etapa de control para el convertidor de potencia.
- Diseño del PCB del Gate Driver.
- Diseño de disipador térmico para los MOSFETs.

2 | Diseño del Convertidor 3L-ANPC

2.1. Introducción

En este capítulo se aborda el diseño del convertidor de potencia trifásico Active Neutral Point Clamped de tres niveles, donde se abarcan los aspectos necesarios para el manejo de potencia. Como punto de partida se presentan los requisitos que debe cumplir el convertidor de potencia. El desarrollo del convertidor se contempla de manera modular, por lo que es posible dividir el convertidor en cuatro etapas distintas:

- Etapa de Precarga
- Etapa de Filtro de entrada
- Etapa de Rama por fase
- Etapa de DC-Link

Basándonos en los requisitos, se definen los parámetros eléctricos claves para el diseño de cada etapa del convertidor, específicamente estos permitirán el diseño de los componentes de cada etapa para una posterior selección desde un punto de vista técnico-económico.

2.2. Requisitos

El convertidor de potencia debe cumplir con los siguientes criterios:

- Factor de potencia unitario.
- Distorsión armónica total de corriente de entrada debe ser menor al 5 %.
- Voltaje nominal en la carga debe ser de 750[V].
- El ripple de voltaje en la carga no debe ser mayor al 5 %.
- La potencia nominal en la carga debe ser de 5[kW].
- La frecuencia de conmutación de los interruptores debe ser de 50[kHz].
- Voltaje de red línea a línea igual de 380[V].
- Frecuencia de la red de 50[Hz].

Los requerimientos que van a permitir diseñar los componentes necesarios para cada etapa se resumen en la tabla 2.1.

Parámetros	Descripción	Valor
V_{LL}	Voltaje línea-línea	380[V]
FP	Factor de Potencia	0,99
V_{DC}	Voltaje en el DC-Link	750[V]
P	Potencia de salida	5[kW]
THD_i	Distorsión Armónica Total de corriente de entrada	$\leq 5\%$
f_g	Frecuencia de red	50[Hz]
f_{sw}	Frecuencia de conmutación	50[kHz]
$Ripple_{V_{DC}}$	Rizado de voltaje continuo	$\leq 5\%$

Tabla 2.1: Requisitos funcionales del convertidor de potencia

2.3. Diseño de etapas del convertidor ANPC

En la figura 2.1 se presenta un diagrama del convertidor Active Neutral Point Clamped de tres niveles, donde es posible identificar las cuatro etapas que se requieren para su diseño.

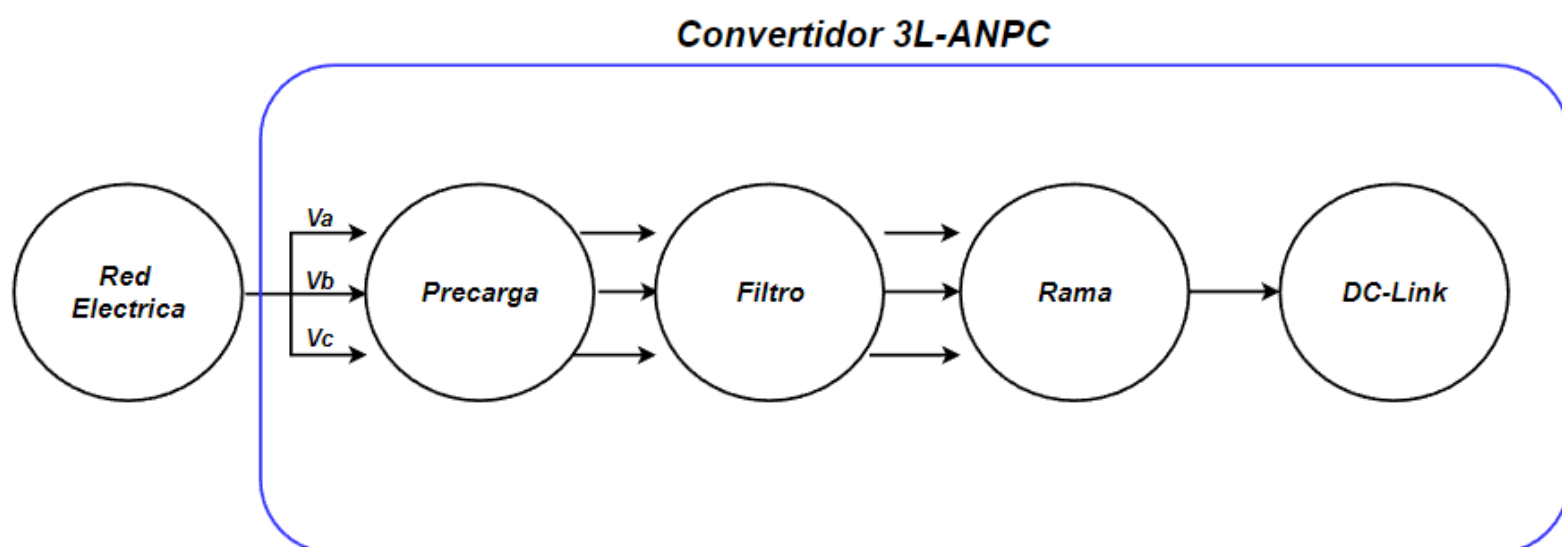


Figura 2.1: Diagrama esquemático de rectificador 3L-ANPC

2.3.1. Filtro de entrada

Para poder conectar el convertidor a la red eléctrica es necesario utilizar un filtro de corriente entre la red y el convertidor, pues una conexión directa provocaría un cortocircuito, además la calidad de la onda generada depende en gran medida de este elemento, ya que es el encargado de atenuar las corrientes armónicas de alta frecuencia. Dentro de las topologías más usadas son los filtros L, LC y LCL, donde está última al presentar características tales como alcanzar un menor nivel de THD, menores valores de inductancias y menor caída de tensión en el filtro [9] lo posicionan fuertemente para ser implementando en este tipo de convertidor.

En la figura 2.2 se presenta la topología del filtro LCL, la cual está formado por un inductor conectado a la red por cada fase, un condensador en paralelo y un segundo inductor conectado a la entrada de la rama rectificadora.

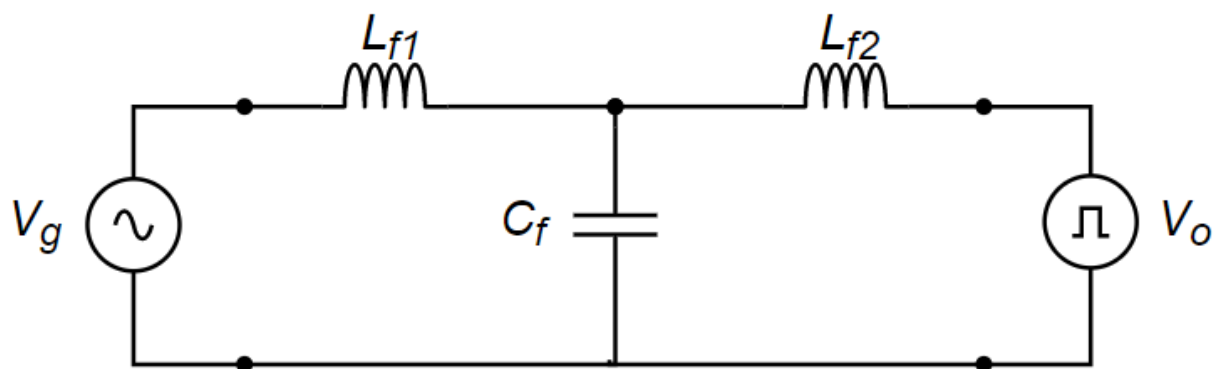


Figura 2.2: Topología filtro LCL

Para el diseño del filtro LCL se consideran las recomendaciones presentadas en [10],[11] y considerando la figura 2.3, el modelo del filtro LCL en el dominio de Laplace, se pueden obtener las ecuaciones necesarias para su diseño.

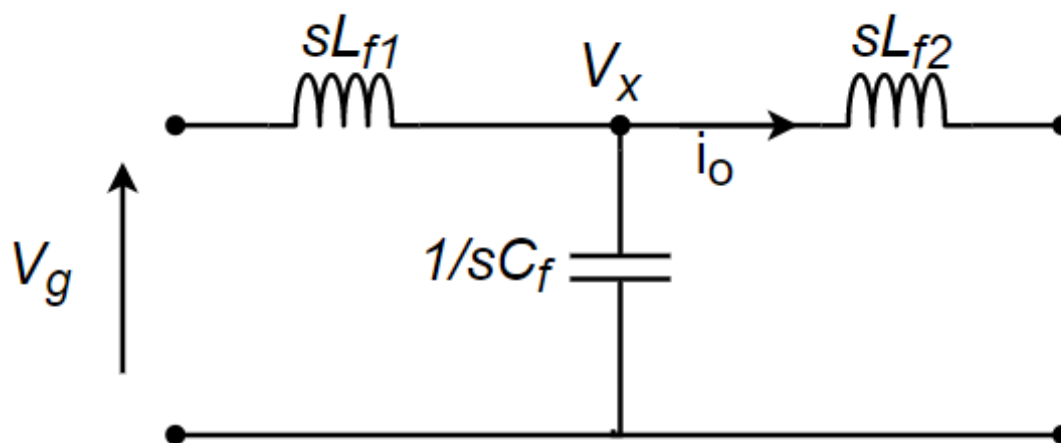


Figura 2.3: Filtro LCL en el dominio de Laplace

Aplicando leyes de Kirchoff es posible obtener las siguientes expresiones en el dominio de Laplace que modelan el filtro:

$$\frac{V_g - V_x}{s \cdot L_{f1}} = i_o + \frac{V_x}{\frac{1}{s \cdot C_f}} \quad (2.1)$$

$$V_x = i_o \cdot s \cdot L_{f2} \quad (2.2)$$

A partir de las ecuaciones 2.1 y 2.2 se determina la función de transferencia del filtro.

$$\frac{i_o}{V_g} = \frac{1}{s(L_{f1} + L_{f2}) \cdot (1 + s^2 \cdot C_f \cdot \frac{L_1 \cdot L_2}{L_1 + L_2})} \quad (2.3)$$

Ahora, considerando el procedimiento presentado en [12], permite obtener un posible valor base de inductancia a partir de los parámetros que se manejan

$$L_{Tbase} = \frac{V_{LL}^2}{2\pi f_g P} \quad (2.4)$$

Reemplazando con los valores correspondientes de la tabla 2.1 se obtiene un valor de inductancia base igual a $L_{Tbase} = 92[mH]$, pero la inductancia total del filtro no debe superar el 10 % de la inductancia base, es decir:

$$L_{Tmax} = (L_{f1} + L_{f2})_{max} = 10 \% L_{Tbase} \quad (2.5)$$

Se establece que el valor de la suma de inductancias debe ser de $L_{Tmax} = 9,2[mH]$. Por lo tanto, asumiendo el criterio de que el valor de las inductancias son iguales, es que se obtiene el valor máximo de $L_{f1} = L_{f2} = 4,6[mH]$. Respecto al valor del condensador, este se obtiene en función de la potencia reactiva que este es capaz de absorber. Para ello es posible definir la potencia reactiva como el 5 % de la potencia nominal y a la vez obtener la expresión necesaria y una cota superior para el valor del condensador.

$$C_{fmax} = 5 \% \frac{P}{2\pi f_g V_{LL}^2} \quad (2.6)$$

Reemplazando con los valores correspondientes de la tabla 2.1 permite establecer que el valor máximo de capacitancia es de $C_{fmax} = 5,5[\mu F]$. Cabe destacar que al utilizar un filtro LCL, al ser un filtro de orden mayor tiene la desventaja de introducir una frecuencia de resonancia dentro del sistema. Esta frecuencia, que se debe sintonizar, debe ser 10 veces mayor a la frecuencia de la red y debe ser menor a la mitad de la frecuencia de conmutación. Por lo tanto, a partir de la función de transferencia del filtro que se obtuvo con anterioridad 2.3, es posible definir la frecuencia de resonancia como:

$$\omega_{res} = \sqrt{\frac{L_{f1} + L_{f2}}{L_{f1} \cdot L_{f2} \cdot C_f}} \quad (2.7)$$

Finalmente, a modo de sintonizar una frecuencia de resonancia comprendida entre 50[Hz] y 25[kHz] y con las cotas superiores para el condensador e inductores descritas anteriormente, es que se puede determinar el valor de todos los componentes pasivos. Para los inductores se escogió un valor de $L_{f1} = L_{f2} = 55[\mu H]$ y para el condensador un valor de $C_f = 2,5[\mu F]$. Si se reemplazan estos últimos valores en la expresión 2.7 se obtiene una frecuencia de resonancia en torno a los 19[kHz] lo cual es aceptable.

Para compensar la frecuencia de resonancia que se genera, es necesario la utilización de métodos de amortiguamiento. Dentro de estos métodos se encuentran los activos y los pasivos. Para los métodos de amortiguamiento activo se utilizan técnicas de ubicación de polos de lazo cerrado para obtener así una respuesta estable, mientras que para los métodos pasivos se utilizan resistencia de amortiguamiento para así poder estabilizar el filtro. Para efectos del desarrollo de este convertidor de potencia y específicamente del filtro, se ha utilizado como método de amortiguamiento la inserción de una resistencia en serie con el condensador. Finalmente, el filtro resultante se presenta en la figura 2.4.

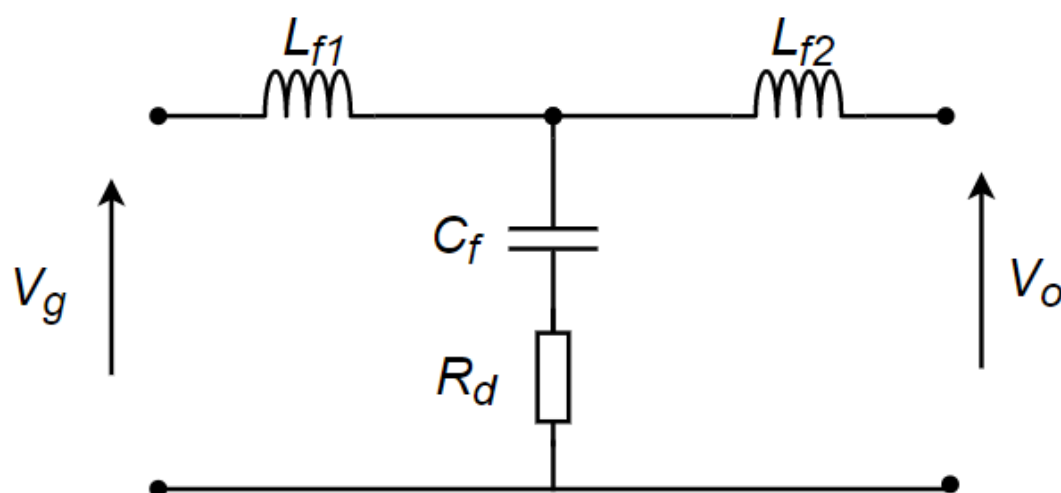


Figura 2.4: Filtro LCL con resistencia de amortiguamiento

A partir del método presentado en [12] se define la expresión 2.8 que permite calcular el correspondiente valor de la resistencia de amortiguamiento.

$$R_d = \frac{1}{3} \cdot \frac{1}{\omega_{res} \cdot C_f} \quad (2.8)$$

Considerando el valor del condensador previamente calculado de $C_f = 2,5[\mu F]$, y teniendo presente que la frecuencia de resonancia es $\omega_{res} = 2\pi 19 \cdot 10^3$, reemplazando se obtiene un valor de $R_d = 1,2[\Omega]$, pero al tener este valor de resistencia se disipa una potencia 83[W], por lo tanto, con la finalidad de disminuir las pérdidas de la potencia es que se decide disminuir el valor de la resistencia de amortiguamiento a 0,1[Ω]. Esto va a permitir que solo se disipe 5[W] de potencia en las 3 resistencias, lo que se traduce en una pérdida del 0.1 %.

Respecto a los componentes a seleccionar, para los inductores se escoge el modelo HCTI-56-10.2 desarrollado por el fabricante Bel Signal Transformer. Estos inductores del tipo toroidal, tienen un valor de inductancia de $56[\mu H]$ capaces de soportar corriente de hasta $10.2[A]$. Un criterio también a considerar al momento de su elección fueron las dimensiones físicas de cada bobina, considerando que se necesitan seis y todas van ubicadas en la misma placa. Para los condensadores se optó por el modelo PHE450MR7270JR06L2 de la empresa KEMET. Las características de este componente es que presentan un valor de capacitancia en torno a los $2.7[\mu F]$ y capaces de soportar un voltaje alterno en torno a los $400[V]$. Finalmente, para la resistencia de amortiguamiento se optó por una resistencia de bobinado RS02BR1000FS70 del fabricante Vishay. Esta resistencia tiene un valor de $0.1[\Omega]$ con un régimen de potencia de hasta $3[W]$.

Un elemento clave que hay considerar para el diseño e implementación de esta etapa de filtro, es el uso de varistores. Los varistores son resistores que depende de la tensión aplicada. Su principio de funcionamiento es básicamente a que cuando la tensión aplicada supera al valor nominal del varistor, este último se cortocircuita impidiendo que la corriente pase a través del resto de los componentes evitando posibles daños. Por lo tanto, el varistor va a ir conectado a la entrada del filtro, tal como se observa en la figura 2.5.

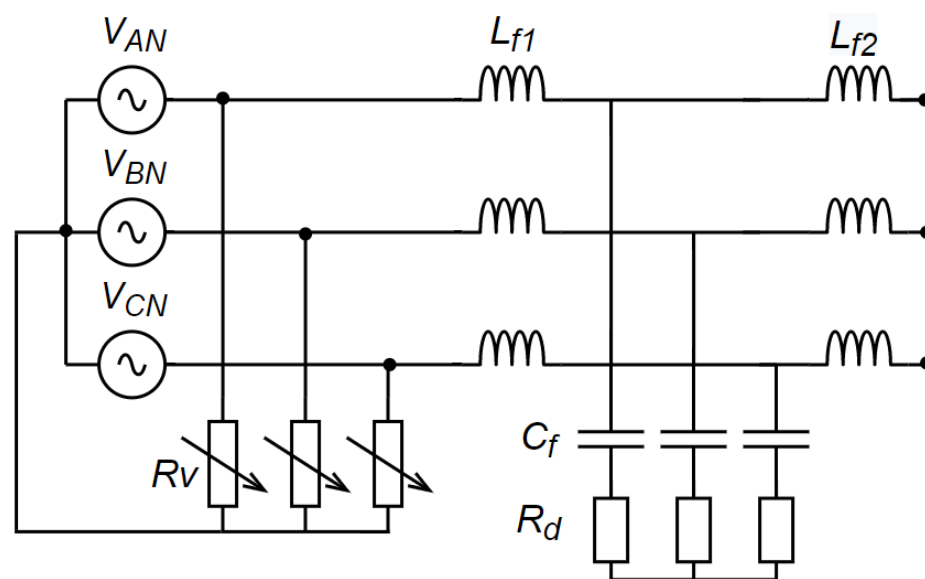


Figura 2.5: Filtro LCL con Varistores conectados

El varistor seleccionado fue el modelo MOV-10D681K del fabricante Bourns, el cual soporta una tensión alterna de $420[V]$. Respecto a la señal de la corriente y voltaje que entran a la etapa de filtrado, se deben seleccionar conectores capaces de soportar dichos niveles, por lo tanto, se opta por utilizar el mismo conector para la entrada y salida de esta etapa, específicamente se escogió el modelo 691241610004 del fabricante Wurth Elektronik. Este conector tiene 4 pines de conexión necesarios para las tres fases y el punto neutro, además cuenta con un régimen de voltaje alterno de $300[V]$ y corriente de $14[A]$.

A continuación, en la figura 2.6 se presenta el comportamiento estacionario de la corriente de entrada del convertidor de potencia sobre la base de los componentes previamente diseñados y seleccionados. Se logra observar que la amplitud máxima de la corriente es de $8.1[\text{A}]$ con un peak de resonancia en torno a los $0.7[\text{A}]$. Es importante mencionar que para efectos de la simulación de la corriente de entrada se consideró el DC-Link como una fuente ideal de $750[\text{V}]$, dado que el control del convertidor ANPC para que opere en dichas condiciones escapa de este trabajo.

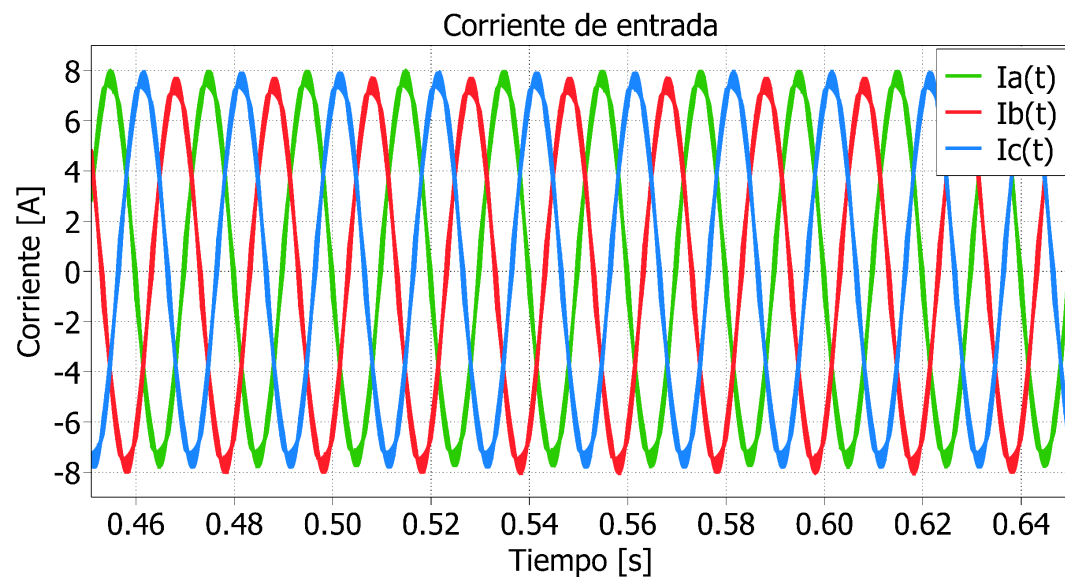


Figura 2.6: Corriente de entrada en estado estacionario

De manera complementaria, en la figura 2.7 se presenta el espectro de Fourier de la corriente de entrada. Se observa claramente los armónicos de corriente de la frecuencia fundamental, mientras que los demás armónicos son casi nulos. El nivel de THD de la corriente de entrada es del 3 %.

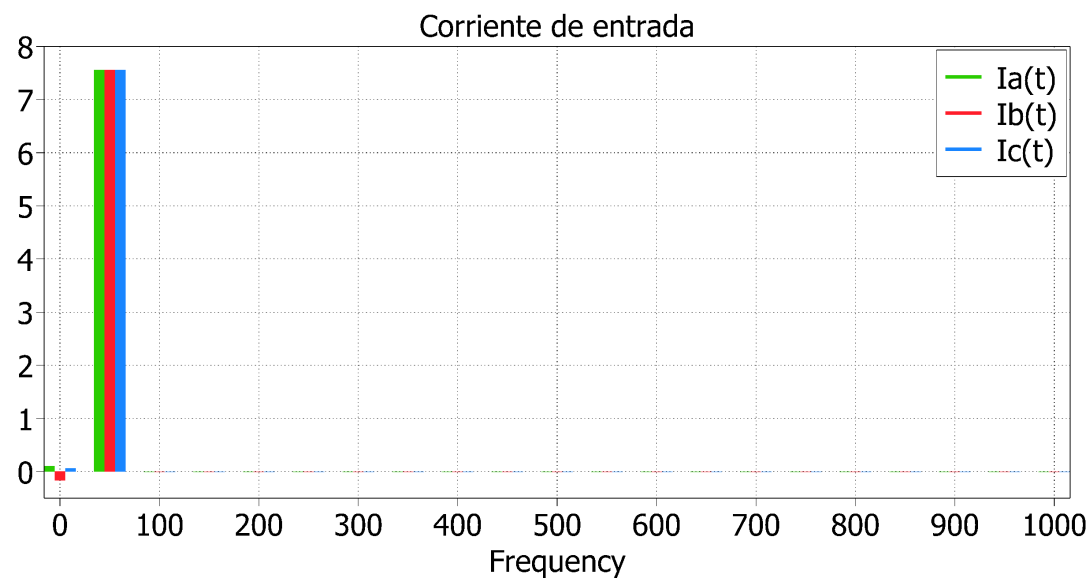


Figura 2.7: Armónicos de corriente de entrada

En la tabla 2.2 se presenta un resumen de los componentes seleccionados para la etapa del filtro LCL.

Componente	Fabricante	N Fabricante
Condensador	Panasonic	EZP-Q38305LTA
Conector	Würth Elektronik	691241610004
Inductor	Bel Signal Transformer	HCTI-56-10.2
Resistencia	Vishay	RS02BR1000FS70
Varistor	Bourns	MOV-10D681K

Tabla 2.2: Componentes seleccionados para etapa de filtro de convertidor 3L-ANPC

2.3.2. Etapa de DC-link

El DC-Link tiene la función de almacenar, estabilizar y suavizar el voltaje de salida. Un valor de capacitancia muy grande provoca que el rectificador sea menos compacto y confiable, mientras que un valor de capacitancia muy bajo no va a ser capaz de filtrar lo suficiente. A partir del método presentado en [13], se establece la expresión 2.9, la cual permite obtener una cota inferior para el cálculo del valor del condensador que depende del factor de rizado que se desea, la frecuencia de conmutación con la que se está trabajando y la corriente nominal de entrada.

$$C_{dc} \geq \frac{1}{8f_{sw}} \cdot \frac{I_o}{V_r} \quad (2.9)$$

Donde: f_{sw} : frecuencia de conmutación
 I_o : Corriente nominal de entrada
 V_r : Voltaje de ripple

Además, es posible definir el factor de rizado como:

$$r = \frac{V_r}{V_{dc}} \quad (2.10)$$

Considerando un factor de rizado del 5 %, que es lo máximo que se espera a la salida, y que la tensión de salida es de 750[V] se obtiene un voltaje de ripple de $V_r = 37,5[V]$, y reemplazando este último valor en la expresión 2.9, el valor de mínimo de capacitancia es de $0.5[\mu F]$. Mientras menor sea el factor de rizado, mejor será el filtro, por lo tanto, para disminuir el factor de rizado mayor debe ser el valor del condensador.

Es muy importante aclarar que el método presentado en [13] está pensado en el diseño del DC-Link para un convertidor 2 niveles, y dado que el convertidor de potencia a diseñar es de 3 niveles, por ende se necesita de 2 condensadores para el diseño del DC-Link tal como se presenta en la figura 2.8.

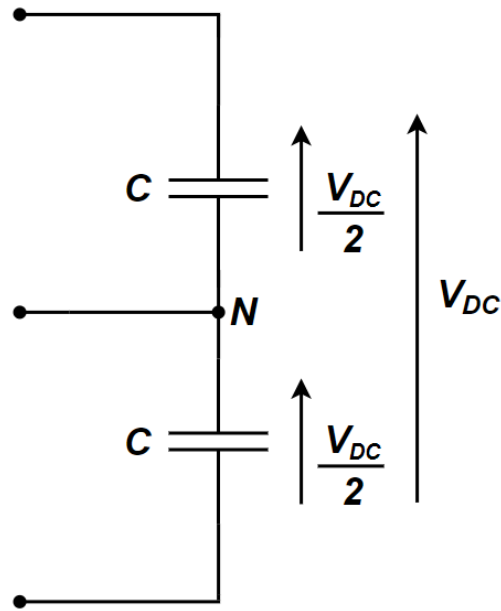


Figura 2.8: DC-Link para convertidor de tres niveles

Por lo tanto, si se considera una capacitancia por sobre el umbral calculado anteriormente, en este caso de $10[\mu F]$ para cada condensador, y dado que están configurados en serie, la capacitancia total del DC-Link es de $5[\mu F]$. Es importante mencionar que la etapa del DC-Link va a estar implementado en un backplane (como se explica en el siguiente capítulo) lo cual va a permitir la conexión de las ramas de semiconductores, por lo mismo es que se opta por implementar un banco de condensadores como se presenta en la figura 2.9.

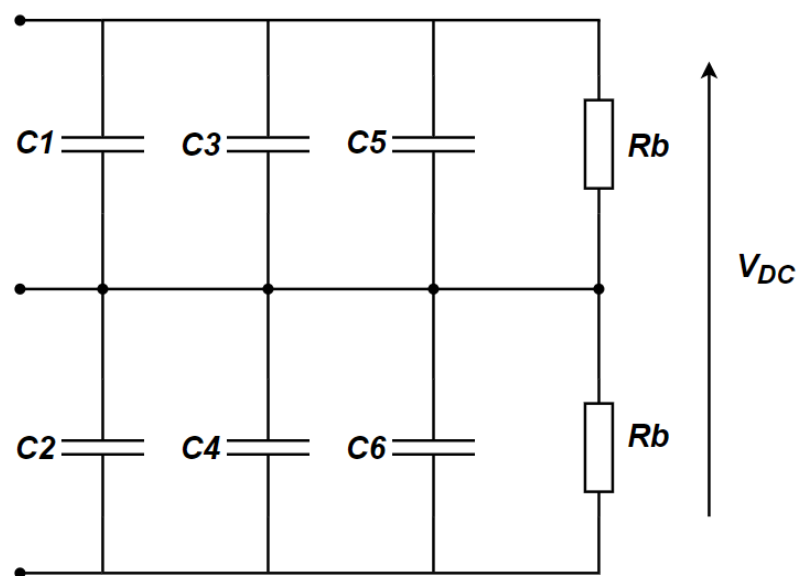


Figura 2.9: Banco de condensadores para el DC-Link

Esto va a permitir que cada rama de semiconductores va a estar conectada a su propio DC-Link, y a la vez mantener la tensión nominal. Dicho esto, el condensador seleccionado fue el modelo EZP-V60106LTB del fabricante Panasonic. Estos condensadores de película, tiene un valor de capacitancia de $10[\mu F]$ con un régimen de voltaje continuo de $600[V]$. Es importante aclarar que el valor de capacitancia total del banco de condensadores basándose en el componente seleccionado finalmente es:

$$C_{total} = \frac{(C1 + C3 + C5) \cdot (C2 + C4 + C5)}{(C1 + C3 + C5) + (C2 + C4 + C5)} = 15[\mu F] \quad (2.11)$$

Cuando el convertidor de potencia es desconectado de la fuente de alimentación y de la carga, se debe tener en consideración que los condensadores del DC-Link se mantienen cargados, por lo tanto, a modo de evitar problemas y poder descargar el DC-Link, es que se debe agregar una resistencia en paralelo a cada condensador, conocida como resistencia de bleeder.

El valor de estas resistencias se puede calcular a partir de la ecuación 2.12, la cual corresponde a la ecuación de descarga para un condensador.

$$V_{dc}(t) = V_o \cdot e^{\frac{-t}{R \cdot C}} \quad (2.12)$$

Donde:

- V_{dc} : Voltaje del condensador en el tiempo
- V_o : Voltaje inicial del condensador
- C : Capacitancia del condensador
- R : Resistencia de bleeder

Considerando la capacitancia de los condensadores que se ubican entre el punto neutro a la referencia positiva, es decir, solo tres condensadores con una capacitancia total $30[\mu F]$ y que el voltaje de inicial de cada condensador es de $375[V]$, para un valor de resistencia de $100[k\Omega]$ conectado en paralelo se obtiene un tiempo de descarga de $t = 4\tau = 12[s]$ tal como se presenta en la figura 2.10.

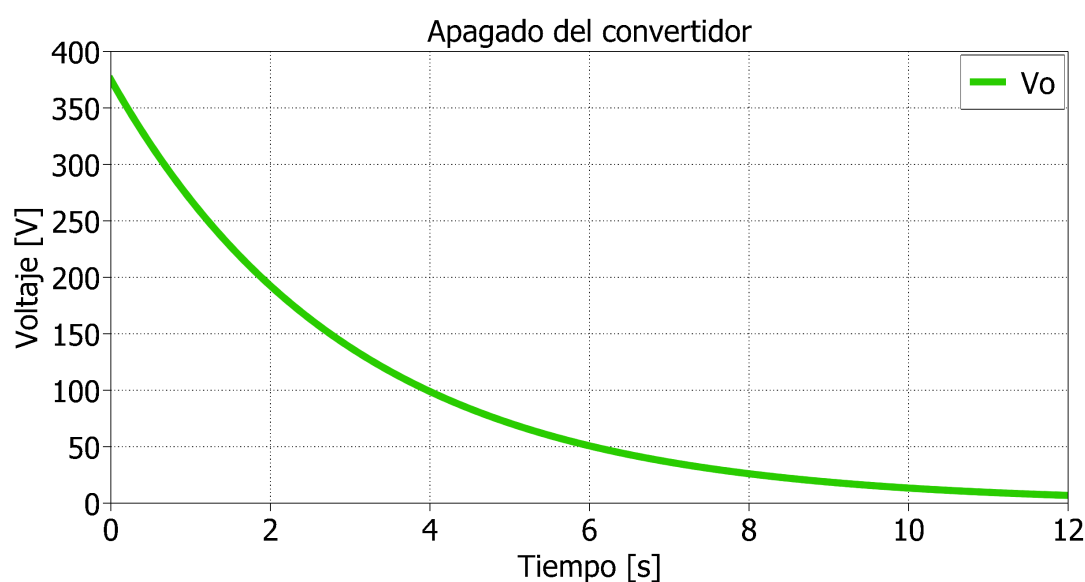


Figura 2.10: Apagado del convertidor considerando trío de condensadores

Ahora, si se considera la capacitancia total del banco de condensadores, es decir, de $15[\mu F]$ y que el voltaje de inicial del banco de condensadores es de $750[V]$, para un valor de resistencia total de $200[k\Omega]$ se obtiene un tiempo de descarga de $t = 4\tau = 12[s]$ tal como se demuestra en la figura 2.11 lo cual mantiene la coherencia de lo presentado anteriormente.

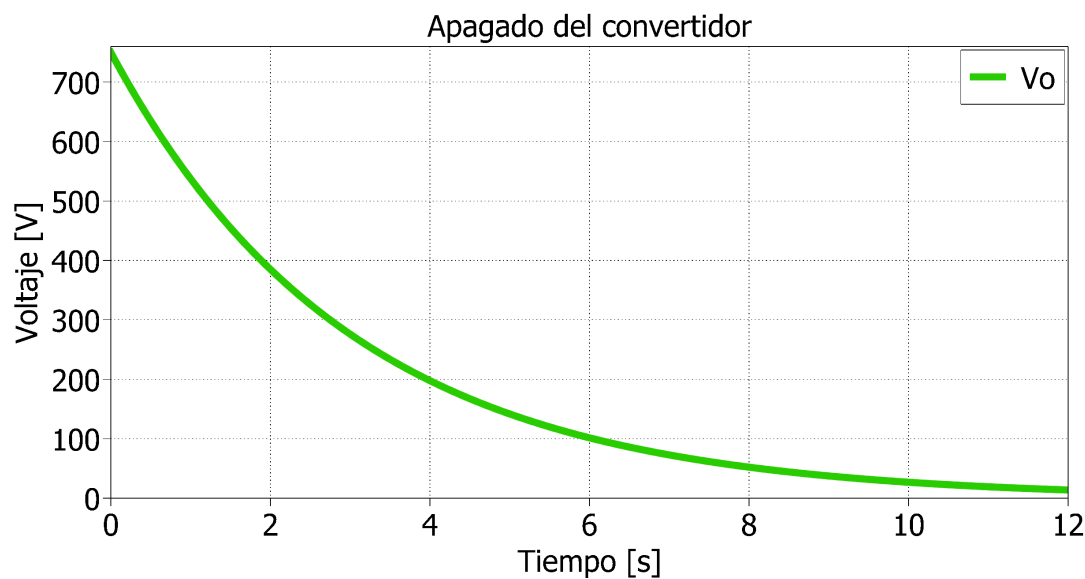


Figura 2.11: Apagado del convertidor considerando el DC-Link completo

Para la resistencia de descarga se utiliza el modelo RR03J100KTB del fabricante TE Connectivity. Cada resistencia de valor $100[k\Omega]$, cuenta con un régimen de voltaje de hasta $750[V]$ y con un régimen de potencia de $3[W]$. Respecto a los conectores que se necesitan para la conexión con la etapa de la rama, es que se utilizan conectores DIN41612 del fabricante Harting. El módulo 09062152821 es un conector tipo hembra, con un número de 2 filas, 15 pines en total y con un régimen de corriente de hasta $15[A]$.

Finalmente, en la tabla 2.3 se presenta un resumen de los componentes a utilizar para esta etapa.

Componente	Fabricante	N Fabricante
Condensador	Panasonic	EZP-V60106LTB
Conector	Harting	09062152821
Resistencia	TE Connectivity	RR03J100KTB

Tabla 2.3: Componentes seleccionados para etapa DC-Link de convertidor 3L-ANPC

2.3.3. Etapa de Precarga

Para el diseño del convertidor se debe considerar que se necesita una puesta en marcha del sistema, para ello se debe realizar la carga de los condensadores e inductores. Esta carga de dichos componentes pasivos tienen por objetivo medir el impacto que tiene el encendido en el convertidor de potencia, específicamente como se comporta la corriente de entrada y el voltaje del DC-Link. Por lo tanto, para el encendido del convertidor es que se utiliza una resistencia por cada fase tal como se presenta en la figura 2.12

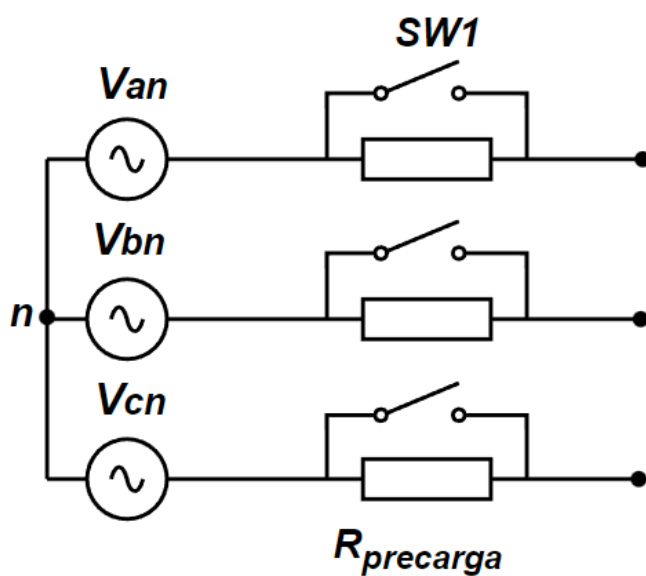


Figura 2.12: Etapa de precarga conectada a la red eléctrica

Esta resistencia, conocida como resistencia de precarga, se posicionan entre la red eléctrica y el filtro de entrada, las cuales van a permitir minimizar el peak de corriente durante el encendido del sistema. Para el correspondiente diseño de estas resistencias es que se debe considerar la precarga del DC-Link, la cual es posible realizar por medio de la expresión 2.13, la cual corresponde a la ecuación de carga de un condensador:

$$V_{dc}(t) = V_o \cdot (1 - e^{\frac{-t}{R \cdot C}}) \quad (2.13)$$

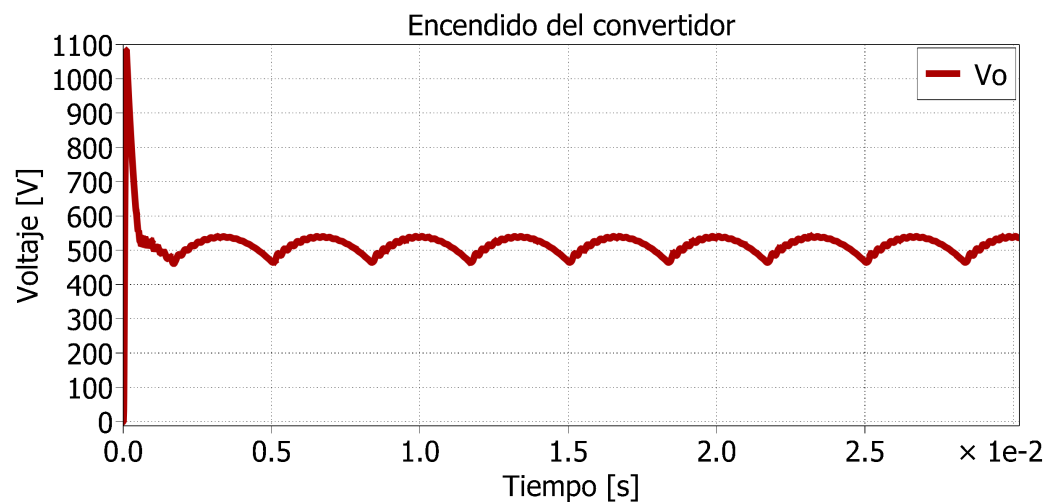
Donde:

- V_{dc} : Voltaje del condensador en el tiempo
- V_o : Voltaje del rectificador
- C : Capacitancia de condensador
- R : Resistencia de precarga

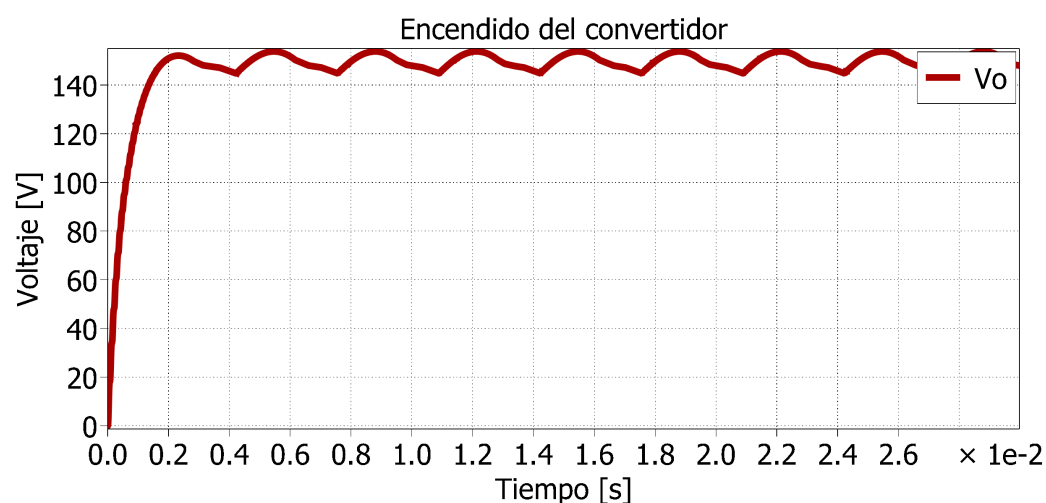
Como puede observarse, para efectos del cálculo de la resistencia de precarga, esta es independiente del valor de la tensión, debido a que se puede considerar el valor del voltaje del DC-Link como un porcentaje de la tensión del rectificador. Por lo tanto, si se considera una precarga del DC-Link hasta el 95 %, es decir, $V_{dc} = 0,95V_o$, el valor de capacitancia del DC-Link previamente calculado de $C = 15[\mu F]$ y considerando que se utiliza una resistencia de precarga de $150[\Omega]$, donde para efectos del cálculo deben sumarse el valor de las tres resistencias para compensar la dinámica, reemplazando en la expresión 2.13 es que se obtiene:

$$0,95V_o = V_o \cdot (1 - e^{\frac{-t}{450 \cdot 15 \cdot 10^{-6}}}) \rightarrow t = 20[\mu s] \quad (2.14)$$

Por lo tanto, el tiempo de precarga para la tensión del DC-link al usar una resistencia es de 20[μs], lo cual es un tiempo adecuado, ya que se requiere un encendido rápido del convertidor. A continuación se presenta el comportamiento del voltaje de salida operando en 2 casos, en el primero, sin resistencia de precarga, y el segundo caso, el mismo circuito, pero con resistencia de precarga. En la figura 2.13 se presentan los resultados correspondientes.



(a) Voltaje de salida sin resistencia de precarga



(b) Voltaje de salida con resistencia de precarga

Figura 2.13: Voltaje de salida con y sin resistencia de precarga

Al observar los dos casos posibles, se puede evidenciar que existen diferencias no solo en cuanto al valor que alcanza la tensión de salida, sino también el tiempo que se emplea para alcanzar dicho valor. En el caso, cuando se opera sin resistencia de precarga, la tensión de salida alcanza un valor de 540[V] con un tiempo de precarga que dura 1[μs]. También es posible notar que se produce un peak de voltaje en la carga de 1050[V], debido a que no existe limitación para la corriente de arranque que consume los condensadores del DC-Link. Respecto a la operación con resistencia de precarga, el tiempo de precarga efectivamente es de 20[μs] como se había calculado previamente, alcanzando un valor de tensión nominal de salida de 148[V].

Ahora en la figura 2.14 se presentan el comportamiento de la corriente de entrada con y sin resistencia de precarga, cuando el convertidor de potencia opera en condiciones normales.

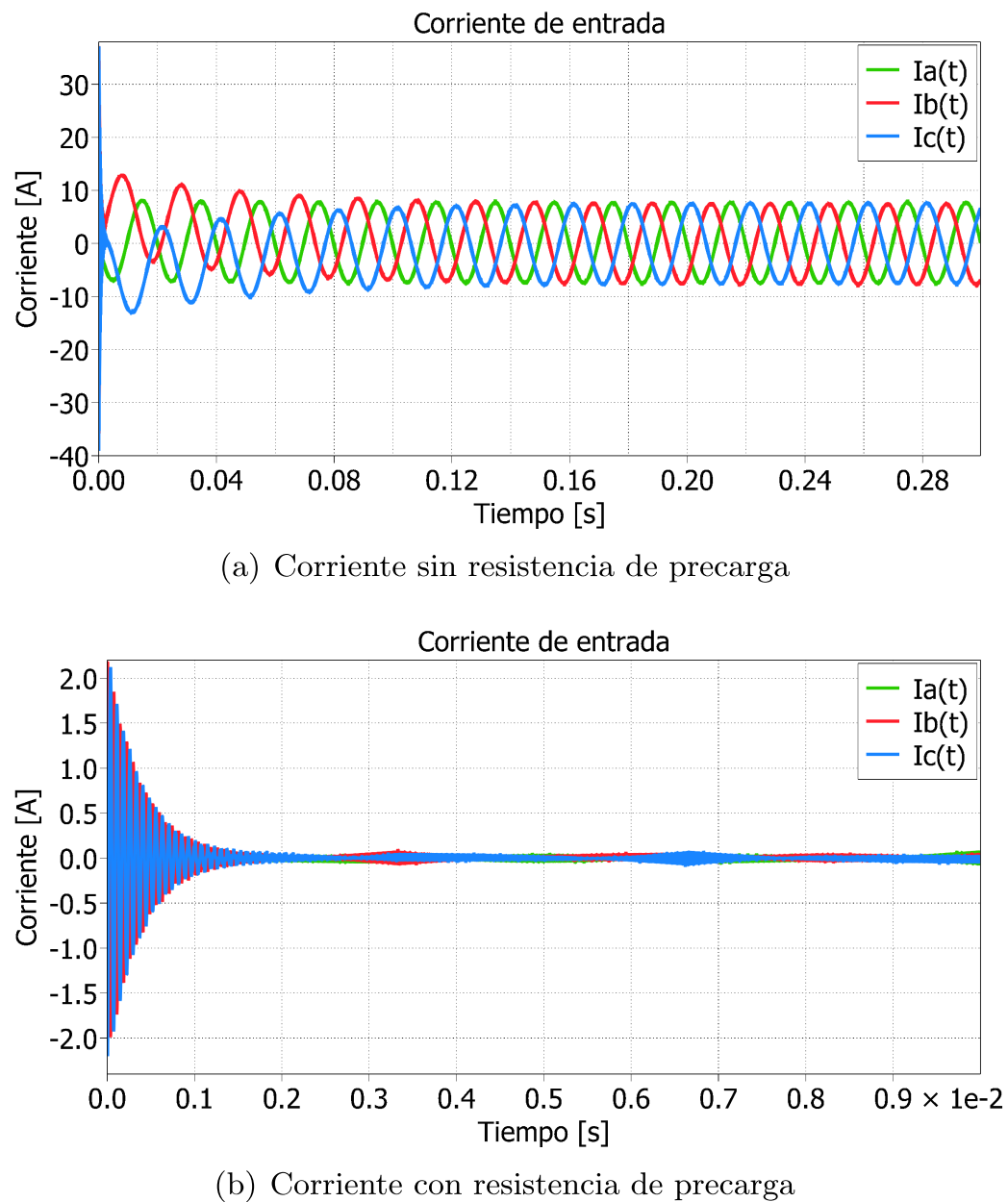


Figura 2.14: Corriente de entrada con y sin resistencia de precarga

Es evidente que existe una gran diferencia con relación al impacto que tiene la resistencia de precarga en la corriente de entrada. Para el caso sin resistencia de precarga, se obtiene un peak de corriente de $i_b = 48.[A]$. Al contrario, en el caso con resistencia de precarga, donde el peak de corriente alcanza el valor de $i_b = 2[A]$.

Al no utilizar resistencia de precarga, se debe invertir mayor dinero en protecciones del rectificador, lo que se traduce en un coste monetario mayor en el circuito, ya que se debe incurrir en fusibles, los que deben ser dimensionados para soportar mayor corriente de entrada y los MOSFETs también deben ser dimensionados para soportar un mayor voltaje que el realmente necesario para funcionar, por lo que la resistencia de precarga se vuelve una solución muy simple, efectiva y económica.

En consecuencia, para la etapa de potencia de este módulo de precarga, se escogió una resistencia bobinada modelo W22-180RJI del fabricante TT Electronics. Esta resistencia es de $180[\Omega]$, capaz de soportar un voltaje de $200[V]$ y un régimen de potencia de $7[W]$. Mientras que para los conectores de entrada y salida de esta etapa se utiliza el mismo modelo, es decir, el módulo 691242600003 del fabricante Wurth Elektronik capaz de soportar un régimen voltaje alterno de $300[V]$ y corriente de $14[A]$.

Para esta etapa de precarga teóricamente basta con un interruptor conectado en paralelo a una resistencia, pero considerando que el tiempo de precarga es del orden de milisegundos, es necesario que el interruptor sea controlable para operar en dichas condiciones. En consecuencia, se opta por utilizar un relé universal. Un relé es un interruptor que funciona a base de una inducción electromagnética, es decir, se induce una corriente por la bobina produciendo un campo magnético convirtiendo el núcleo magnético en un electroimán. El esquema necesario para la etapa de control del relé se presenta en la figura 2.15

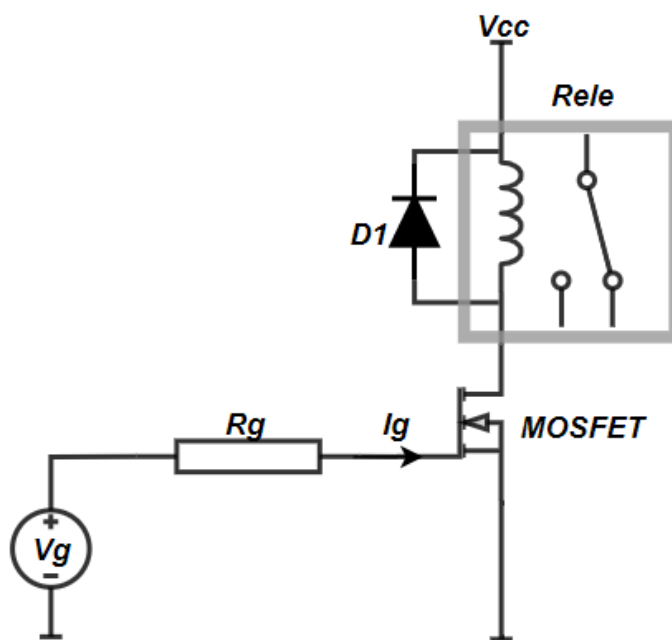


Figura 2.15: Etapa de control para relé

Considerando que el relé debe ser capaz de soportar los niveles de tensión de la red eléctrica, se decidió utilizar el modelo T9GV2L14-5 del fabricante TE Connectivity. Este relé es del tipo SPST, es decir, solo tiene un contacto y puede tener solo dos posiciones (abierto o cerrado). Dentro de sus principales características es que la bobina se excita a $5[V]$, una corriente máxima de contacto de $20[A]$ y capaz de soportar un voltaje alterno de $480[V]$, y la resistencia de la bobina es de $28[\Omega]$. Para la entrada del voltaje de excitación del relé se utiliza un conector 1716020000 del fabricante Weidmuller, capaz de soportar corriente de hasta $15[A]$ y voltajes hasta $300[V]$. Para que el relé entre en contacto con el resto del circuito, la manera más sencilla es a través de un transistor, específicamente en este caso será por medio de un MOSFET. Tal como se observa en la figura 2.15, un terminal de la bobina se conecta al drenaje del MOSFET, y de esta forma cuando se le aplica una tensión alta y se supera la tensión umbral del MOSFET, este último entra en saturación y actúa como un cortocircuito, así el relé es activado y existe una circulación de corriente. Por contra parte, cuando la tensión aplicada al MOSFET es baja, se produce un circuito abierto y por ende no hay circulación de corriente. Dicho esto, el MOSFET escogido fue IRLZ14PBF del fabricante Vishay que posee características tales como tensión umbral entre puerta y fuente de $2[V]$.

Sabiendo lo que los MOSFET son dispositivos controlados por tensión, se le debe conectar una resistencia a la entrada de la puerta con la finalidad de eliminar las capacitancias parásitas que se generan cuando se encienda y se apague. Por lo tanto, la resistencia que se usa es el modelo 35221K2FT del fabricante TE Connectivity. Esta resistencia tipo SMD, es de $1,2[k\Omega]$ con un régimen de voltaje de $250[V]$ y un régimen de potencia de $3[W]$.

Un elemento clave es la conexión de un diodo en paralelo a la bobina del relé. Este diodo tiene como propósito evitar daños de componentes cercanos sensibles al alto voltaje que se genera en la bobina cuando se interrumpe el flujo de corriente, es decir, cuando el relé esté activado y pase un flujo de corriente por la bobina, por el diodo no va a circular corriente porque está polarizado inversamente al contrario cuando se desactiva el relé, la bobina va a buscar mantener la circulación de corriente, por lo mismo esa corriente va a circular por el diodo y así evitar picos de voltaje que podrían ser perjudiciales. Los modos de operación del MOSFET para el control de relé se presentan en la figura 2.16.

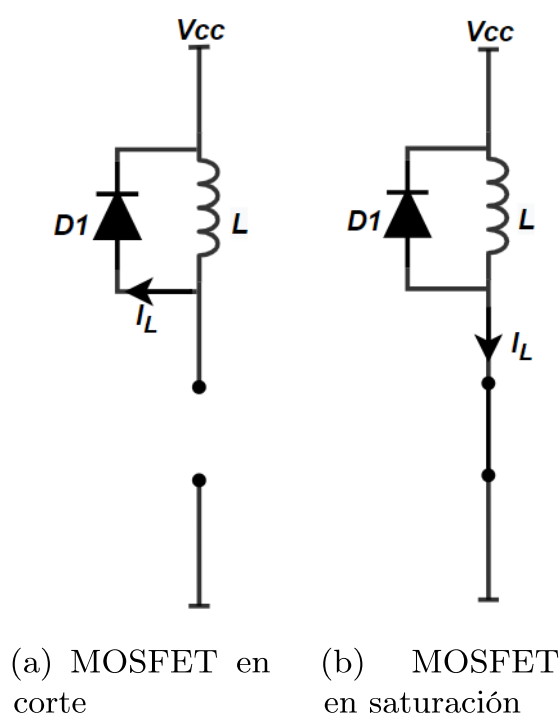


Figura 2.16: Estados de operación de MOSFET para el control de relé

Al momento de la elección del diodo a utilizar es importante tener claro los niveles de tensión y corriente que debe ser capaz de soportar. Por lo mismo, cuando el MOSFET esté en corte, la corriente que va a circular por el diodo está dado por:

$$I_L = \frac{V_{cc}}{R_L} = \frac{5[A]}{28[\Omega]} = 0,17[A] \quad (2.15)$$

Donde V_{cc} es la tensión que excita el inductor del relé y R_L es la resistencia del inductor del relé. De manera complementaria, cuando el MOSFET esté en saturación, el voltaje que debe ser capaz de soportar el diodo corresponde al voltaje del inductor en paralelo, lo que significa que debe soportar una tensión de $5[V]$. Basándose en esto, el diodo escogido fue el componente 1N4154TAP del fabricante Vishay. Este diodo es capaz de soportar una tensión inversa máxima de $25[V]$ y corriente máxima de $2[A]$. Finalmente, el conector necesario para la señal de excitación del MOSFET es el conector tipo header del fabricante Mill-Max.

En la tabla 2.4 se presenta el resumen de los componentes seleccionados para la etapa de precarga.

Componente	Fabricante	N Fabricante
Diodo	Vishay	1N4154TAP
Conector	Weidmuller	1716020000
Conector	Mill-Max	319-10-106-00-006000
Conector	TE Connectivity	282843-3
Rele	TE Connectivity	T9GV2L14-5
Resistencia	TE Connectivity	35221K2FT
Resistencia	TT Electronics	W22-180RJI
Transistor	Vishay	IRLZ14PBF

Tabla 2.4: Componentes seleccionados para etapa de Precarga de convertidor 3L-ANPC

2.3.4. Etapa de Rama de semiconductores

Es fundamental la elección del semiconductor que se va a utilizar para implementar la rama de semiconductores, como se aprecia en la figura 2.17.

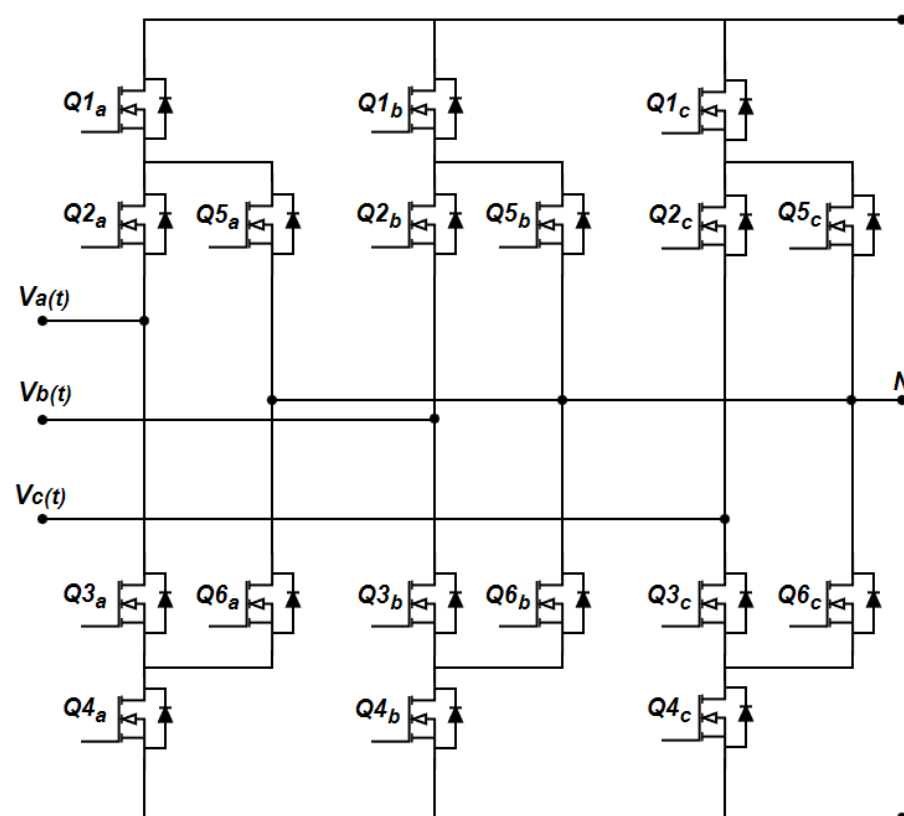


Figura 2.17: Rama trifásica de semiconductores de convertidor 3L-ANPC

La tecnología más apropiada basándose en los requerimientos mencionados es la de los MOSFET. Las ventajas que presentan, tales como proporcionar una mayor eficiencia mientras operan a voltajes más bajos, la alta impedancia de entrada que produce una alta velocidad de conmutación y que funcionen a menor potencia y no consuman corriente, lo posicionan como la mejor alternativa para este tipo de convertidor.

Considerando que existe una gran variedad de posibilidades a utilizar, es que se definieron ciertos criterios que van a permitir reducir la gama de posibilidades, tales como:

- Tecnología SiC.
- Presencia de Diodo Schottky
- Empaquetado SOT227-4

Estos criterios se deben en primer lugar a la tecnología empleada por el semiconductor. Como se describió en la sección anterior, los MOSFET de carburo de silicio tienen bajas pérdidas de conmutación, lo que permiten una operación de frecuencia de conmutación más alta y una mejor eficiencia. La tecnología MOSFET tienen incorporado un diodo parásito llamado diodo corporal. Este diodo está conectado entre el drenaje y la fuente y tiene por objetivo proporcionar una ruta para que la corriente circule durante el apagado del dispositivo, es decir, la conducción del diodo corporal ocurre durante el tiempo muerto entre una desconexión y la posterior activación del MOSFET. Si bien el tiempo muerto suele ser breve, las pérdidas asociadas con esta parte del ciclo de conmutación pueden ser significativas. Para hacer frente a estos inconvenientes, es que se han desarrollados nuevos dispositivos donde tienen incorporado un diodo de barrera Schottky paralelo al diodo corporal, tal como se presenta en la figura 2.18. Este diodo de barrera Schottky cumple la misma función que el diodo corporal, pero la principal diferencia es que tiene un mayor y mucho más rápido tiempo de recuperación debido a la muy baja cantidad de carga almacenada [14] por lo que se vuelve fundamental considerando la velocidad de conmutación con la que se trabaja.

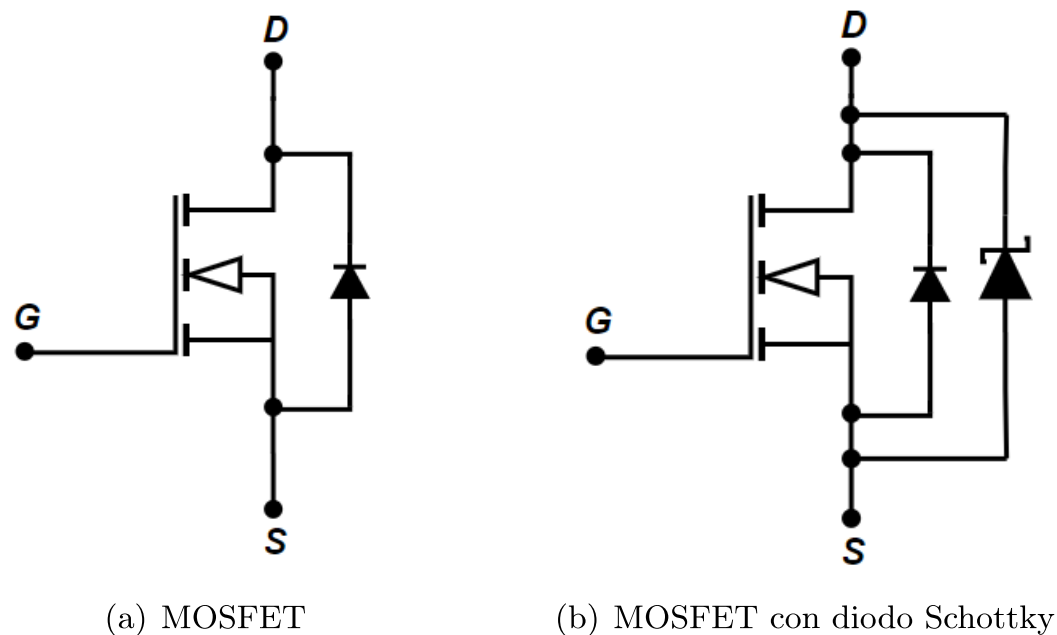


Figura 2.18: MOSFET sin y con diodo de barrera Schottky

Considerando lo descrito anteriormente es que se escoge el módulo GCMS080B120S1-E de la empresa SemiQ. Este MOSFET con empaquetado SOT227-4 cuentan con un diseño compacto, soportan tensiones de hasta 1200[V], corrientes de hasta 30[A] y pueden conmutar a frecuencias de 50[kHz] lo cual lo vuelve ideal basándose en los requerimientos de trabajo del convertidor. Cabe destacar que un punto crítico al momento de la elección del MOSFET, es que se buscó un componente que además de cumplir los requisitos tuviera stock en el mercado debido a que se necesita un número importante para implementar esta etapa.

En la figura 2.19 se presenta el modelo circuital del MOSFET seleccionado.

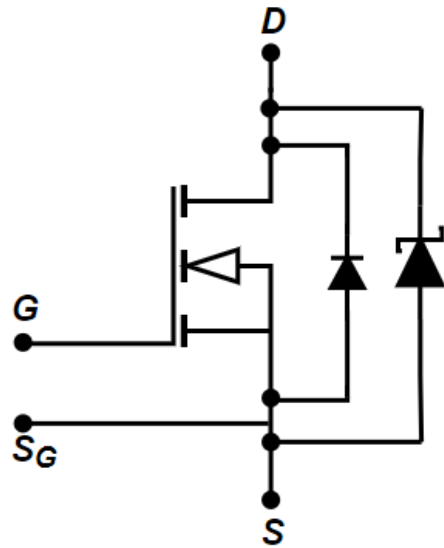


Figura 2.19: Modelo circuital de MOSFET GCMS080B120S1-E

Las pérdidas por conmutación y conducción deben reducirse tanto como sea posible para aumentar la eficiencia del sistema. En los últimos años, el desarrollo de nuevas tecnologías de paquete que han agregado un pin de fuente de controlador (también llamando fuente de controlador o fuente kelvin) como método para aumentar la eficiencia en los MOSFET. La finalidad de este terminal es básicamente servir como conexión para una señal pequeña dedica al control, esto para poder mitigar los cambios inductivos de la puerta al cambiar la corriente[15].

Una vez que se enciende el MOSFET, este último no se volverá a apagar, incluso si se quita el voltaje de excitación debido a la capacitancia parásita entre la puerta y la fuente, almacenará carga y mantendrá el voltaje de la puerta-fuente. Para eliminar esta carga rápidamente, se requiere una resistencia en paralelo con esta capacitancia que se genera tal como se observa en la figura 2.20.

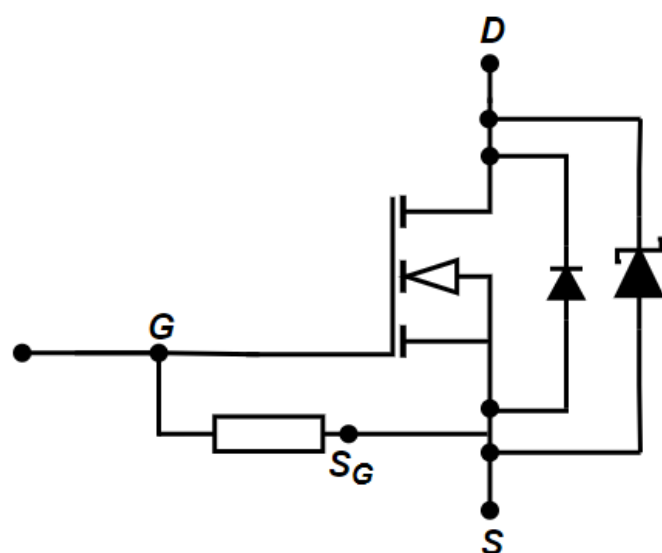


Figura 2.20: MOSFET con resistencia de compuerta

Para asegurar la correcta eliminación de esta carga parásita se escoge un valor de resistencia grande, específicamente se escoge una resistencia tipo SMD de valor $120[\text{K}\Omega]$ del fabricante TE Connectivity. Esta resistencia cuenta con un régimen de voltaje y potencia de $250[\text{V}]$ y $3[\text{W}]$ respectivamente. Para la señal de disparo necesaria para el MOSFET se utiliza un conector tipo header del fabricante Mill-Max. Este conector específicamente tiene 6 pines, dado que se utilizara un conector para tres MOSFET, con un régimen de voltaje de $150[\text{V}]$. Respecto al voltaje y corriente que le entra a la rama, se opta por utilizar un bloque terminal 691236610001 del fabricante Wurth Elektronik. Dentro de las principales características a destacar de este conector son que posee un solo terminal, soporta un nivel de corriente de hasta $20[\text{A}]$ y un nivel de voltaje alterno de hasta $300[\text{V}]$.

Teniendo presente que la salida de esta etapa va a ir conectada al backplane donde está el DC-link, es que se utiliza un conector tipo DIN41612, lo cuales son de gran utilidad cuando se trabaja en formato Eurocard. Los conectores DIN41612 se utilizan ampliamente en sistemas eléctricos basados en rack, estos son los preferidos en aplicaciones que requieren conectores particularmente robustos o corrientes superiores de hasta $15[\text{A}]$. Por lo tanto, el modelo de conector que se utilizara es el 09061152911 desarrollado por el fabricante Harting que presenta característica como tener 2 filas de pines, un total de 15 pines y con un régimen de corriente de $15[\text{A}]$.

En la tabla 2.5 se presenta un resumen con los componentes seleccionados para la etapa de rama de semiconductores.

Componente	Fabricante	N Fabricante
Conector	Harting	09061152911
Conector	Wurth Elektronik	691236610001
Conector	Mill-Max	319-10-106-00-006000
Semiconductor	SemiQ	GCMS080B120S1-E1
Resistencia	TE Connectivity	3522120KFT

Tabla 2.5: Componentes seleccionados para etapa de Rama de convertidor 3L-ANPC

2.4. Modelo final del convertidor 3L-ANPC

En la figura 2.21 se presenta el modelo del convertidor trifásico Active Neutral Point Clamped de tres niveles con sus respectivas etapas diseñadas y la conexión entre ellas.

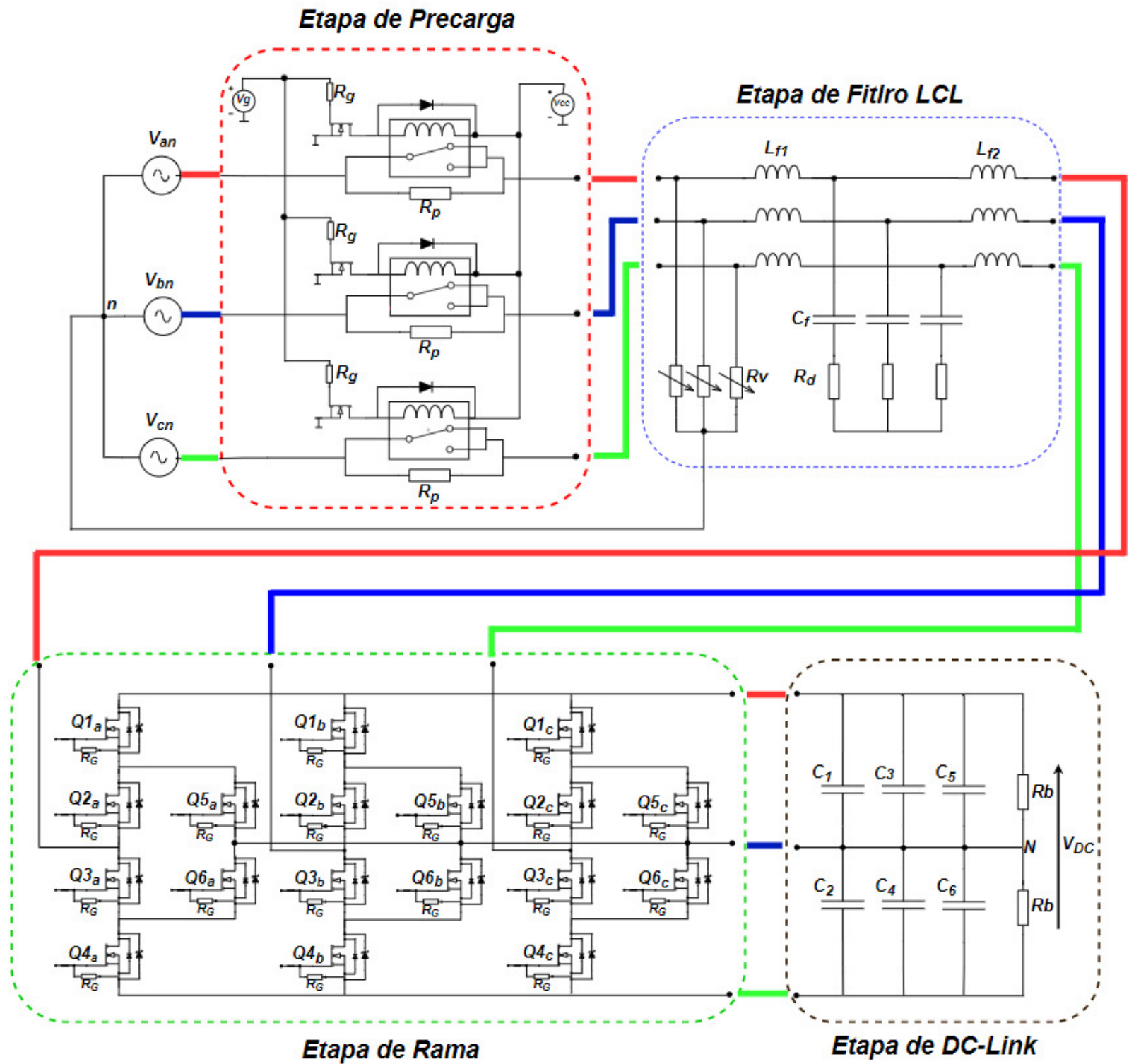


Figura 2.21: Convertidor de potencia trifásico 3L-ANPC

De forma complementaria, en la tabla 2.6 se presenta un resumen de los principales componentes pasivos diseñados con sus respectivos valores, mientras que en la tabla 2.7 se presenta un resumen de todos los componentes seleccionados para cada etapa del convertidor diseñada, así como también la cantidad mínima de componentes.

Parámetros	Valor
R_p	$180[\Omega]$
$L_{f1} = L_{f2}$	$56[\mu H]$
C_f	$2,5[\mu F]$
R_d	$0,1[\Omega]$
C	$10[\mu F]$
R_b	$100[k\Omega]$
R_G	$120[k\Omega]$
R_g	$1,2[k\Omega]$

Tabla 2.6: Resumen de valores de componentes pasivas del sistema.

Etapa	Componente	Fabricante	N Fabricante	Cantidad
Filtro LCL	Condensador	Panasonic	EZP-Q38305LTA	3
	Conector	Wurth Elektronik	691241610004	2
	Inductor	Bel Signal Transforme	HCTI-56-10.2	6
	Resistencia	Vishay	RS02BR1000FS70	3
	Varistor	Bourns	MOV-10D681K	3
Rama	Conector	Harting	09061152911	3
	Conector	Wurth Elektronik	691236610001	3
	Conector	Mill-Max	319-10-106-00-006000	6
	Semiconductor	SemiQ	GCMS080B120S1	18
	Resistencia	TE Connectivity	3522120KFT	18
Precarga	Diodo	Vishay	1N4154TAP	3
	Conector	Weidmulle	1716020000	1
	Conector	Mill-Max	319-10-106-00-006000	1
	Conector	TE Connectivity	282843-3	2
	Relé	TE Connectivit	T9GV2L14-5	3
	Transistor	TE Connectivity	IRLZ14PBF	3
	Resistencia	TE Connectivity	35221K2FT	3
	Resistencia	Vishay	W22-180RJI	3
DC-Link	Condensador	Panasonic	EZP-V60106LTB	6
	Conector	Harting	09062152821	3
	Resistencia	TE Connectivity	RR03J100KTB	2

Tabla 2.7: Componentes seleccionados para el convertidor de potencia

3 | Desarrollo del Convertidor 3L-ANPC

3.1. Introducción

En este capítulo se desarrolla el diseño PCB del convertidor de potencia ANPC de tres niveles. A partir de los componentes seleccionados y del sistema propuesto, se llevó a cabo el diseño de las placas de circuito impreso (PCB). Se describirán los criterios tenidos en cuenta para el diseño, establecidos por normas, recomendaciones o limitaciones del fabricante. Se presentará el resultado de cada placa diseñada detallando los elementos que lo componen. El diseño de los PCB implica:

- Edición del diagrama esquemático.
- Edición del circuito impreso, lo que incluye layout de los componentes y la interconexión mediante pistas.
- Modelo 2D y 3D de las placas diseñadas.

Se tuvieron en cuenta las capacidades técnicas de los PCB, que abarcan desde los espaciados mínimos, hasta los tamaños de los pads, pistas, diámetro mínimo de agujero, entre otros. Es importante destacar que todo el diseño de los PCB se llevó a cabo bajo la norma IPC 221B. Para la implementación del convertidor, como ya se había mencionado, se optó por un diseño modular, lo que significa que se considera una placa de circuito impreso por cada etapa de diseño descrita en el capítulo anterior. Se considera una placa para la etapa de filtro, una para el DC-Link y una para la precarga. De manera complementaria, considerando la cantidad de dispositivos mosfet que se necesitan, así como sus respectivos disipadores, es por ello que se optó por el diseño de un PCB para cada rama del convertidor. Todas las placas mencionadas van montadas en un subrack 19. Para ello es que la etapa de precarga, filtro y las ramas se diseñan en formato Eurocard, mientras que la etapa del DC-Link va insertada en un backplane.

El formato Eurocard PCB es un estándar europeo para placas de circuito impreso que pueden montarse en subracks 19. Este estándar permite una gran flexibilidad, ya que las tarjetas electrónicas Eurocard puedan ser intercambiables, y si bien existen distintos tipos de mediciones para este tipo de tarjetas, la que se ocupa para efectos de este proyecto es la Eurocard simple o también conocida como Eurocard 3U. El formato de placa Eurocard a utilizar en este proyecto se presenta en la figura 3.1

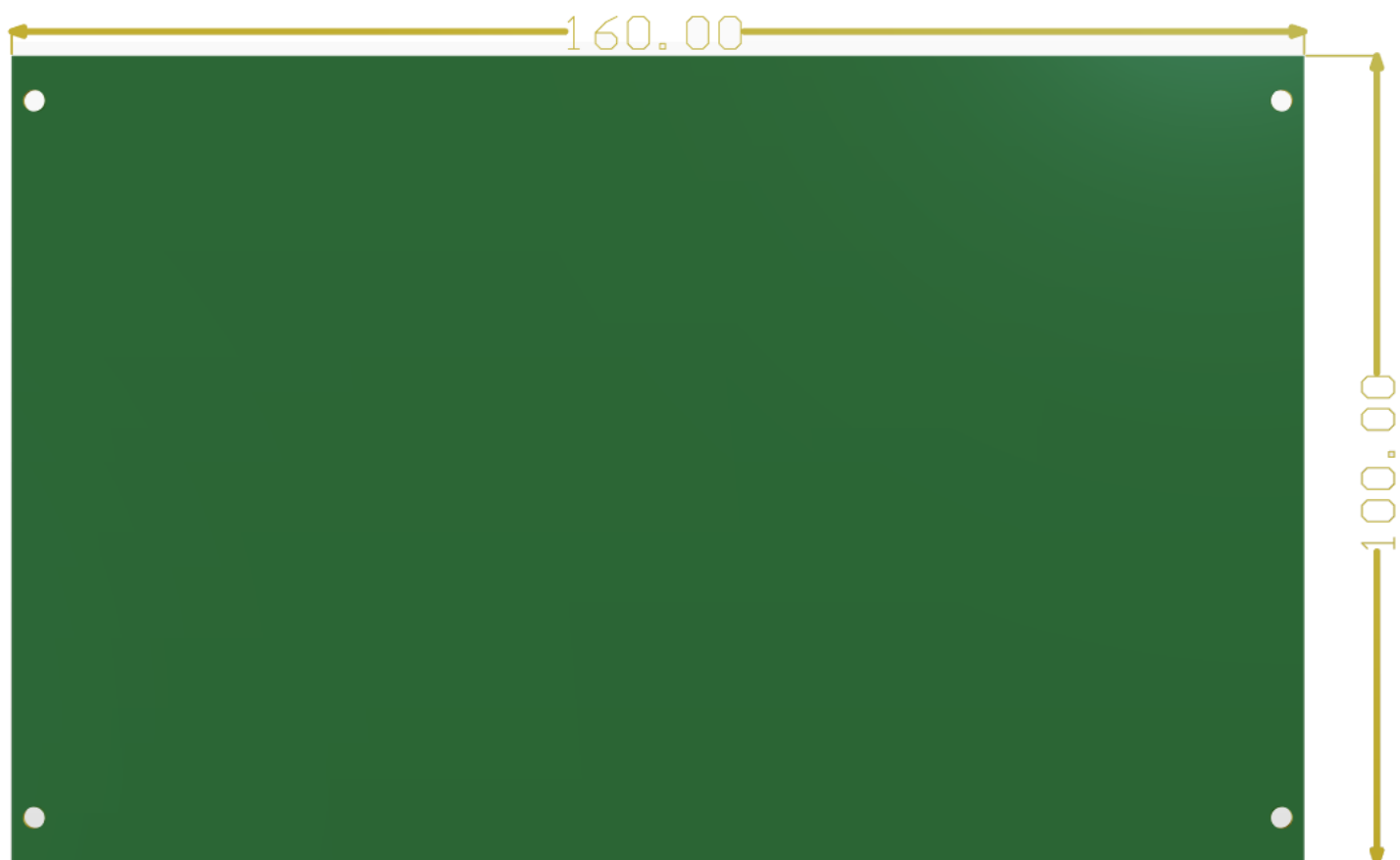


Figura 3.1: placa Eurocard 3U

Las dimensiones físicas de este formato de placa es de 100[mm] de alto, 160[mm] de ancho y un grosor de 1.6[mm]. Otro punto importante a considerar es que se debe dejar un margen de borde de 2,5[mm] de ancho en la parte superior e inferior de la placa para así dejar espacio para las guías y para el montaje en los rieles de guía del subrack. En cada placa hay un orificio en cada extremo que sirven de ayuda para el montaje. El diámetro de cada orificio es de 2.7[mm], y la distancia desde el vértice horizontal y el vértice vertical al centro del orificio de 5.55[mm] y 2.76[mm] respectivamente, tal como se presenta en la figura 3.2.

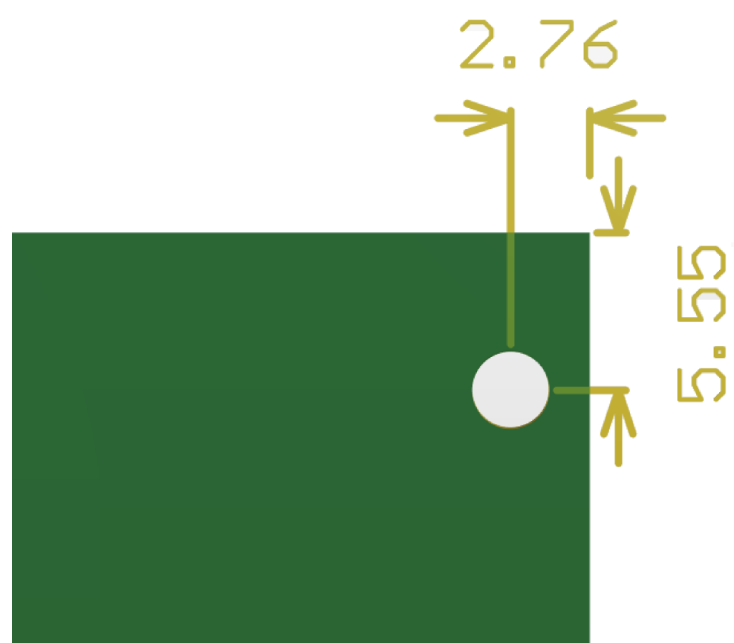


Figura 3.2: Zoom al extremo superior derecho a placa Eurocard 3U

3.2. Diseño de circuito impreso

3.2.1. Circuito de Precarga

El esquemático del circuito de precarga se presenta a continuación:

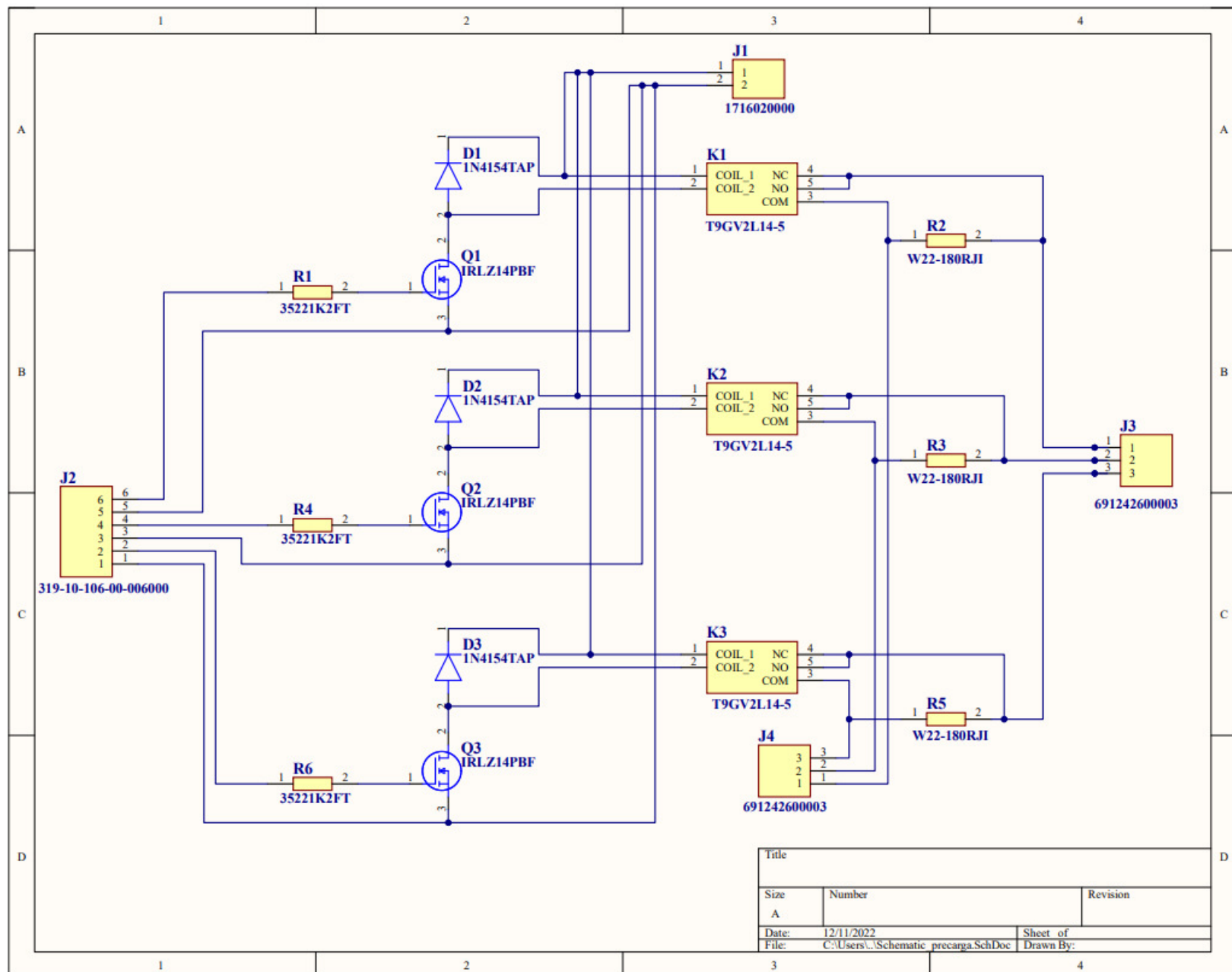


Figura 3.3: Esquemático de circuito de precarga

Es posible identificar una etapa de control y una etapa de potencia para el circuito de precarga. Por el lado de la etapa de control se distinguen los componentes adicionales que se necesitan para cada relé, específicamente los diodos D1, D2 Y D3, los MOSFET Q1, Q2 y Q3, las resistencias de compuerta R1, R4, R6 de cada MOSFET y los conectores J2 y J1 encargados de la señal de disparo para los MOSFET y para la excitación de la bobina del relé respectivamente. En cuanto a la etapa de potencia R2, R3 y R5 corresponde a las resistencias de precarga y los conectores J4 y J5 los encargados de la señal de entrada y salida respectivamente del circuito de precarga. En la figura 3.4 se presenta el modelo 2D de la placa diseñada del circuito de precarga, mientras que en la figura 3.5 y 3.6 se presentan la capa superior y la capa inferior respectivamente del circuito de precarga.

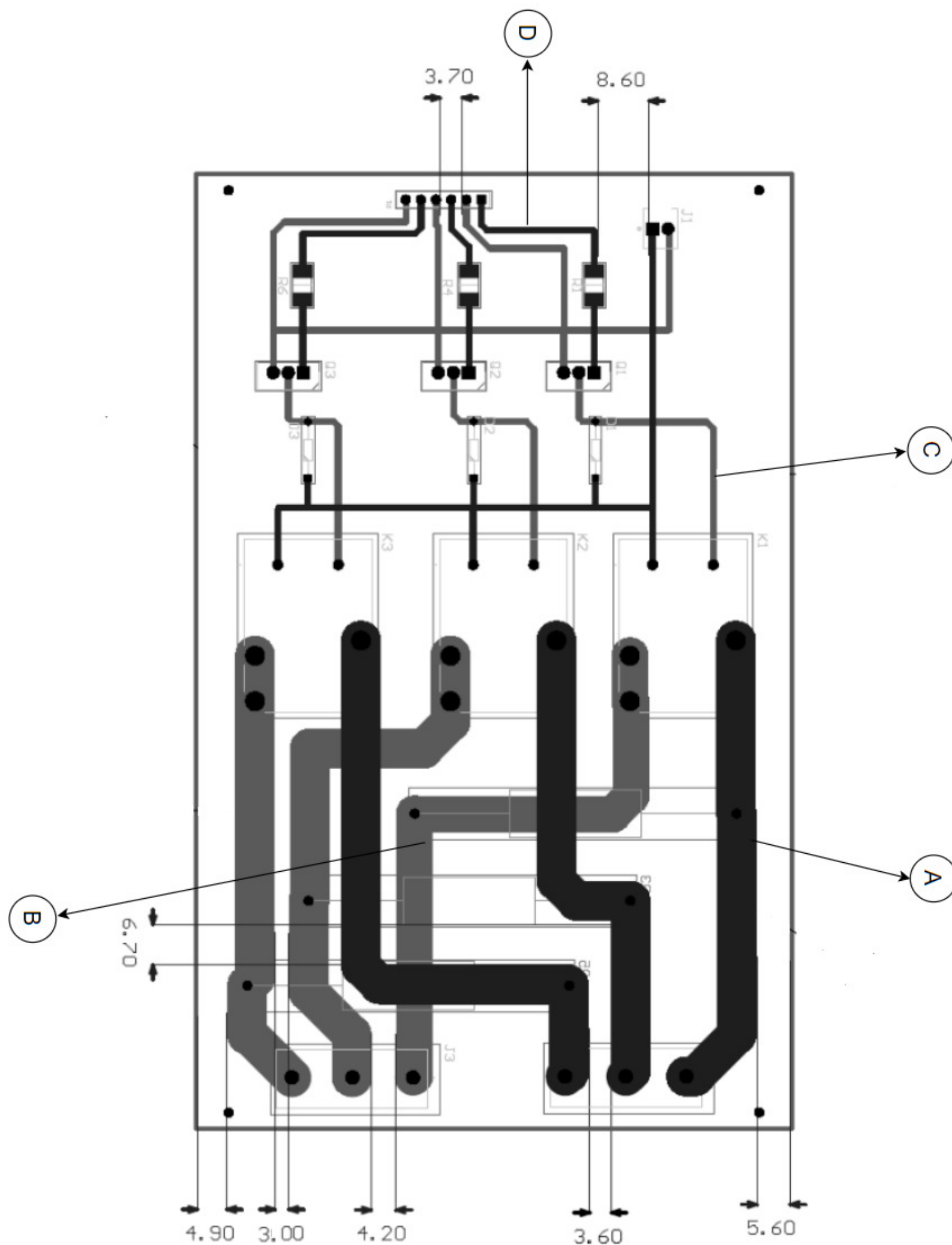


Figura 3.4: Modelo 2D de circuito de precarga

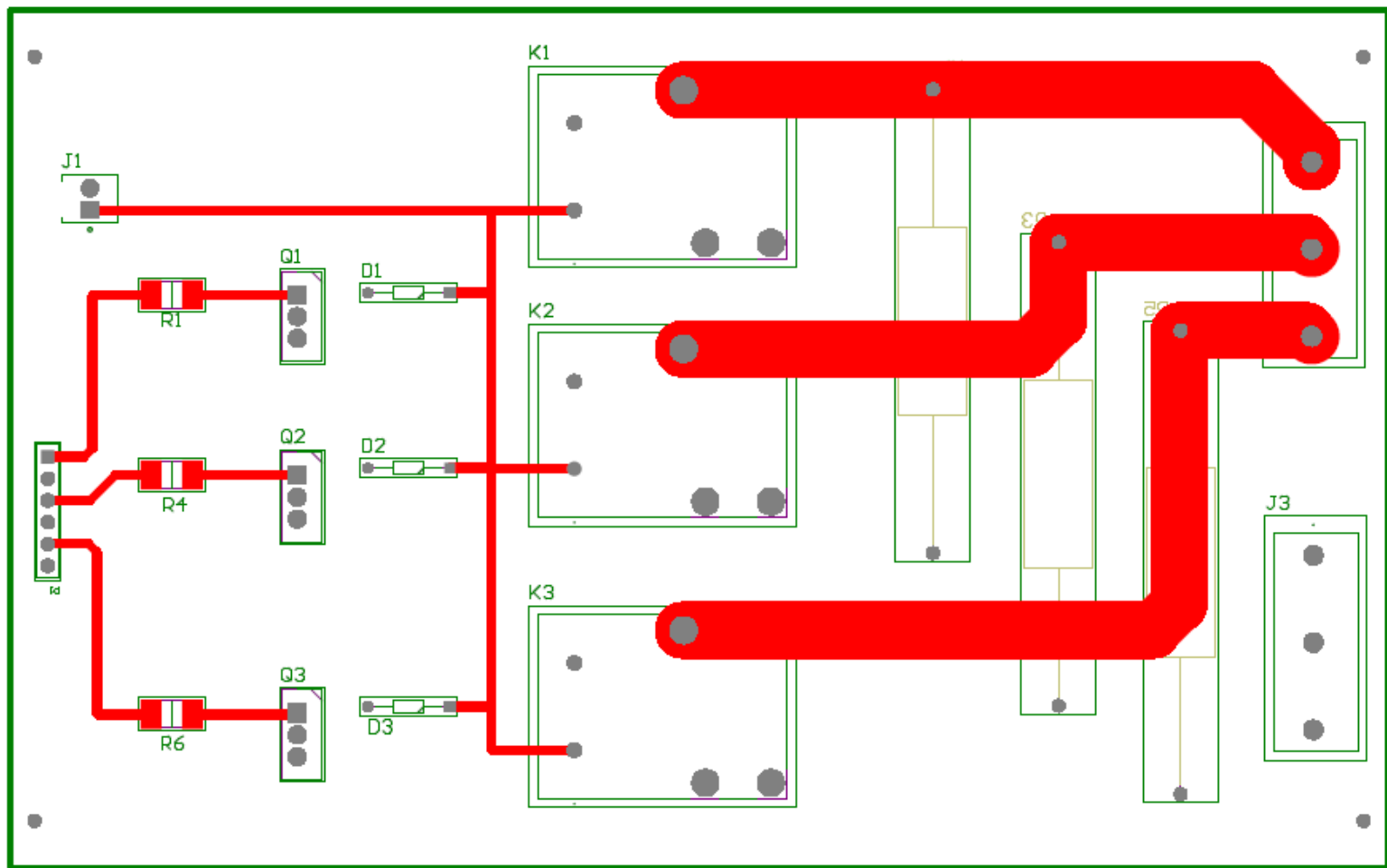


Figura 3.5: Modelo 2D de circuito de precarga top layer

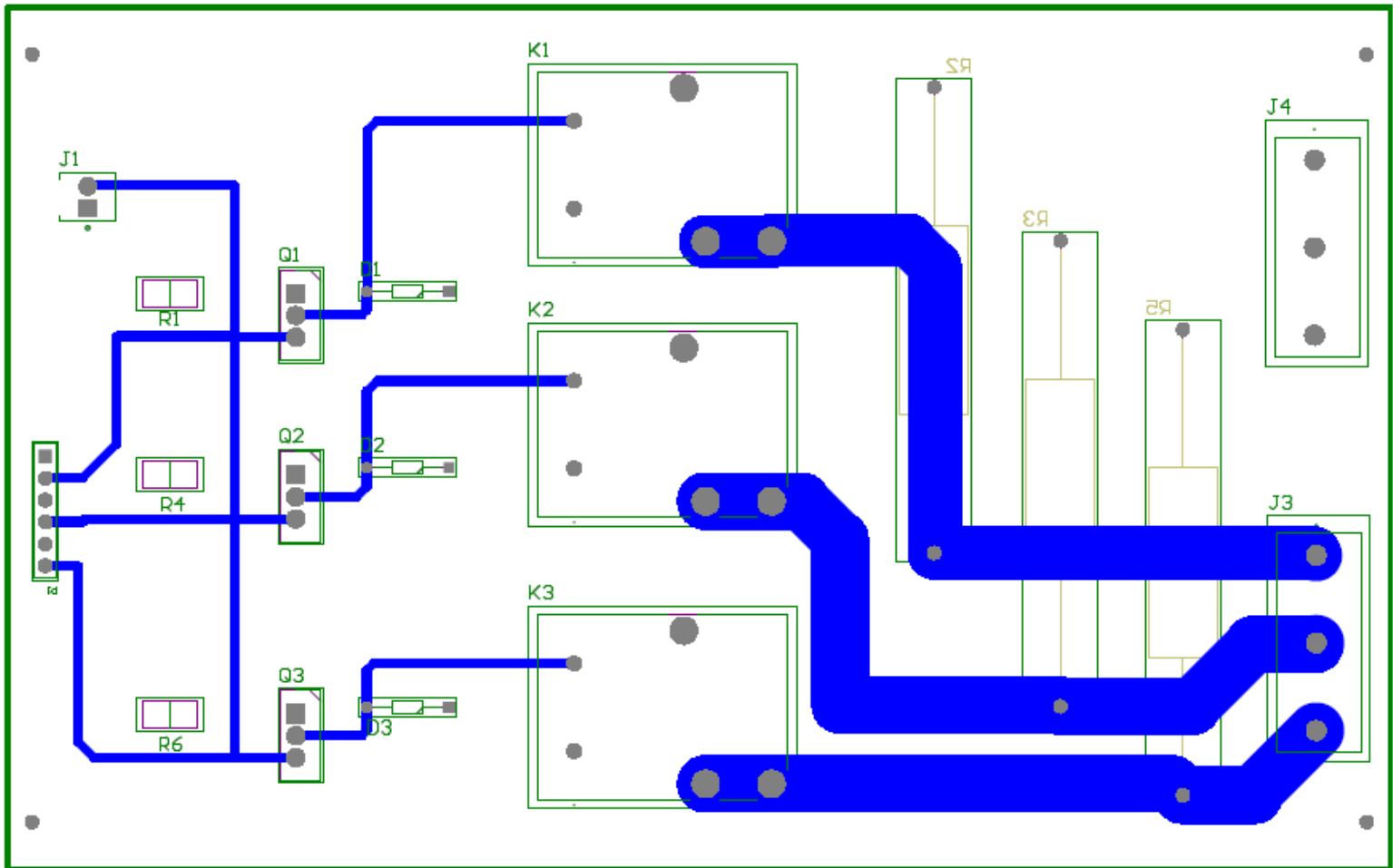


Figura 3.6: Modelo 2D de circuito de precarga bottom layer

Respecto al diseño de las pistas, se opta por ocupar la capa superior e inferior de la placa con la finalidad de facilitar el trazado. Para la etapa de control, considerando el rango de corriente que circula es bajo, el ancho de la pista se sobredimensionó, es decir, se diseñó un ancho de pista de 1[mm] capaz de soportar un nivel de corriente de hasta 2.5[A] entregando un margen de seguridad. Del mismo modo, considerando que los niveles de tensión en la etapa de control también son bajos, basta con una distancia mínima entre pista de 0.3[mm]. Para la señal que excita los relés por medio del conector J1, la referencia positiva de la señal se diseñó por la capa superior, mientras que la referencia negativa por la capa inferior. Mismo caso para la señal que excita a los MOSFETs por medio del conector J2, dado que la referencia positiva va por la capa superior y la referencia negativa por la capa inferior.

Para la etapa de potencia, el trazado de las pistas cuenta con un ancho de 6.5[mm] lo que significa que es capaz de soportar un nivel de corriente de hasta 9.5[A], y considerando los niveles de tensión que se manejan, se estableció una distancia mínima de 3[mm] entre cada pista. A modo de simplicidad, para la señal de entrada proveniente de la red eléctrica que ingresa por el conector J4, su trazado de pista se realiza por la capa superior, a diferencia de la señal de salida donde el trazado de pistas se realiza por la capa inferior.

Basándose en la figura 3.4 donde se presenta el modelo 2D del circuito de precarga, se elaboró una tabla la cual contiene un resumen del diseño de pista para el circuito de precarga. Para efectos del desarrollo de esta tabla, para el análisis y por simplicidad se consideró las pistas correspondiente a una sola fase. Por lo tanto, si se considera las siguientes etiquetas para cada pista:

- A: pista para señal de entrada de la etapa de precarga.
- B: pista para señal de salida de la etapa de precarga.
- C: pista para señal que excita la bobina del relé.
- D: pista para señal que excita el MOSFET

De forma complementaria se definieron los siguientes parámetros

- i_{max} : Corriente máxima que circula por la pista.
- V_{max} : Voltaje máximo que circula por la pista.
- A_m : Ancho mínimo de pista.
- A_d : Ancho diseñado de pista.
- D_m : Distancia mínima entre pista.
- D_d : Distancia mínima diseñada entre pista.

En la tabla 3.1 se presentan el detalle de diseño para las pistas del circuito de precarga.

Pista	$i_{max}[A]$	$V_{max}[V]$	$A_m[mm]$	$A_d[mm]$	$D_m[mm]$	$D_d[mm]$
<i>A</i>	8.10	311	5.29	6.50	3.00	3.60
<i>B</i>	8.10	311	5.29	6.50	3.00	3.00
<i>C</i>	0.17	5	0.0261	1.00	0.30	6.93
<i>D</i>	0.0042	5	0.000158	1.00	0.30	3.70

Tabla 3.1: Diseño de pistas circuito de precarga

Se puede observar que para las señales de control (*C* y *D*) el ancho necesitado para las pistas, así como la distancia entre ellas, es muy bajo, por lo que permite trabajar con un gran margen de seguridad. Para las pistas de potencia (*A* y *B*) se tiene menor margen de error, en especial con la distancia entre pista donde se diseñaron cercas de los umbrales límites.

Para la distribución de los componentes en la placa se buscó mantener la misma distribución que el modelo esquemático anteriormente presentado, es decir, los componentes involucrados en la etapa de control del relé se ubican a la izquierda de estos últimos. Para los MOSFET junto con los relés se alimentan con la misma fuente de alimentación, por consecuencia los conectores J1 y J2 se posicionaron lo más cercano posible en el mismo lado de la placa. La etapa de potencia se encuentra a la derecha de los relés, específicamente las tres resistencias de precarga y los conectores encargados para la entrada y salida de la señal de esta etapa. El modelo 3D del circuito de precarga se presentan en la figura 3.7 y 3.8, donde se presentan con más detalle, el espaciado de los componentes. Las resistencias de precarga se posicionaron únicamente por un lado de la placa, mientras que los demás componentes por la otra cara de la placa.

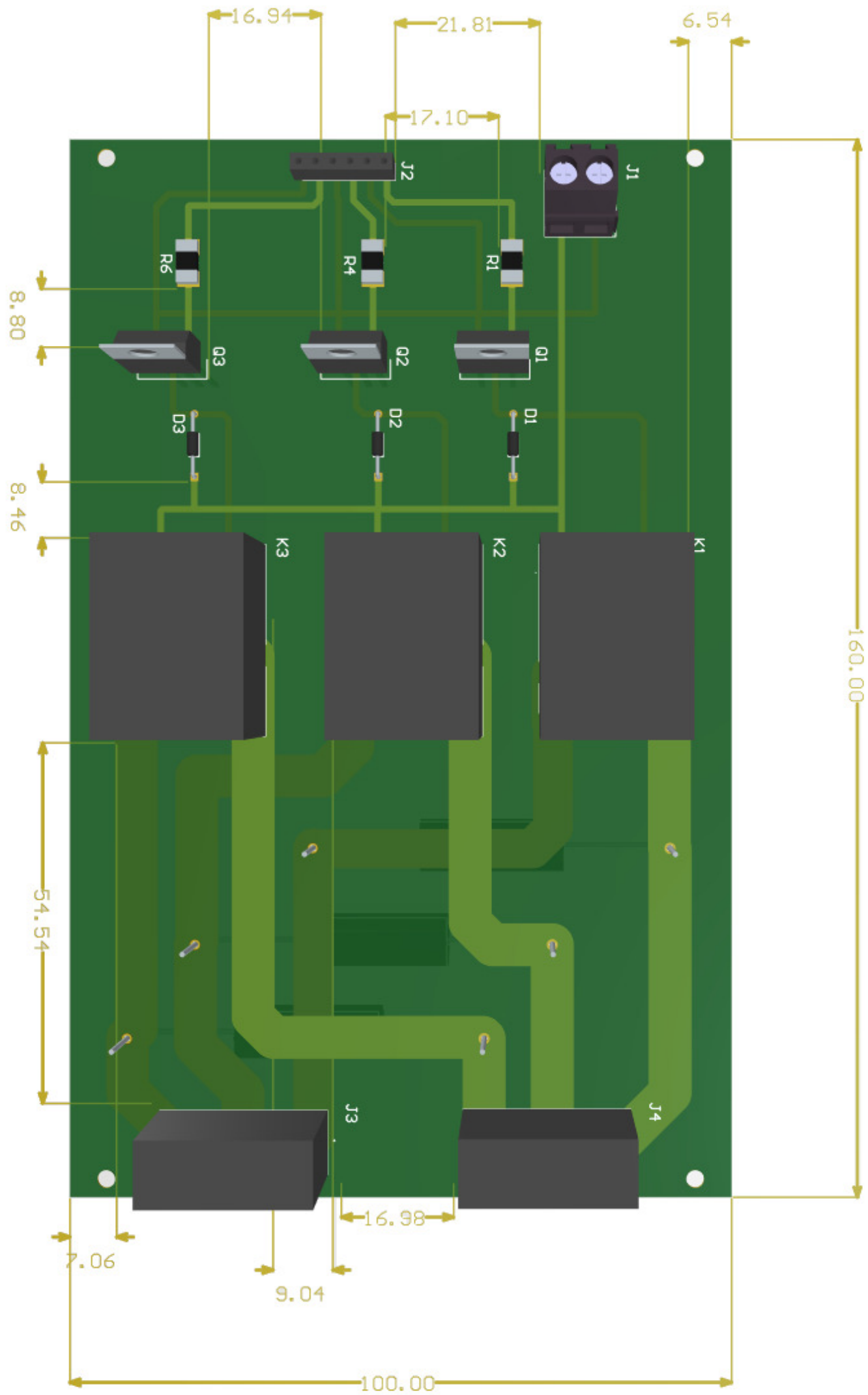


Figura 3.7: Modelo 3D de circuito de precarga superficie superior

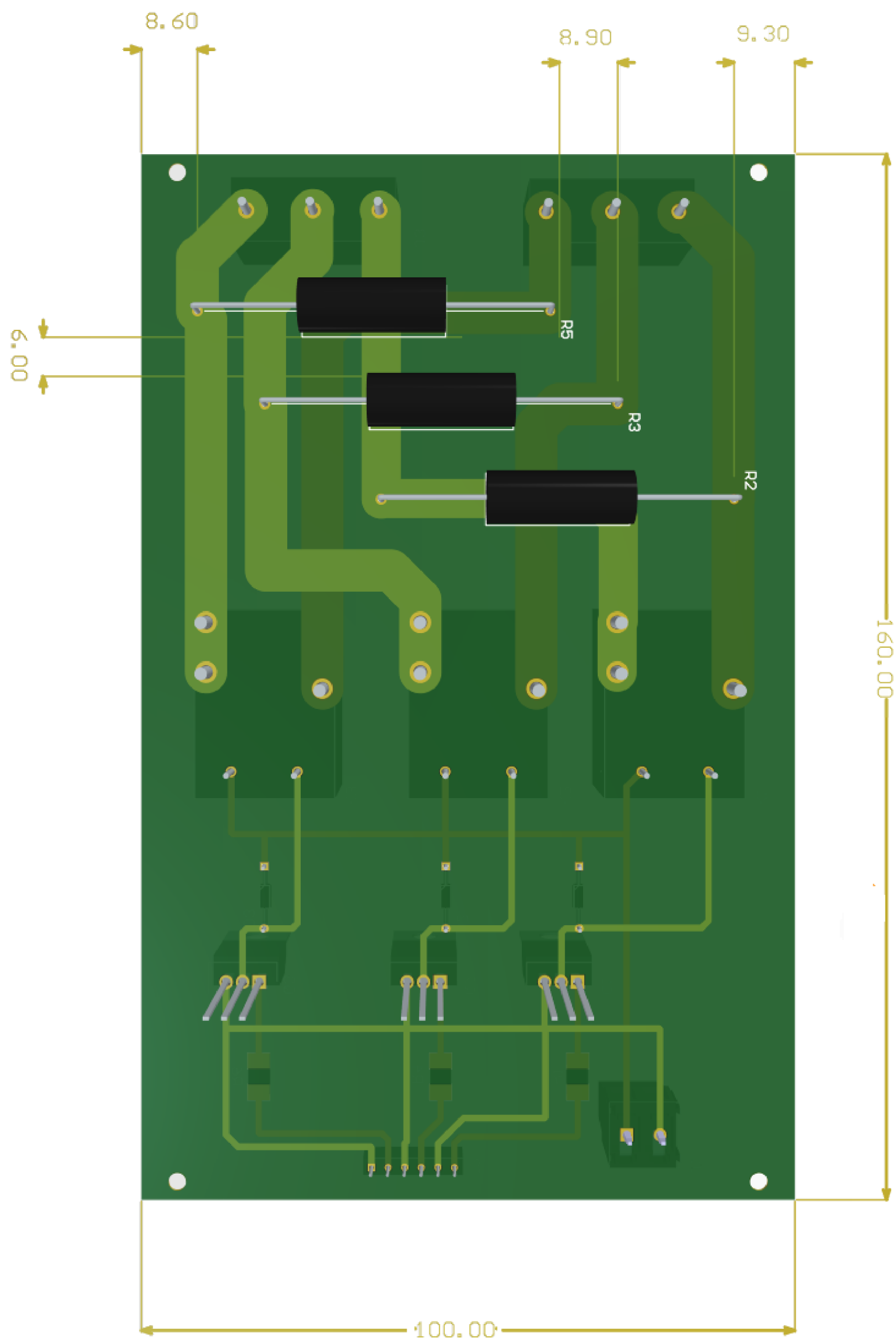


Figura 3.8: Modelo 3D de circuito de precarga superficie inferior

3.2.2. Filtro LCL

A continuación se presenta el esquemático del filtro de entrada LCL.

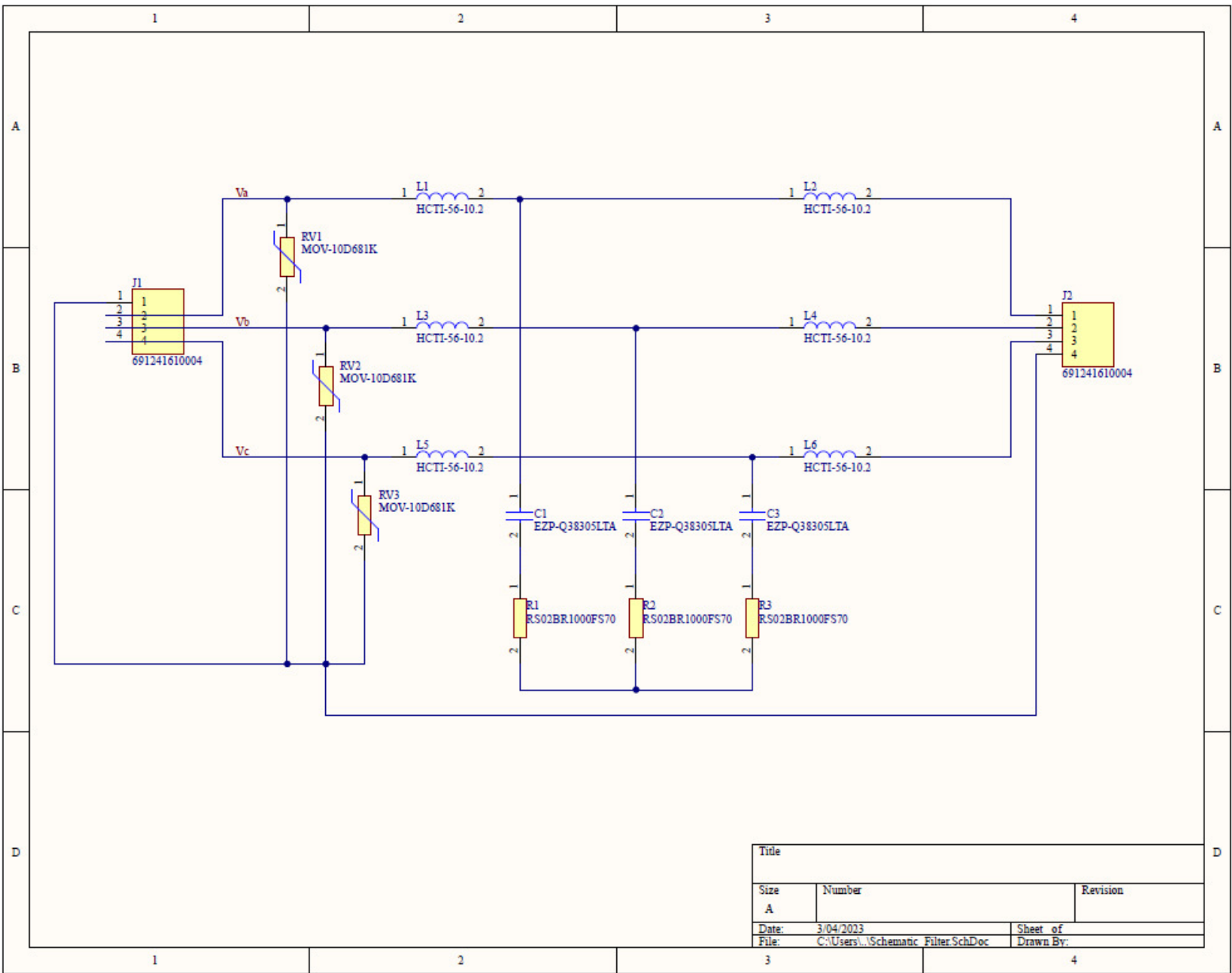


Figura 3.9: Esquemático filtro LCL

Se aprecian claramente todos los componentes que se necesitan para la etapa de filtrado, es decir los seis inductores, los tres condensadores, las tres resistencias de amortiguamiento, los varistores para la protección del circuito y los conectores de entrada y salida para la señal de corriente y voltaje. El modelo 2D de la placa diseñada para el circuito del filtro LCL se presenta en la figura 3.10, mientras que en la figura 3.11 y 3.12 se presentan el modelo 2D de la capa superior e inferior respectivamente.

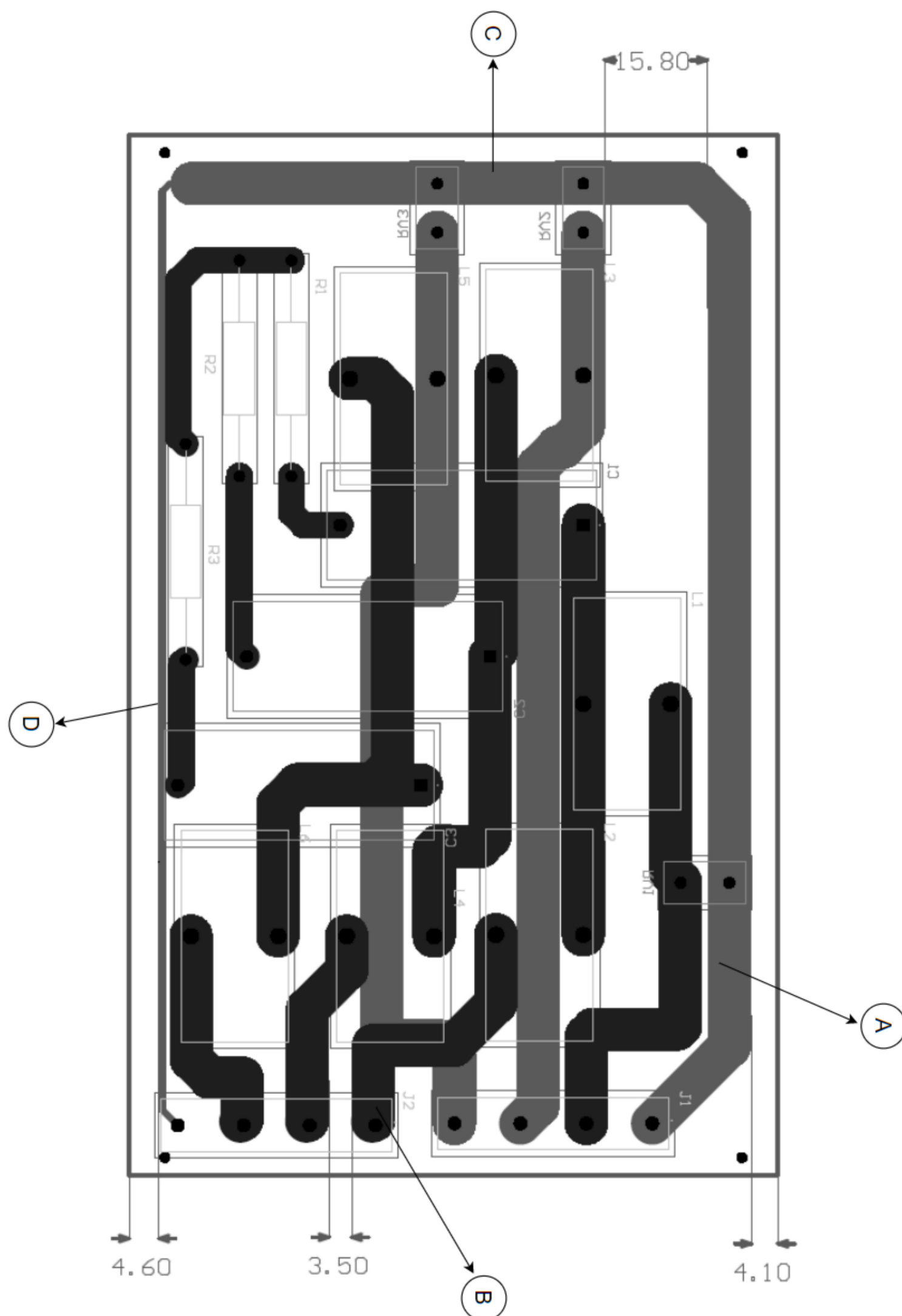


Figura 3.10: Modelo 2D circuito del filtro LCL

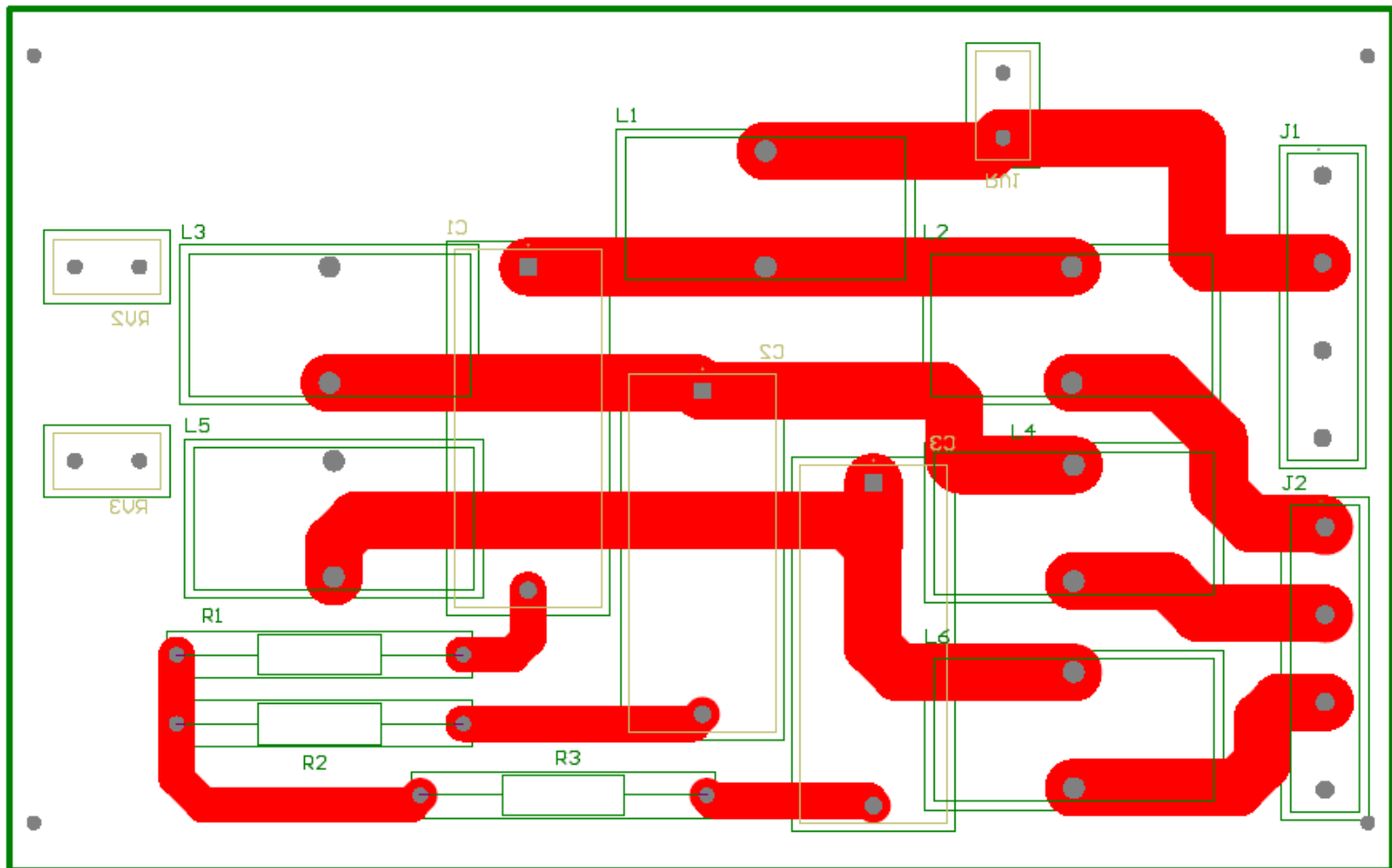


Figura 3.11: Modelo 2D circuito del filtro LCL top layer

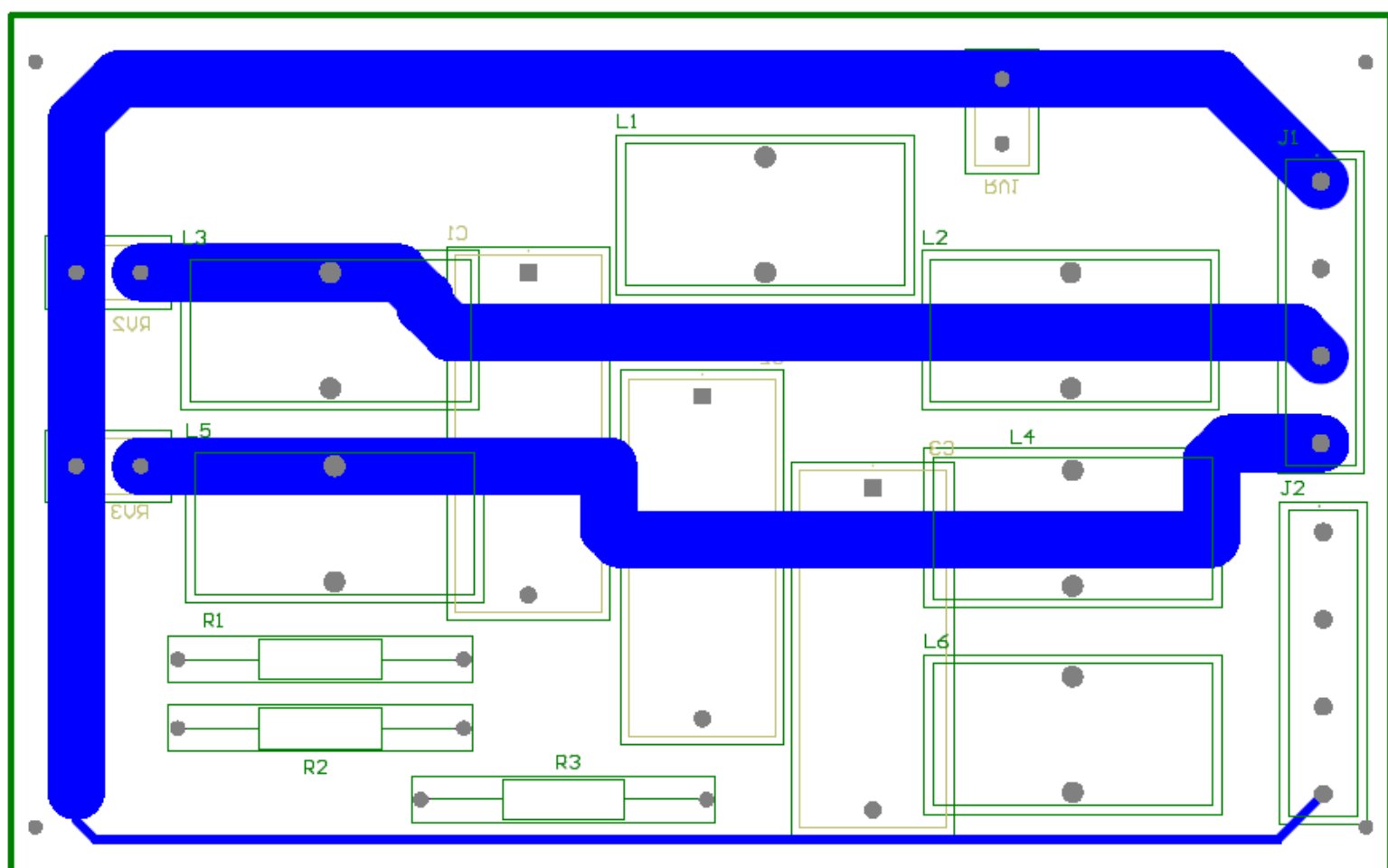


Figura 3.12: Modelo 2D circuito del filtro LCL bottom layer

Respecto el trazado de pista se hizo uso tanto de la capa superior como de la capa inferior. Específicamente, para dos de las tres fases de la señal entrante por medio del conector J1, el trazado de pista se definió por la capa inferior, al igual que la conexión de los varistores cuya señal retorna al punto neutro tanto al conector de entrada como al de salida. Para todos los demás puntos de conexión necesarios entre componentes, el trazado de pista se definió por la capa superior.

Para la gran mayoría de pista y por ambas capas se definió un ancho de 6.5[mm] lo que significa que soportan un régimen de corriente de hasta 9.3[A], con una distancia mínima entre pista de 3[mm]. La excepción de esta regla son las pistas correspondientes a la conexión entre los condensadores con las resistencias de amortiguamiento, donde al ser menor la intensidad de corriente y voltaje que circula, se definió un ancho de pista de 4[mm], es decir, soportan un régimen de corriente de hasta 2[A]. También es importante destacar que la señal de punto neutro de los varistores que retorna al conector de salida, el ancho de esta pista es de 1[mm], principalmente porque la corriente que circula por dicha pista será muy mínima debido a la protección de resistencia con que cuenta el filtro LCL.

Basándose en la figura 3.10 donde se presenta el modelo 2D del circuito del filtro LCL, se elaboró una tabla 3.1 la cual contiene un resumen del diseño de pista para el circuito del filtro LCL. Para efectos del desarrollo de esta tabla, para su análisis y por simplicidad se consideró las pistas correspondiente a una sola fase. Por lo tanto, se consideran las siguientes etiquetas para cada pista:

- A: pista para señal de entrada de la etapa de filtro.
- B: pista para señal de salida de la etapa de filtro.
- C: pista para la señal de punto neutro de los varistores.
- D: pista para la conexión entre los condensadores y las resistencias de amortiguamiento.

De forma complementaria se definieron los siguientes parámetros:

- i_{max} : Corriente máxima que circula por la pista.
- V_{max} : Voltaje máximo que circula por la pista.
- A_m : Ancho mínimo de pista.
- A_d : Ancho diseñado de pista.
- D_m : Distancia mínima entre pista.
- D_d : Distancia mínima diseñada entre pista.

En la tabla 3.2 se presenta el detalle de diseño de pista para el circuito del filtro LCL.

Pista	$i_n[A]$	$V_n[V]$	$A_n[mm]$	$A_d[mm]$	$D_n[mm]$	$D_d[mm]$
<i>A</i>	8.10	311	5.29	6.50	3.00	6.10
<i>B</i>	9.15	311	6.32	6.50	3.00	3.30
<i>C</i>	8.10	311	5.29	6.50	3.00	15.80
<i>D</i>	6.08	0.83	3.64	4.00	0.30	3.70

Tabla 3.2: Diseño de pistas para circuito de filtro LCL

La corriente de salida es superior a la corriente de entrada, pero se optó por diseñar el mismo ancho para ambas pistas por un tema de espacio en placa. Para la pista (*D*) de conexión entre los condensadores y las resistencias, la caída de voltaje es mínima, por lo que permite una gran holgura en cuanto a la distancia entre dichas pistas.

Un desafío que se tuvo al momento del diseño de la placa del filtro fue principalmente el cómo posicionar los componentes de tal forma de que todos quepan en la misma placa y hacer la conexión entre ellos. Esto se debe principalmente a la superficie que ocupa tanto los inductores como los condensadores. En la figura 3.13 y 3.14 se observa el modelo 3D del filtro LCL con más detalle del espaciado de los componentes. Por una superficie de la placa van posicionados los conectores de entrada y salida, los seis inductores y las tres resistencias de amortiguamiento, mientras que por la otra cara de la placa van posicionados los tres condensadores y los varistores.

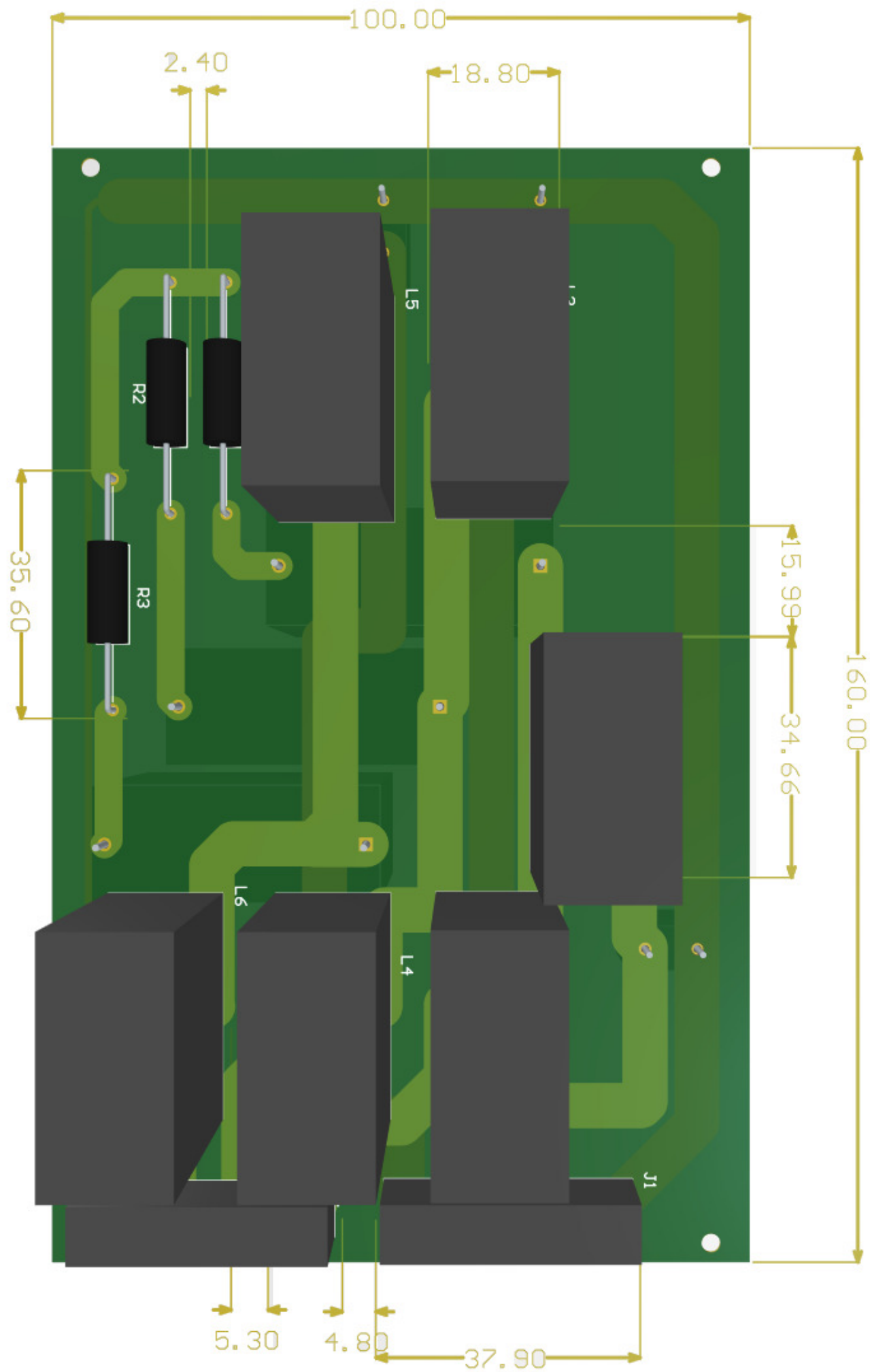


Figura 3.13: Modelo 3D del filtro LCL superficie superior

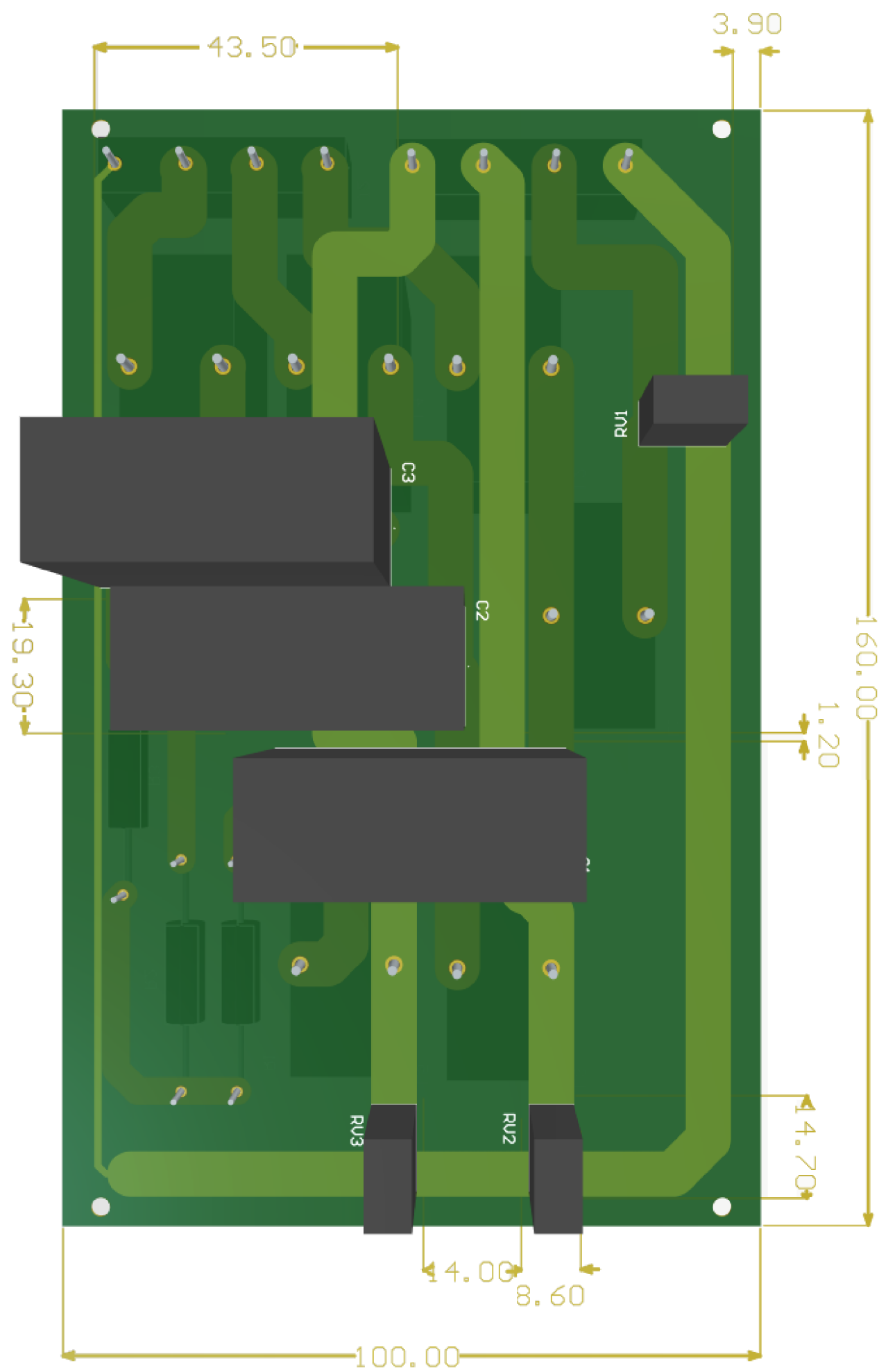


Figura 3.14: Modelo 3D del filtro LCL superficie inferior

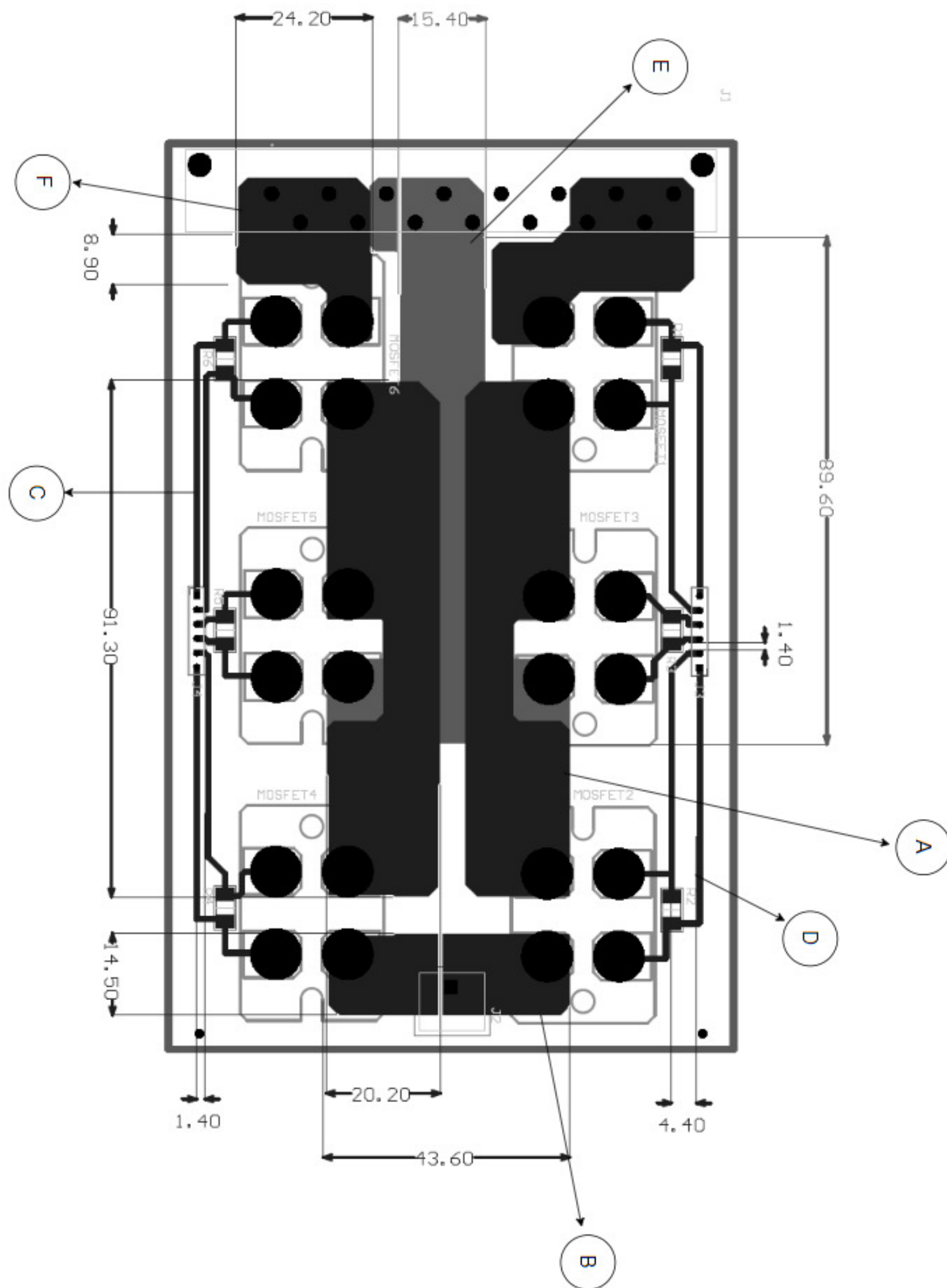


Figura 3.16: Modelo 2D de rama de semiconductores

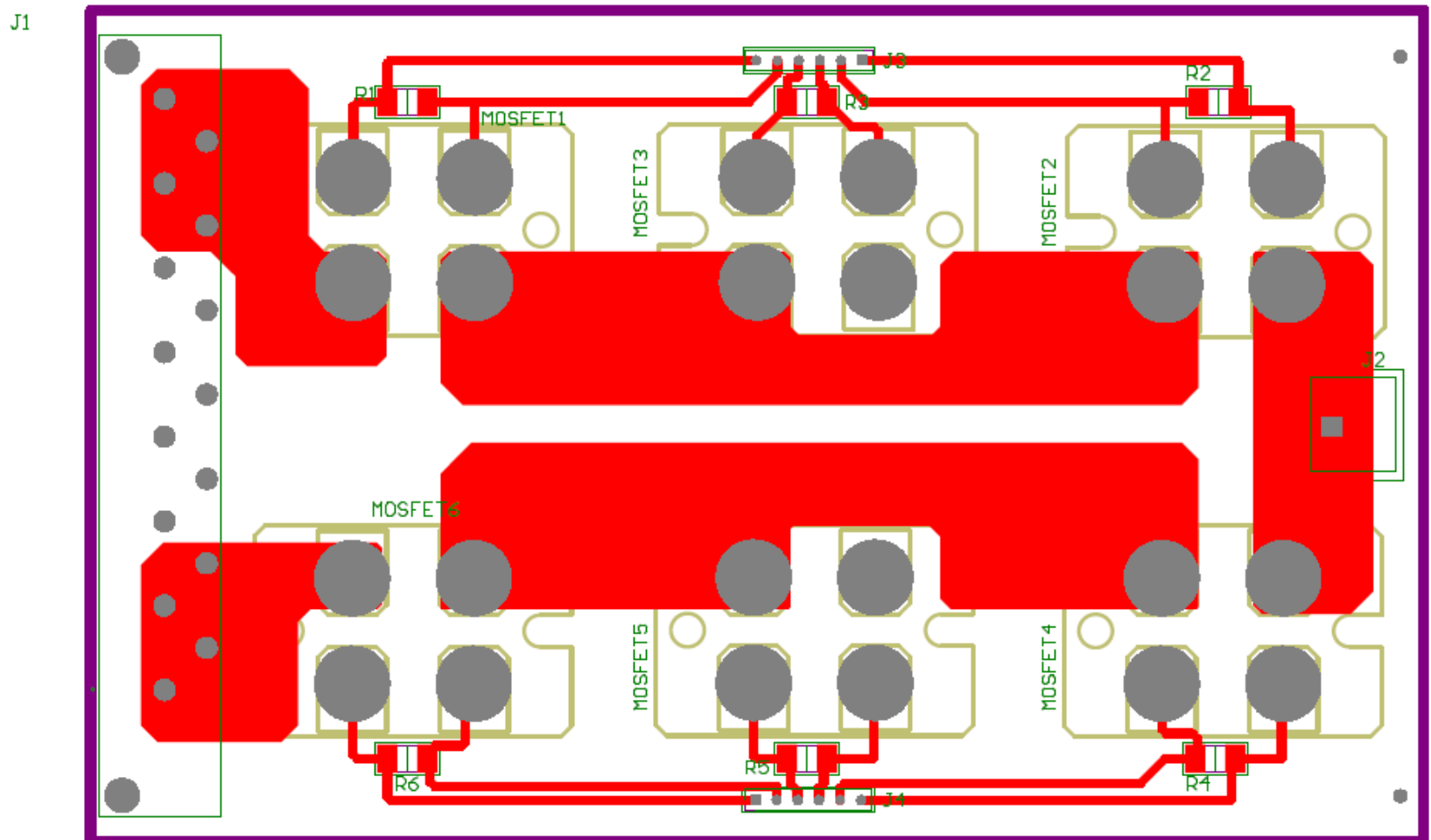


Figura 3.17: Modelo 2D circuito de la rama top layer

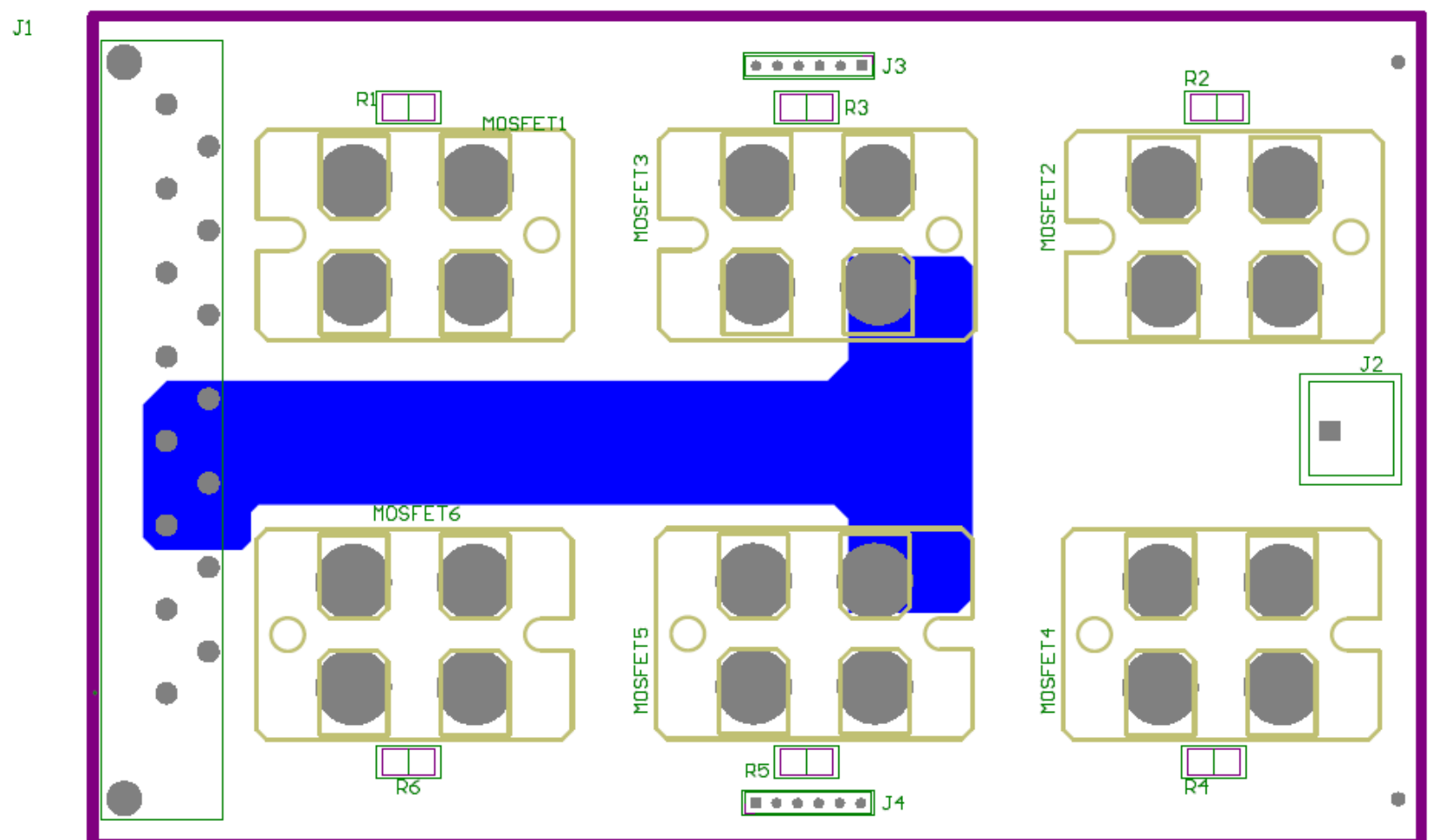


Figura 3.18: Modelo 2D circuito de la rama bottom layer

El cómo están distribuidos los MOSFET responde a la forma más práctica de poder conectarlos entre sí y de hacer más fácil el trazado de pistas. Para su posicionamiento es que se ubican el MOSFET1, MOSFET2 y MOSFET3 dispuestos en una fila y el MOSFET4, MOSFET5 y MOSFET6 en otra fila, pero con una rotación de 180° cada uno. Esto va a permitir, por un lado, utilizar un conector para la señal de disparo por cada fila de semiconductores. También debido a esta disposición, los pines de compuerta y fuente kelvin de cada MOSFET quedan posicionados más cercano al conector que recibe la señal de disparo, lo que permite facilitar el trazado de pista. Todas estas conexiones descritas se diseñan por la capa superior.

La etapa de potencia también se ve beneficiada, esto porque el MOSFET2 y MOSFET4, que son los interiores, se posicionen lo más cercano al conector J2, que es por donde entra el voltaje y corriente de la fase, y así permite conectar el pin fuente del MOSFET2 con el pin de drenaje del MOSFET4 de manera muy directa. El mismo principio de funcionamiento aplica para el MOSFET1 y MOSFET6, que son los exteriores donde estos se ubican lo más cercano al conector J1, lo que va a permitir la conexión del pin drenaje del MOSFET1 y el pin fuente del MOSFET6 a los correspondientes pines del conector J1. Todas las conexiones descritas anteriormente se diseñan por la capa superior. Finalmente, el MOSFET3 y MOSFET5 de punto neutro se posicionan al medio de la placa, permitiendo un trazado de pista más directo por la capa inferior.

Para el diseño de las pistas, específicamente para la etapa de potencia, se optó por un trazado de pista a base de polígonos con la finalidad de poder abarcar más área de la placa y a la vez reducir pérdidas que se pudieran generar entre cada capa de la placa. Para el trazado de pista de la etapa de control, específicamente la conexión entre los pines de compuerta, la resistencia de compuerta y los conectores, se opta por un trazado tradicional. Considerando que las señales de control son de un nivel de tensión y corriente bajo, es que la anchura de la pista es de 1[mm], lo que se traduce en que es capaz de soportar 2[A] aproximadamente, lo cual entrega un gran margen de seguridad.

Basándose en la figura 3.16 donde se presenta el modelo 2D del circuito, se elaboró una tabla la cual contiene un resumen del diseño de pista para el circuito de la rama. Para efectos del desarrollo de esta tabla y para su análisis se consideran las siguientes etiquetas para las pistas:

- A: pista para conexión de MOSFET por capa inferior.
- B: pista para señal de conexión de los MOSFET interiores con conector de entrada.
- C: pista para señal de disparo de fila inferior de MOSFET
- D: pista para señal de disparo de fila superior de MOSFET
- E: pista para conexión entre MOSFET de punto neutro con conector de salida.
- F: pista para señal de conexión de MOSFET exterior con conector de salida.

De forma complementaria se definieron los siguientes parámetros

- i_{max} : Corriente máxima que circula por la pista.
- V_{max} : Voltaje máximo que circula por la pista.
- A_m : Ancho mínimo de pista.
- A_d : Ancho diseñado de pista.
- L : Largo de la pista diseñada
- D_m : Distancia mínima entre pista.
- D_d : Distancia mínima diseñada entre pista.

En la tabla 3.3 se presentan el detalle de diseño para las pistas del circuito de precarga.

Pista	$i_n[A]$	$V_n[V]$	$A_n[mm]$	$A_d[mm]$	$L[mm]$	$D_n[mm]$	$D_d[mm]$
<i>A</i>	9.15	375	6.32	18.80	91.30	3.00	12.90
<i>B</i>	9.15	375	6.32	14.50	43.60	3.00	6.40
<i>C</i>	-	5	0.20	1.00	-	0.30	1.40
<i>D</i>	-	5	0.20	1.00	-	0.30	4.40
<i>E</i>	9.15	375	6.32	15.40	89.60	3.00	-
<i>F</i>	9.15	375	6.32	16.30	24.20	3.00	12.70

Tabla 3.3: Diseño de pistas para circuito de rama de semiconductores

Es importante aclarar que para las pistas de control (*C* y *D*) no se consideró la corriente que circula por las pistas, debido a que es casi despreciable. Además, al ser señales muy bajas de tensión, basta con ancho de pista mínimo de 0.2[mm] con una separación mínima de 0.3[mm], por lo que el diseño de las pistas con base en la tabla están muy por sobre los umbrales mínimos. Destacar que no se consideró el parámetro del largo para las pistas de control. Respecto a la etapa de potencia, el trazado de pista con polígonos entregan un margen en cuanto al diseño, y en específico al ancho de las pistas, como se observa en la tabla.

El modelo 3D de la placa de la rama de semiconductores se presenta en la figura 3.19 y 3.20, donde se aprecia con más detalle la distribución y separación de los componentes. Por una superficie de la placa van posicionados todos los conectores que se ven involucrados en esta etapa junto con las resistencias SMD y los tornillos necesarios para el montaje de cada mosfet. También es posible notar que existe un orificio en forma de cruz por cada mosfet. Este corte de placa va a permitir que se pueda medir la temperatura de los mosfet a modo de estudio. Por la otra cara de la placa, solo van a ir posicionados los mosfet y así permitir la conexión directa con los disipadores de potencia.

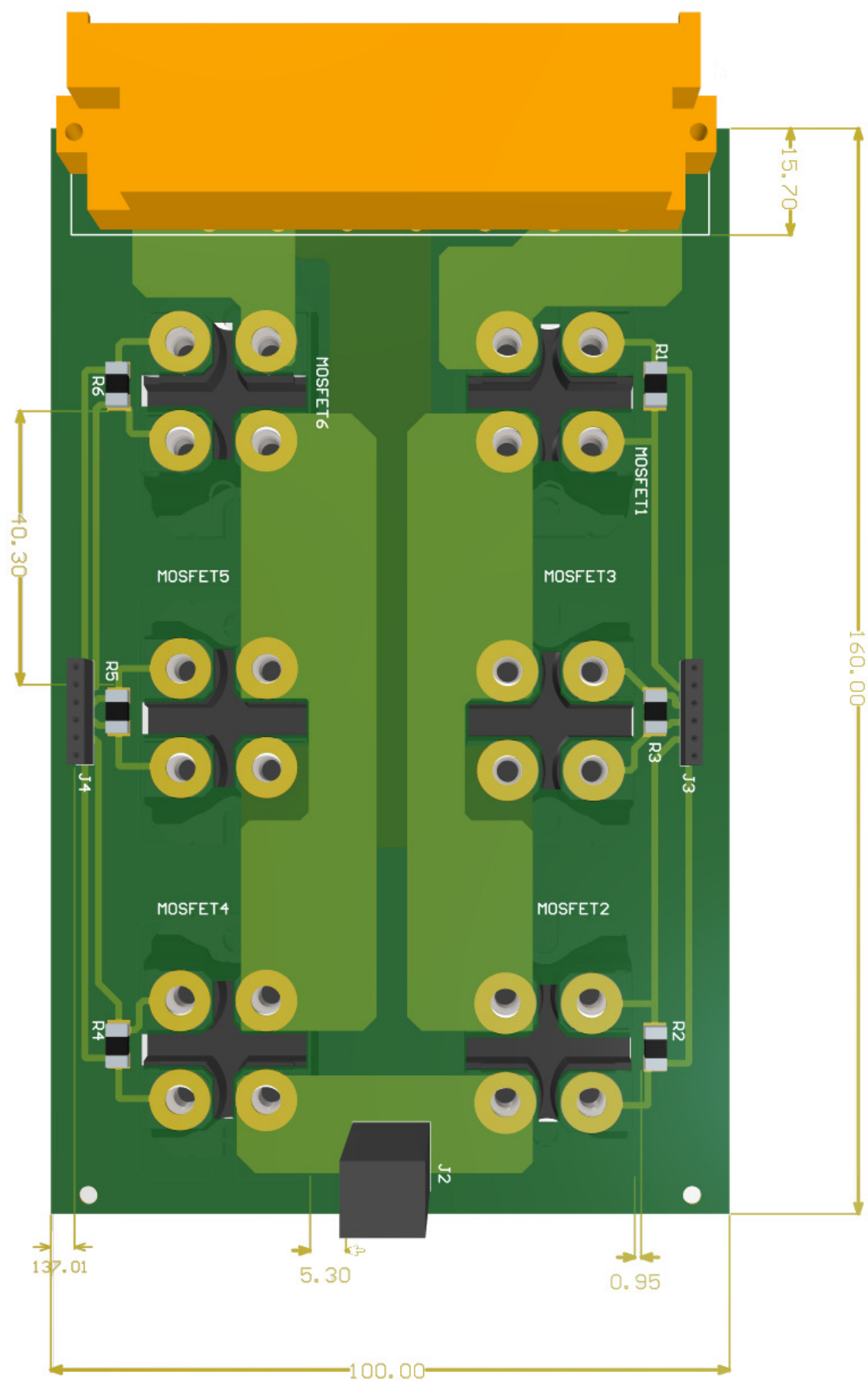


Figura 3.19: Modelo 3D de rama superficie superior

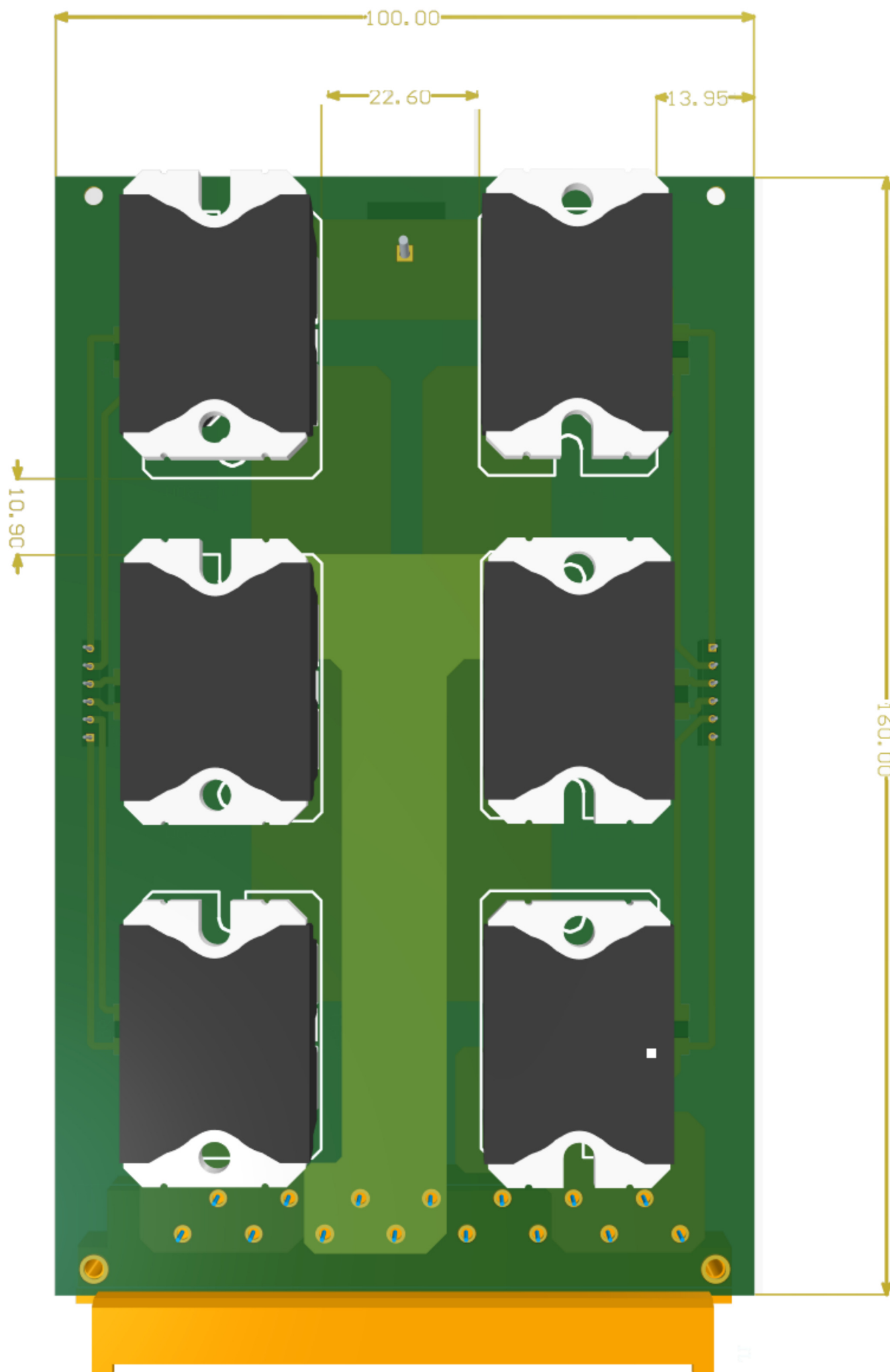


Figura 3.20: Modelo 3D de rama superficie inferior

3.2.4. DC-Link

A continuación se presenta el esquemático correspondiente al DC-Link.

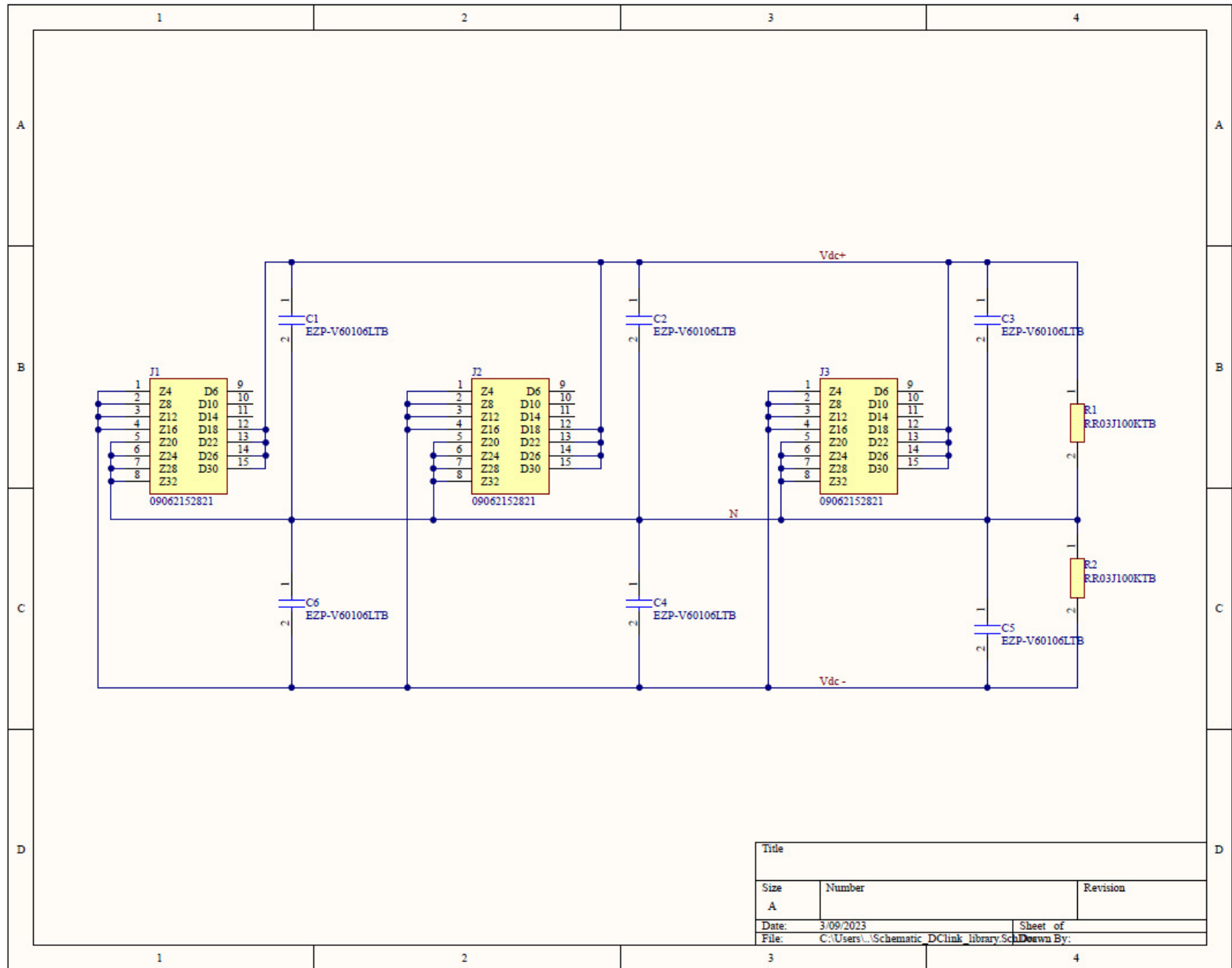


Figura 3.21: Esquemático DC-Link

A partir de la figura 3.21 se observan los tres conectores J1, J2 y J3 DIN41612 tipo hembra necesarios para la conexión de cada fase entrante con el banco de condensadores. La conexión de estos conectores se basa en que cada uno tiene 15 pines, donde los primeros 4 pines van conectados a la referencia negativa de la tensión continua. Los pines 4, 5, 6 y 7 de cada conector va conectado al punto neutro y finalmente los últimos 4 pines de cada conector va a la referencia positiva de la tensión continua. La distribución del banco de condensadores está pensada de tal forma de que por cada fase que entre al conector, tenga su propio DC-Link. Las resistencias R1 y R2 corresponde a la resistencia de descarga del DC-Link. El modelo 2D del DC-Link insertado en el backplane se presenta en la figura 3.22, mientras que la capa top layer y bottom layer se presenta en la figura 3.23 y 3.24 respectivamente.

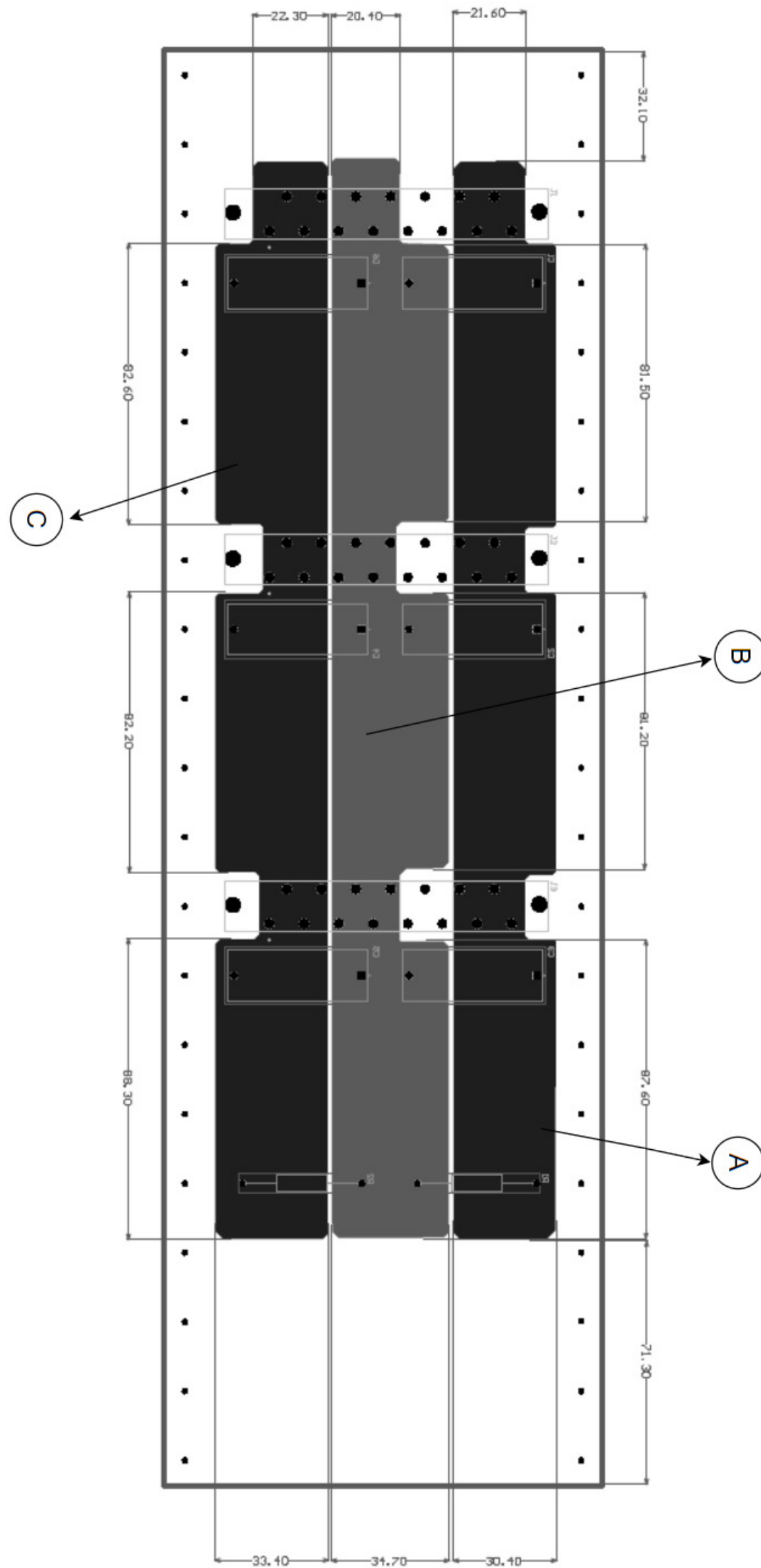


Figura 3.22: Modelo 2D del DC-Link

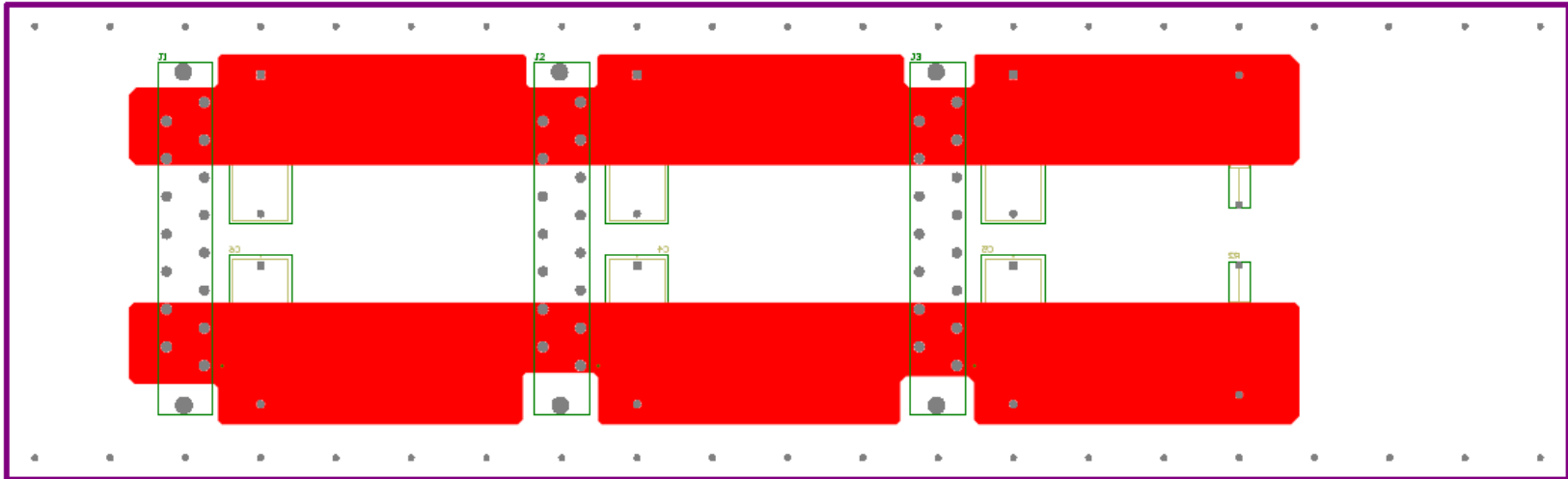


Figura 3.23: Modelo 2D del DC-Link top layer

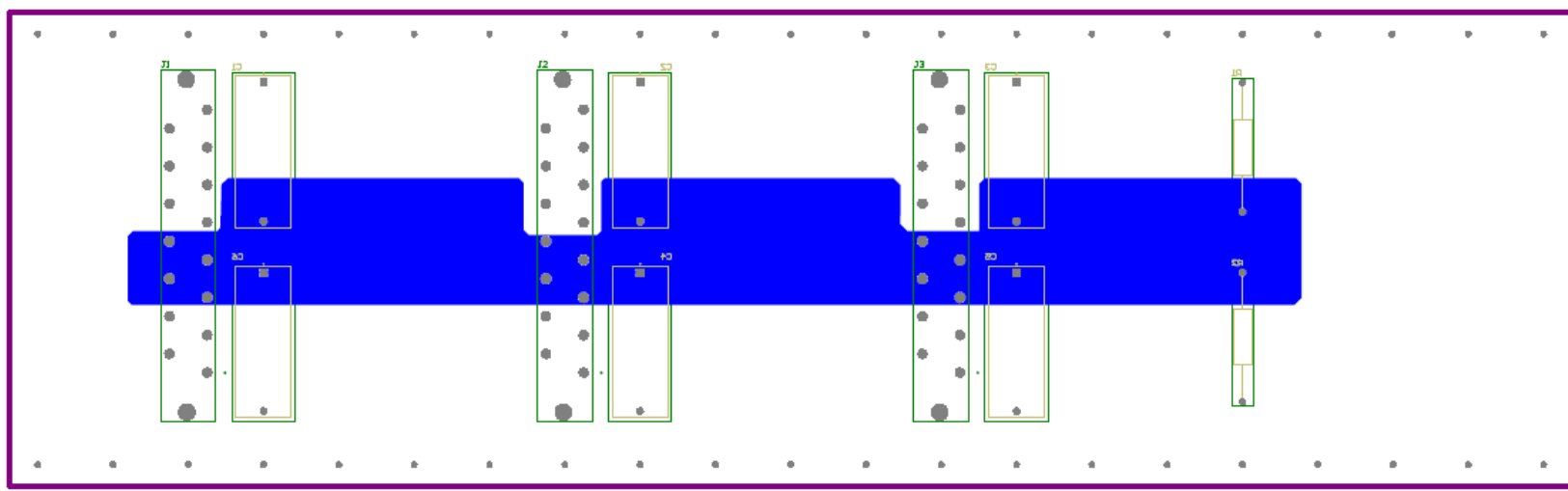


Figura 3.24: Modelo 2D del DC-Link bottom layer

Para el diseño de las pistas se opta por un trazado de pistas en forma de polígono, lo que permite tener mayores ventajas en cuanto al área que abarca en la placa y a la vez obtener menores pérdidas que se pudieran generar entre las capas. Del mismo modo se hace uso tanto de la capa superior como de la capa inferior, específicamente en esta última permite la conexión de todos los puntos neutros entre conectores, condensadores y resistencias, mientras que en la capa superior conecta todos los pines referenciados al nivel positivo de la tensión como al nivel negativo.

Para la pista que conecta la referencia positiva, el ancho de esta es de 30.40[mm] lo que significa que soporta un régimen de corriente de hasta 28[A] aproximadamente. Para la pista que conecta todos los puntos neutros, el ancho es de 34.70[mm], capaz de soportar un régimen de corriente de hasta 31[A] aproximadamente. Finalmente, para la pista de la conexión de la referencia negativa de la tensión, el ancho de pista se definió en 33.40[mm] lo que permiten operar con un régimen de corriente de hasta 30.5[A]. Es evidente que al momento de utilizar un diseño de pista en forma de polígono entrega un margen de seguridad para los niveles de corriente y voltajes.

Considerando el modelo 2D del DC-Link, figura 3.22, se elabora una tabla la cual contiene un resumen del diseño de pista para la placa del DC-Link. Para efectos de desarrollo se etiquetaron las siguientes pistas:

- A: pista para la conexión de la referencia positiva de la tensión.
- B: pista para la conexión de la referencia de punto neutro.
- C: pista para la conexión de la referencia negativa de la tensión.

De forma complementaria se definieron los siguientes parámetros:

- i_{max} : Corriente máxima que circula por la pista.
- V_{max} : Voltaje máximo que circula por la pista.
- A_m : Ancho mínimo de pista.
- A_d : Ancho diseñado de pista.
- L : Largo de la pista diseñada.
- D_m : Distancia mínima entre pista.
- D_d : Distancia mínima diseñada entre pista.

En la tabla 3.4 se presenta el resultado para las pistas diseñadas de la placa del DC-Link. n.

Pista	$i_n[A]$	$V_n[V]$	$A_n[mm]$	$A_d[mm]$	$L[mm]$	$D_n[mm]$	$D_d[mm]$
A	9.15	375	6.32	30.40	316.10	3.00	34.70
B	9.15	375	6.32	34.70	316.12	-	-
C	9.15	375	6.32	33.40	316.10	3.00	34.70

Tabla 3.4: Diseño de pistas de placa de DC-Link

Se observa que al trabajar con un trazado de pista en forma de polígono, se sobredimensionó el ancho de las pistas, por lo que permite diseñar las pistas con un gran margen de seguridad, muy por sobre el umbral mínimo, al igual que para el diseño de la distancia entre pistas. Considerando que solo se tiene una pista por la capa inferior, es por ello que no se considera el parámetro de la distancia entre pista para la pista B.

En la figura 3.25 y 3.26 se presenta el modelo 3D de la placa del DC-Link con mayor detalle en cuanto al espaciado de los componentes involucrados. Por una superficie de la placa solo van posicionados los tres conectores DIN41612 tipo hembra necesarios para la conexión de cada una de las ramas. El porqué de esto se debe a dejarle vía libre a la conexión de la placa de las ramas junto con los demás dispositivos necesarios, ya sea la tarjeta del circuito de disparo y los disipadores, y así evitar que choquen con componentes que pudiera haber en el backplane. Por el contrario, en la otra cara de la placa se encuentra el banco de condensadores distribuidos junto con las resistencias de descarga.

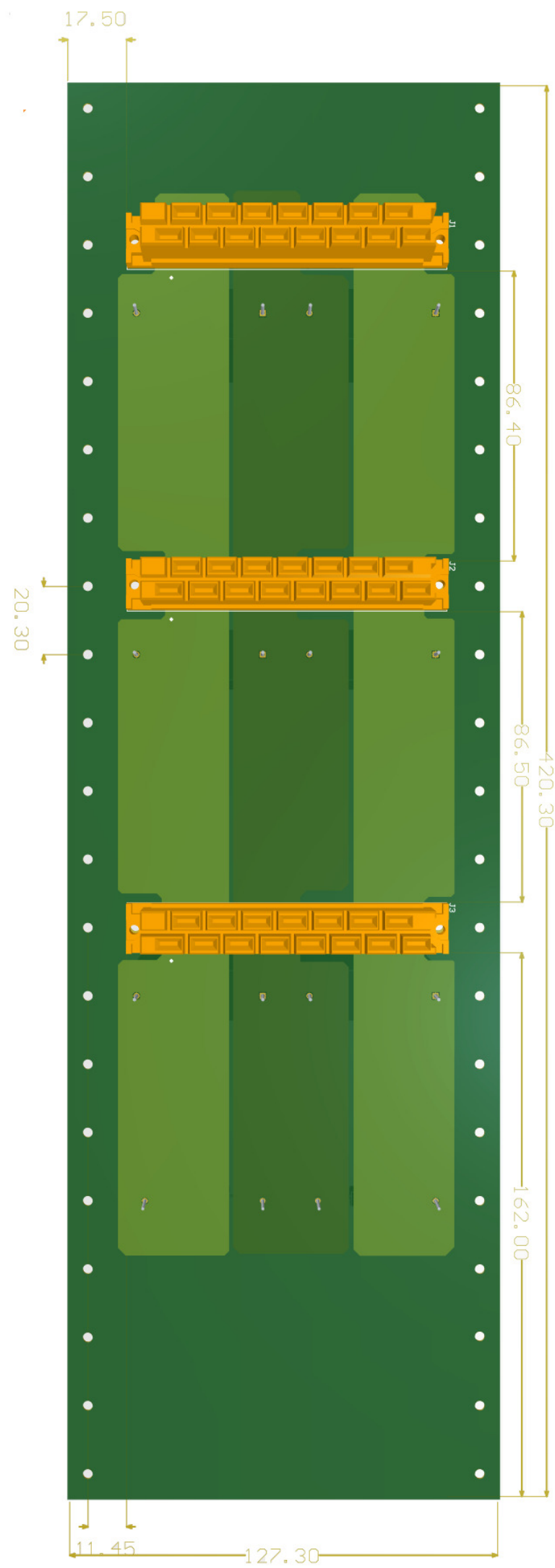


Figura 3.25: Modelo 3D del DC-Link superficie superior

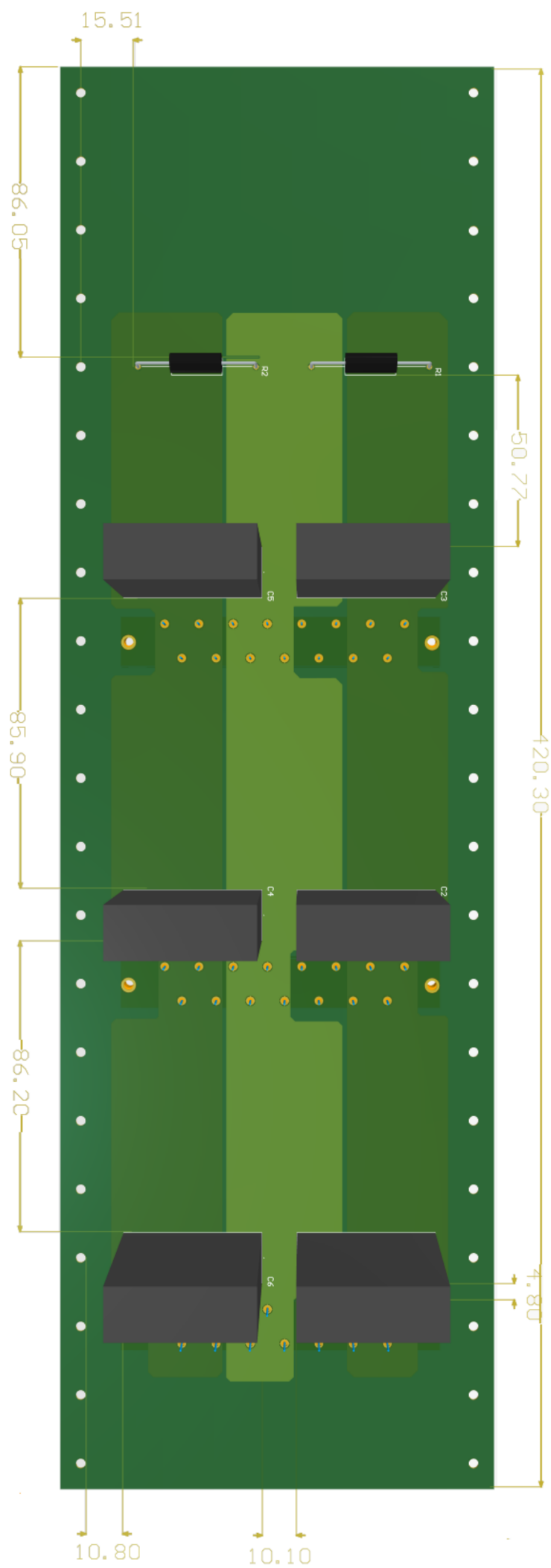


Figura 3.26: Modelo 3D del DC-Link superficie inferior

4 Conclusiones

En la primera parte de este trabajo se realizó un estudio del estado del arte y el cómo se han desarrollado los rectificadores de potencia, describiendo distintas topologías para diversos tipos de aplicaciones y requerimientos. Desde los rectificadores no controlables, destacando por su simplicidad, pasando por los rectificadores fuentes de voltaje de 2 niveles, mejorando las prestaciones hasta llegar a los convertidores multinivel, posicionándose fuertemente en aplicaciones de media tensión gracias a los niveles potencia y eficiencia que estos alcanzan. Se presentaron distintas topologías de convertidores multinivel, destacando el convertidor Active Neutral Point Clamped de tres niveles. Esta topología al presentar estados de conmutación redundantes permite distribuir mejor las pérdidas de conducción y conmutación de los semiconductores, lo que se traduce en obtener una mejor eficiencia en comparación con las demás topologías. Las ventajas del 3L-ANPC va de la mano con la tecnología de semiconductores que se utiliza, siendo la tecnología MOSFET SiC permitiendo operar a mayores frecuencias de conmutación.

Posteriormente, se hizo una descripción de la topología del convertidor 3L-ANPC, pudiendo así poder dividir el convertidor en cuatro etapas fundamentales: Precarga, Filtro LCL, Rama de semiconductores y el DC-Link. Esta división de etapas permitió poder diseñar el convertidor de manera modular. Se presentaron los distintos requerimientos en cuanto a manejo de potencia que se debe cumplir, siendo los más importantes la frecuencia de conmutación de 50[kHz], una tensión a la salida de 750[V] entregando una potencia de 5[kW]. Basándose en los requerimientos se lograron diseñar cada una de las etapas. Para la etapa de precarga se pudo evidenciar el impacto en el encendido del sistema cuando se opera con y sin resistencia de precarga, obteniendo una corriente peak de 2[A] y 48[A] respectivamente. Esta resistencia de precarga permitió disminuir claramente el peak de corriente durante el encendido y a su vez entregar un tiempo de 20[ms] para la precarga del DC-Link, traducándose en una solución simple y económica. Culminado este tiempo de precarga, cuando el convertidor empieza a trabajar en condiciones normales, se optó por implementar un relé con todos los componentes que se necesitan para su control. Con el diseño del filtro LCL se logró obtener un peak de corriente de 8.1[A] con un nivel de THD en torno al 2 %. Para la rama de semiconductores lo principal fue la elección del MOSFET a utilizar, eligiendo un modelo de la tecnología SiC y que además tuviera un diodo Schottky. Finalmente, para la etapa del DC-Link se logró diseñar el banco de condensadores con la finalidad de que cumpliera con un ripple de voltaje menor al 5 %. En esta misma etapa se comprobó el apagado del sistema, implementando una resistencia de descarga en paralelo al banco de condensadores, permitiendo obtener un tiempo de apagado de 12[s]. Considerando todos los valores diseñados de los componentes pasivos y considerandos los parámetros eléctricos, se estudió y selecciono todos los componentes que se necesitaron desde un punto de vista técnico, físico y económico.

Basándose en los componentes seleccionados, se diseñaron las placas de circuito impreso. Para la etapa de precarga, filtro y la rama de semiconductores se diseñaron en formato Eurocard, respetando las normas que esta establece para su diseño. Específicamente para la placa del circuito de precarga se optó por un trazado pistas tradicional, y para favorecer la conexión de los componentes, las pistas se diseñaron tanto por la capa inferior como por la capa superior. Se notó la diferencia en cuanto al ancho de pista para una señal de potencia y una señal de control, donde está última al tener una circulación baja de corriente y voltaje, el ancho de la pista también lo va a hacer. El diseño de placa para el filtro fue en un principio complejo debido a la superficie que ocupan los inductores y condensadores, pero finalmente lograron posicionarse de tal forma de poder trazar las pista sin inconvenientes. Se hizo uso tanto de la capa superior como inferior.

Respecto al diseño de placa para la rama de semiconductores, se diseñó una placa por cada rama. Los MOSFET se posicionaron de manera estratégica con la finalidad de facilitar el trazado tanto para la conexión de potencia como de control. Este trazado de pista para la conexión de potencia se realizó en forma de polígono, lo que permite abarcar mayor área en la placa, generar menores pérdidas entre las capas de la placa y a la vez entregar un margen de seguridad respecto a los niveles de corriente que se maneja en la placa. Distinto el caso para las señales de control para los MOSFETs que su trazado de pista se realizó de forma directa. Finalmente, la etapa del DC-Link se diseñó en un backplane, donde se trató de distribuir equitativamente el banco de condensadores con los conectores, de tal manera de que por cada placa de rama que se conecte al backplane tenga su propio DC-Link. Respecto al trazado de pista, se diseñó en forma de polígono, permitiendo así conectar todos los pines referenciados al nivel positivo de tensión con una sola pista, mima situación para el caso de los pines con el punto neutro y la referencia negativa de la tensión.

4.1. Trabajo a futuro

El trabajo realizado en esta memoria representa una base para la continuación del estudio y desarrollo del proyecto que se describió con anterioridad. Una vez que se cuente con las placas y los componentes, es necesario la construcción de cada módulo del convertidor a partir de los diseños presentados en este trabajo. Un módulo fundamental del convertidor es el circuito de disparo para la rama, por lo que el modelo PCB de la rama podría sufrir modificaciones con la finalidad de acomodarse a la geometría del circuito de disparo. También se deben dimensionar los disipadores de potencia para los mosfet de la rama. Una vez que culmine el trabajo de construcción de las placas, se debe montar el convertidor en su totalidad, es decir, en un rack va a ir el DC-Link insertado en el backplane, las tres ramas junto con circuito de disparo y disipadores cada una, el filtro LCL y el circuito de precarga. Además, se deben considerar los sensores de corriente y voltaje para obtener las mediciones correspondientes y si se le desea conectar alguna carga. Finalmente, se espera evaluar el convertidor en su modo rectificador, midiendo para ver si cumple con los requisitos en cuanto a la tensión de salida, potencia, THD de corriente a la entrada, temperatura de los mosfet, entre otras.

Bibliografía

- [1] “Ieee draft recommended practices and requirements for harmonic control in electric power systems,” *IEEE P519/D6ba, September 2013*, pp. 1–26, 2013.
- [2] J. Rodriguez, J. Dixon, J. Espinoza, J. Pontt, and P. Lezana, “Pwm regenerative rectifiers: state of the art,” *IEEE Transactions on Industrial Electronics*, vol. 52, no. 1, pp. 5–22, 2005.
- [3] J. Rodriguez, S. Bernet, B. Wu, J. O. Pontt, and S. Kouro, “Multilevel voltage-source-converter topologies for industrial medium-voltage drives,” *IEEE Transactions on Industrial Electronics*, vol. 54, no. 6, pp. 2930–2945, 2007.
- [4] L. G. Franquelo, J. Rodriguez, J. I. Leon, S. Kouro, R. Portillo, and M. A. Prats, “The age of multilevel converters arrives,” *IEEE Industrial Electronics Magazine*, vol. 2, no. 2, pp. 28–39, 2008.
- [5] J. Rodriguez, L. G. Franquelo, S. Kouro, J. I. Leon, R. C. Portillo, M. M. Prats, and M. A. Perez, “Multilevel converters: An enabling technology for high-power applications,” *Proceedings of the IEEE*, vol. 97, no. 11, pp. 1786–1817, 2009.
- [6] A. Nabae, I. Takahashi, and H. Akagi, “A new neutral-point-clamped pwm inverter,” *IEEE Transactions on Industry Applications*, vol. IA-17, no. 5, pp. 518–523, 1981.
- [7] Z. Kehl and T. Glasberger, “Analysis of three-level neutral point piloted power converter topology,” in *2018 International Conference on Applied Electronics (AE)*, pp. 1–4, 2018.
- [8] T. Bruckner and S. Bernet, “The active npc converter for medium-voltage applications,” in *Fourtieth IAS Annual Meeting. Conference Record of the 2005 Industry Applications Conference, 2005.*, vol. 1, pp. 84–91 Vol. 1, 2005.
- [9] U. P. Yagnik and M. D. Solanki, “Comparison of l, lc & lcl filter for grid connected converter,” *2017 International Conference on Trends in Electronics and Informatics (ICEI)*, pp. 455–458, 2017.
- [10] P. Channegowda and V. John, “Filter optimization for grid interactive voltage source inverters,” *IEEE Transactions on Industrial Electronics*, vol. 57, no. 12, pp. 4106–4114, 2010.
- [11] A. Benrabah, F. Khoucha, K. Marouani, A. Kheloui, A. Raza, and D. Xu, “Improved grid-side current control of lcl-filtered grid-tied inverters under weak grid conditions,” in *2019 Algerian Large Electrical Network Conference (CAGRE)*, pp. 1–5, 2019.

- [12] M. B. Said-Romdhane, M. W. Naouar, I. S. Belkhodja, and E. Monmasson, “An improved lcl filter design in order to ensure stability without damping and despite large grid impedance variations,” *Energies*, vol. 10, no. 3, 2017.
- [13] M. Vujacic, M. Hammami, M. Srndovic, and G. Grandi, “Analysis of dc-link voltage switching ripple in three-phase pwm inverters,” *Energies*, vol. 11, no. 2, 2018.
- [14] K. Kawahara, S. Hino, K. Sadamatsu, Y. Nakao, Y. Yamashiro, Y. Yamamoto, T. Iwamatsu, S. Nakata, S. Tomohisa, and S. Yamakawa, “6.5 kv schottky-barrier-diode-embedded sic-mosfet for compact full-unipolar module,” in *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*, pp. 41–44, 2017.
- [15] N. Baker, F. Iannuzzo, and H. Li, “Impact of kelvin-source resistors on current sharing and failure detection in multichip power modules,” in *2018 20th European Conference on Power Electronics and Applications (EPE'18 ECCE Europe)*, pp. P.1–P.7, 2018.