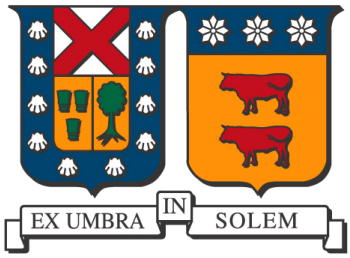
Universidad Técnica Federico Santa María

Departamento de Ingeniería Eléctrica

Valparaíso - Chile



"PROTOTIPO DE LABORATORIO PARA ACCIONAMIENTOS ELÉCTRICOS DE MEDIA TENSIÓN UTILIZANDO UN CONVERTIDOR NPC DE TRES NIVELES".

NELSON OCTAVIO JIRA TORRES

MEMORIA DE TITULACIÓN PARA OPTAR AL TÍTULO DE

INGENIERO ELECTRICISTA

PROFESOR GUÍA

DR. ANDRÉS MORA CASTRO

16 de junio de 2025

CONSTANCIA DE VALIDACIÓN Y CONFIDENCIALIDAD DE MONOGRAFÍA A REPOSITORIO ACADÉMICO

1.- IDENTIFICACIÓN DEL TRABAJO ACADÉMICO

Tipo de monografía (marcar una opción): ☒ Memoria o trabajo de título; ☐ Tesis de Postgrado;

Título del trabajo: Prototipo de laboratorio para accionamientos eléctricos de media tensión utilizando un convertidor NPC de tres niveles.

Nombre del candidato(a): Nelson Octavio Jira Torres

Carrera / Grado: Ingeniería eléctrica

Campus: Casa Central Valparaiso **;** **Departamento**: Ingeniería eléctrica

2.- VALIDACIÓN DEL PROFESOR GUÍA/DIRECTOR DE TESIS

Yo, Andrés Felipe Mora Castro, en mi calidad de profesor(a) guía/director(a) del trabajo académico mencionado anteriormente **DEJO CONSTANCIA** que:

- He revisado esta versión del documento y corresponde a la versión final aprobada del trabajo.
- El trabajo cumple con los requisitos académicos y de formato establecidos por la institución

3.- EVALUACIÓN DE CONFIDENCIALIDAD POR PROPIEDAD INDUSTRIAL

☒ El trabajo **NO contiene información que amerite confidencialidad** y puede ser publicado de inmediato en repositorio con acceso abierto.

☐ El trabajo **CONTIENE** información con potenciales implicancias de propiedad industrial o intelectual y requiere un periodo de confidencialidad (embargo) por:

☐ 6 meses; ☐ 12 meses; ☐ 2 años; ☐ 3 años; ☐ 5 años; ☐ 10 años

Fundamentación de la necesidad de confidencialidad (obligatorio si se solicita embargo):

4.- FIRMAS

Profesor(a) guía o director(a) de memoria o tesis:

Fecha: 16/06/2025 ; **Firma:** _____

Estudiante o Candidato(a):

Fecha: 16/06/2025 ; **Firma:** _____

Este formulario debe ser insertado como página 2 de la memoria o tesis, completado y firmado por estudiante y profesor(a) antes de la entrega en portal PRISMA de Biblioteca USM.

Agradecimientos

Agradezco a mis padres, hermanos y a Aracely por su apoyo constante e incondicional durante este proceso.

También expreso mi gratitud a los profesores que contribuyeron a mi formación. En especial, al profesor Andrés Mora, por su guía en el desarrollo de esta memoria y su apoyo en lo personal, y al profesor Esteban Pulido, por sus valiosas enseñanzas en sistemas de potencia y por su calidad humana.

Índice general

1. Introducción **2**

2. Marco Teórico **4**

2.1. Convertidores de potencia 4

2.2. Convertidor NPC de 3 niveles 5

2.2.1. Conmutación 6

2.3. Técnicas de modulación 6

2.4. Carrier-Based PWM 6

2.5. Three Phase Carrier-Based PWM 8

2.5.1. Índice de modulación 9

2.6. Space Vector Modulation 10

2.6.1. Cálculo de *dwell times* 11

2.6.2. Secuencia de conmutación 13

2.6.3. Contenido armónico 16

2.6.4. Índice de modulación 17

2.7. Máquina asincrónica 18

2.7.1. Modelamiento dinámico 18

2.7.2. Modelamiento clásico 21

2.7.3. Control escalar 23

3. Prototipo de convertidor NPC **24**

3.1. Descripción 24

3.1.1. Módulo DC-LINK 25

3.1.2. Módulo DTC 25

3.1.3. Módulo POWER 27
3.1.4. Módulo SENSOR 28
3.1.5. Módulo MOTHERBOARD 29
3.2. Ensamblaje y puesta en marcha 30
3.2.1. Problemas detectados 31

4. Control del convertidor **32**
4.1. Plataforma de control 32
4.2. Esquema de control 35
4.3. Algoritmo de modulación y control 35
4.4. Simulación 42
4.4.1. Esquema de simulación 43
4.4.2. Carga RL 43
4.4.3. Prueba de control V/f 47
4.5. Protección del sistema 52
4.5.1. Protección digital controlada por software 52
4.5.2. Protección controlada por hardware 54
4.6. Prototipo de protección ENABLE 12 V 54
4.6.1. Algoritmo de control 55
4.6.2. Esquemático 57
4.6.3. PCB 60
4.6.4. Simulación 62

5. Implementación y resultados experimentales **65**
5.1. Banco de pruebas 65
5.2. Circuito de protección 66
5.3. Señales de referencia 68
5.4. Tiempo muerto 70
5.5. Ruido de medición 70

5.6. Pruebas con carga RL 72
5.6.1. Level Shifted CB-PWM 72
5.6.2. Space Vector Modulation 75
5.7. Contenido armónico 78
5.8. Control escalar 80

6. Conclusiones y trabajo futuro **81**

anexo A **84**
A.1. Tablas de secuencia de conmutación 7S-SS 84
A.2. Código de Modulación 87
A.3. Esquemático PCB ENABLE 12V 93
A.4. Lista de componentes PCB ENABLE 12V 94
A.5. Esquemáticos NPC 3-L 96
A.5.1. Módulo MOTHERBOARD 96
A.5.2. Módulo POWER 97
A.5.3. Módulo DTC 97
A.5.4. Módulo SENSOR 98
A.5.5. Módulo VDC 98
A.6. Listado de componentes NPC 3L 99
A.6.1. Módulo MOTHERBOARD 99
A.6.2. Módulo VDC 99
A.6.3. Módulo POWER 100
A.6.4. Módulo DTC 101
A.6.5. Módulo SENSOR 101

Referencias **101**

Índice de figuras

2.1. Estados de conmutación de una fase del convertidor NPC-3L [1]. 5

2.2. Representación de Level Shifted CB-PWM para una fase. 7

2.3. Representación de Level Shifted CB-PWM trifásica 8

2.4. Vectores de estado del convertidor NPC de 3 niveles en el plano $\alpha\beta$. 12

2.5. Estados de conmutación NPC-3L, con 12 sectores para la minimización del voltaje de punto neutro. 14

2.6. Secuencia de conmutación 7S-SS para el vector de referencia ubicado en la región 23, sector II. 15

2.7. Circuito equivalente de la máquina de inducción. 21

2.8. Curvas de torque-velocidad de la máquina de inducción [2]. 23

3.1. Módulo DC-Link, vista superior modelo en 3D de Altium 25

3.2. Circuito de generación de tiempo muerto en el módulo DTC. 26

3.3. Módulo DTC, modelo en 3D de Altium 27

3.4. Módulo POWER, modelo en 3D de Altium 27

3.5. Módulo SENSOR, modelo en 3D de Altium 28

3.6. Circuito de medición de corriente, módulo SENSOR 29

3.7. Módulo MOTHERBOARD, vista superior, modelo en 3D de Altium 29

3.8. Pierna del convertidor NPC-3L. 31

3.9. Terminales del transistor NPN. 31

4.1. Diagrama de bloques de la plataforma BRAIn [3]. 33

4.2. Plataforma de control BRAIn. 33

4.3. Diagrama de bloques del control de velocidad escalar. 35

4.4. Diagrama de flujo para control digital. 36

4.5. Triángulo de magnitudes para el cálculo regiones. 37

4.6. Triángulo de magnitudes de vectores en el plano complejo respecto a Vd. . . 39

4.7. Secuencia de conmutación con señales de referencia para la región 3 del sector 2. 41

4.8. Diagrama de bloques de modulación SVM y control del NPC-3L. 42

4.9. Diagrama de simulación en PLECS con carga RL. 43

4.10. Formas de onda de corriente simuladas con carga RL, SVM. (a-b-c) fs = 2kHz, ma= (0.51, 0.7, 1). (d-e-f) fs = 5kHz, ma= (0.51, 0.7, 1). (g-h-i) fs = 10kHz, ma= (0.51, 0.7, 1). 44

4.11. Formas de onda de tensiones de fase simuladas con carga RL, SVM. (a-b-c) fs = 2kHz, ma= (0.51, 0.7, 1). (d-e-f) fs = 5kHz, ma= (0.51, 0.7, 1). (g-h-i) fs = 10kHz, ma= (0.51, 0.7, 1). 45

4.12. Formas de onda de tensiones de línea simuladas con carga RL, SVM. (a-b-c) fs = 2kHz, ma= (0.51, 0.7, 1). (d-e-f) fs = 5kHz, ma= (0.51, 0.7, 1). (g-h-i) fs = 10kHz, ma= (0.51, 0.7, 1) 46

4.13. Espectro armónico y THD simulado para corrientes, tensiones de fase y tensiones de línea, fs 2kHz. (a) $m_a = \{0{,}51\}$. (b) $m_a = \{0{,}7\}$. (c) $m_a = \{1\}$. . . . 47

4.14. Resultados prueba variador de frecuencia con carga RL, T_s 10 kHz. (a) Corrientes (b) Tensiones de fase (c) Tensiones de línea. 48

4.15. Diagrama de simulación en PLECS con conexión a MAS. 49

4.16. Curva V/f con refuerzo. 51

4.17. Resultados prueba variador de frecuencia conectado a MAS, T_s 10 kHz. (a) Corrientes (b) Tensiones de fase (c) Tensiones de línea. 52

4.18. Esquemático del circuito de protección por software. 53

4.19. PCB diseñada en Altium para el circuito de protección por software. 53

4.20. Esquema general de protección. 55

4.21. Circuito esquemático de entrada. 57

4.22. Esquemático del circuito lógico de comparación y habilitación. 58

4.23. Esquemático del circuito regulador de voltaje. 59

4.24. Esquemático del circuito de referencia de voltaje. 59

4.25. Esquemático del circuito de alimentación. 60

4.26. Modelo 2D em Altium PCB ENABLE 12 V. 61

4.27. Modelo 3D de Altium PCB ENABLE 12 V. 61

4.28. Circuito de simulación de la protección por hardware ENABLE 12 V. 62

4.29. Resultados de simulación para la protección por hardware ENABLE 12 V. . 64

5.1. Banco de pruebas NPC-3L. 66

5.2. Circuito experimental de protección. 67

5.3. Prueba del sistema de protección. 68

5.4. Señal de inyección de modo comun (línea punteada) [4]. 69

5.5. Señal de referencia para V_a, $f_s = \{10\text{ kHz},\ ma_1 = 1\}$, simulación en PLECS. 69

5.6. Medición de tiempo muerto entre para Sa1 (referencia amarilla) y Sa2 (referencia verde). 70

5.7. Señal de ruido de frecuencia 3 MHz presente en la corriente de una fase del convertidor. 71

5.8. Señales de corriente filtradas. 72

5.9. Formas de onda experimentales de corriente con carga RL, CB-PWM. (a) ma = 1, fs= (2, 5, 10 kHz). (b) ma = 0.7, fs= (2, 5, 10 kHz). (c) ma = 0.51, fs= (2, 5, 10 kHz). 73

5.10. Formas de onda experimentales de tensiones de fase con carga RL, modulación CB-PWM. (a-b-c) fs = 2 kHz, ma= (0.51, 0.7, 1). (d-e-f) fs = 5kHz, ma= (0.51, 0.7, 1). (g-h-i) fs = 10 kHz, ma= (0.51, 0.7, 1). 74

5.11. Formas de onda experimentales de tensiones de línea con carga RL, modulación CB-PWM. (a-b-c) fs = 2 kHz, ma= (0.51, 0.7, 1). (d-e-f) fs = 5kHz, ma= (0.51, 0.7, 1). (g-h-i) fs = 10 kHz, ma= (0.51, 0.7, 1). 75

5.12. Formas de onda experimentales de corriente con carga RL, modulación SVM. (a-b-c) ma = 1, fs= (2, 5, 10 kHz). (d-e-f) ma = 0.7, fs= (2, 5, 10 kHz). (g-h-i) ma = 0.51, fs= (2, 5, 10 kHz). 76

5.13. Formas de onda experimentales de tensiones de fase con carga RL, modulación SVM. (a-b-c) fs = 2 kHz, ma= (0.51, 0.7, 1). (d-e-f) fs = 5kHz, ma= (0.51, 0.7, 1). (g-h-i) fs = 10 kHz, ma= (0.51, 0.7, 1). 76

5.14. Formas de onda experimentales de tensiones de línea con carga RL, modulación SVM.(a-b-c) fs = 2 kHz, ma= (0.51, 0.7, 1). (d-e-f) fs = 5kHz, ma= (0.51, 0.7, 1). (g-h-i) fs = 10 kHz, ma= (0.51, 0.7, 1). 77

5.15. Espectro armónico y THD experimental para corrientes, tensiones de fase y tensiones de línea, fs 2 kHz. (a)(b)(b) $m_a = \{0{,}51, 0{,}7, 1\}$. 79

5.16. Curva V/f conectado a carga RL. 80

A.1. Esquemático del circuito de protección ENABLE 12V. 93
A.2. Esquemático del circuito de protección ENABLE 12V. 96
A.3. Esquemático del circuito de protección ENABLE 12V. 97
A.4. Esquemático del circuito de protección ENABLE 12V. 97
A.5. Esquemático del circuito de protección ENABLE 12V. 98
A.6. Esquemático del circuito de protección ENABLE 12V. 98

Índice de Tablas

2.1. Estados de conmutación NPC-3L 5

2.2. Tensión de vectores y estados de conmutación. 11

2.3. Secuencia de conmutación 7S-SS para el vector de referencia ubicado en la región 23, sector II. 15

2.4. Secuencias de conmutación de siete segmentos para los sectores I y II. 16

3.1. Parámetros de diseño del Convertidor NPC-3L. 24

3.2. Especificaciones del transductor de corriente LA-55P. 28

4.1. Configuración de los moduladores PWM. 34

4.2. Parámetros de simulación. 44

4.3. Parámetros del sistema con control V/f. 48

4.4. Parámetros de la máquina de inducción 49

4.5. Tabla de verdad para el sistema de control por hardware. 56

5.1. Parámetros del sistema de pruebas. 65

5.2. Razón entre corrientes SVM y CB-PWM 77

5.3. Diferencia entre corrientes SVM experimentales vs simuladas [%] 78

5.4. Diferencia entre los THD [%] simulados y experimentales. 79

A.1. Secuencias de conmutación de siete segmentos para los sectores I y II. 84

A.2. Secuencias de conmutación de siete segmentos para los sectores III y IV. . . 84

A.3. Secuencias de conmutación de siete segmentos para los sectores V y VI. . . . 85

A.4. Secuencias de conmutación de siete segmentos para los sectores VII y VIII. . 85

A.5. Secuencias de conmutación de siete segmentos para los sectores IX y X. . . . 85

A.6. Secuencias de conmutación de siete segmentos para los sectores XI y XII. . . 86

A.7. Component Table (Parte 1) 94
A.8. Component Table (Parte 2) 95
A.9. NPC BASE PCB 99
A.10.VDC Board 99
A.11.NPC Leg Circuit - (POWER Module board) 100
A.12.Dead Time Control Circuit 101
A.13.SENSOR board 102

Resumen

Este trabajo consiste en el armado y puesta en marcha de un prototipo de laboratorio utilizando un convertidor NPC de tres niveles, de tres fases, cuatro piernas y cinco submódulos por pierna. En una primera etapa se cotizaron componentes según las tablas de diseño originales y se encontraron reemplazos para los que no estaban disponibles . Luego se soldaron los componentes a cada circuito, se realizaron pruebas eléctricas a los componentes, se verificó la integridad de los circuitos de las PCB y se evaluó la correcta conversión DC/AC en cada fase y en el conjunto total a través de mediciones que fueron contrastadas con simulación computacional en PLECS ante dos escenarios, uno con carga pasiva RL y otro con conexión a una máquina de inducción de jaula de ardilla.

Antes de las pruebas experimentales fue necesario diseñar un sistema de protección ante sobrecorrientes, ya que este convertidor no cuenta con uno implementado, por lo que para prevenir fallas por errores en el control digital o de conexión en las fases, se ideó un circuito de protección controlado por un procesador digital de señales (DSP) y otro controlado por hardware, que mide directamente la corriente del convertidor utilizando comparadores.

Finalmente, se programaron en el DSP los algoritmos de modulación PWM (*Pulse Width Modulation*) y SVM (*Space Vector Modulation*) para controlar la tensión y corriente de salida del convertidor, implementándose además un control escalar de velocidad en lazo abierto. Este convertidor queda disponible para su uso en docencia e investigación para futuros proyectos.

Capítulo 1

Introducción

La generación de energía eléctrica ha evolucionado constantemente desde principios del siglo XX, basándose principalmente en la conversión de energía de combustibles fósiles y fuentes hidráulicas en energía eléctrica. Esta energía es transmitida por la red eléctrica nacional, a la que se conectan distintos puntos de generación y que es de gran extensión, lo que conlleva variados desafíos para llevar la energía al usuario final de forma eficiente y económica. Entre estos desafíos está el control de estabilidad del sistema, que requiere alta eficiencia, respuesta rápida y robusta, considerando las pérdidas de transmisión y las demandas de energía activa y reactiva. Es por esto que es necesario contar con sistemas de control para generadores sincrónicos, compensadores estáticos de reactivos (SVC), filtros activos, entre otros dispositivos, para responder a los requerimientos del sistema de potencia. Adicionalmente a la matriz nacional se ha sumado en las últimas décadas la generación de energía eólica y solar, las cuales requieren sistemas de control de velocidad y de conversión de corriente continua a alterna, respectivamente. Es en este contexto que los convertidores de potencia se han vuelto esenciales debido a su alto desempeño, eficiencia y utilidad para estos fines [5]. Los convertidores de potencia se componen de semiconductores, que conmutan a cierta frecuencia para convertir energía continua a alterna, o de forma inversa. Entre las topologías de convertidores están las clásicas de dos niveles y las multinivel. Estas últimas destacan sobre las configuraciones tradicionales, dadas sus ventajas en el control del nivel de tensión de salida, logrando una menor distorsión y mayor potencia con similar cantidad de componentes gracias a la división de la tensión de entrada entre más dispositivos semiconductores [6].

La necesidad de desarrollar topologías de varios niveles surge para superar las limitaciones impuestas por condensadores e IGBT en configuraciones tradicionales, debido a sus niveles máximos de tensión de operación admitidos por estos [5]. En el uso de convertidores multinivel, la potencia se puede incrementar proporcionalmente con el aumento de los niveles del convertidor, siendo los más utilizados los de tres, cinco y siete niveles, dependiendo de la aplicación en la que se empleen. El convertidor NPC de tres niveles es el más usado a nivel industrial debido a su menor costo y a que ofrece características de conversión con baja distorsión armónica y bajas pérdidas [6] .

La topología NPC se conforma de dos condensadores que dividen la tensión conti-

nua de entrada, dos diodos centrales que comparten un neutro común con los condensadores en un punto central, y cuatro IGBTs que actúan como interruptores en el control de conmutación a partir de distintas secuencias de encendido y apagado regidas por técnicas de modulación como *Pulse Width Modulation* (PWM) o *Space Vector Modulation* (SVM). Estas se basan en el seguimiento de una señal de referencia, activando los interruptores que, dependiendo del estado encendido/apagado en que se encuentren, generan alguno de los tres niveles de tensión; Vdc/2, -Vdc/2 y 0.

Los convertidores NPC, en conjunto con las técnicas de modulación tienen una amplia aceptación en la actualidad para controlar motores de inducción, con una gran variedad de aplicaciones en el ámbito electromecánico, pues poseen características ventajosas, por sobre el uso de motores de corriente continua en el control de velocidad, dada su sobresaliente robustez, puesto que necesitan menor mantenimiento, permiten una mayor potencia y son más económicos [7].

Existen distintas formas de control de velocidad en motores de inducción; estas pueden ser por cambio del número de polos, de la tensión, de la frecuencia de entrada mediante control escalar, o controlando el flujo y el torque por control vectorial, sin embargo, para aplicaciones que no requieren alto desempeño, la variación de frecuencia es la opción más recomendada, dada su practicidad. Al usar variación de frecuencia, en conjunto con un control de la señal de tensión que alimenta la máquina a través de un inversor en una misma proporción, se mantiene el flujo magnético constante, ofreciendo un buen control del rango de velocidad [8].

Para aplicar esquemas de control como los mencionados, es necesario disponer de prototipos que puedan ser ensayados y utilizados para implementar diversas estrategias de control y modulación en motores de inducción, así como en otras máquinas eléctricas.

Con base en lo descrito anteriormente, se propone la construcción de un prototipo de laboratorio utilizando un inversor NPC diseñado previamente, junto con un circuito de protección y un rack que los incorpore, soldando diversos componentes electrónicos en cinco módulos por pierna: módulo de medición, de generación de tiempo muerto, de poder, de tensión continua y placa madre [9].

Una vez ensamblado, se realizan pruebas para medir su funcionamiento en la conversión de energía y desempeño en la implementación de un control de velocidad escalar. Al terminar este trabajo, el prototipo de laboratorio queda disponible para ser usado en variadas aplicaciones en accionamientos eléctricos e investigación para trabajos futuros.

Capítulo 2

Marco Teórico

2.1. Convertidores de potencia

Los convertidores de potencia son dispositivos encargados de convertir la energía eléctrica de tipo continua a alterna (DC/AC), de alterna a continua (AC/DC) o entre sí (AC/AC-DC/DC), a distintos niveles de corriente y tensión. Lo anterior se logra con la configuración de distintas topologías de semiconductores, conformadas por diodos, MOSFET, BJT o IGBT, los cuales conmutan entre estados de conducción y corte de acuerdo con pulsos de disparo de modulación comandados por señales digitales.

Entre las topologías conocidas y más usadas se encuentran los convertidores de dos niveles (VSC-2L) y los convertidores multinivel, los cuales escalan a tres, cinco, siete o más niveles de tensión, dependiendo de la cantidad de interruptores semiconductores que tengan y de su configuración. Ejemplos de estas son las clásicas *Neutral Point Clamped Converter* (NPC-3L), *Flying Capacitor Converter* (FCC), *Cascaded H-Bridge Multilevel Converters* (CHB), y recientemente en las últimas décadas, los *Modular Multilevel Converters* (MMC) [6]. Cada una de estas topologías presenta ventajas y desventajas en su uso, ya que dependiendo de las exigencias de la aplicación o recursos disponibles, una configuración será la óptima. Algunos de estos criterios a considerar son las pérdidas por conmutación, recursos económicos disponibles, tamaño de los componentes, calidad de la señal, simplicidad de implementación y control [5].

El NPC-3L, que actúa como un inversor de fuente de voltaje (VSI), ofrece ventajas en aplicaciones de media y alta potencia gracias a su alta fidelidad en la conversión de tensión, facilidad de modulación, menor costo respecto a otras topologías más complejas, y mejor desempeño que el de dos niveles. En comparación con el convertidor 2L-VSC, destacan sus prestaciones, como: la reducción del dv/dt, junto con la correspondiente reducción de interferencia electromagnética (EMI), mejora del espectro armónico de salida (THD), disminución de la frecuencia de conmutación por dispositivo y distribución de la tensión de entrada entre cada semiconductor, donde idealmente, cada uno soporta una tensión de bloqueo de la mitad de la tensión de la línea DC. [10]. Una descripción detallada del funcionamiento del NPC se presenta en la siguiente sección.

2.2. Convertidor NPC de 3 niveles

La configuración del NPC-3L permite repartir la tensión DC entre dos condensadores de entrada, esta entrada se conoce como *DC-Link*, y consiste en la unión de dos condensadores a un punto neutro alimentados por la tensión V_{dc}, la cual se reparte en $V_{dc}/2$ para cada condensador, siendo este valor el máximo por dispositivo semiconductor. Desde este punto neutro siguen dos diodos que reparten y limitan el voltaje a $V_{dc}/2$ a cada uno de los cuatro IGBT con un diodo antiparalelo. Estos IGBT actúan como interruptores permitiendo el paso de corriente y la generación de distintos niveles de tensión dependiendo de cuáles estén encendidos o apagados en función de los pulsos de modulación que lleguen a las compuertas de cada dispositivo.

Como se muestra en la figura 2.1, los condensadores se denominan como C_1 y C_2, los diodos como D_1 y D_2, y los IGBT como S_{x1}, S_{x2}, $\overline{S}_{x1}$ y $\overline{S}_{x2}$ con $x \in \{a, b, c\}$ en que los últimos dos son los complementarios de los primeros. El estado de los IGBT (1,0), de acuerdo a la Tabla 2.1, determina uno de los tres niveles de tensión de salida de cada fase. Estas se representan como $u \in \{-1, 0, 1\}$, es decir, cuando S_{x1} y S_{x2} están en conducción la tensión de salida es $+V_{dc}/2$, en cambio cuando $\overline{S}_{x1}$ y $\overline{S}_{x2}$ están en conducción la salida es $-V_{dc}/2$, y si S_{x2} y $\overline{S}_{x1}$ están encendidos, la salida v_{xn} es 0 [6] [11].

Tabla 2.1: Estados de conmutación NPC-3L

Señales de compuerta	**Estado**	**Voltaje de salida**	**Corriente NP**
(1, 1)	(+1)	$V_{dc}/2$	0
(0, 1)	(0)	0	$-i_x$
(0, 0)	(-1)	$-V_{dc}/2$	0

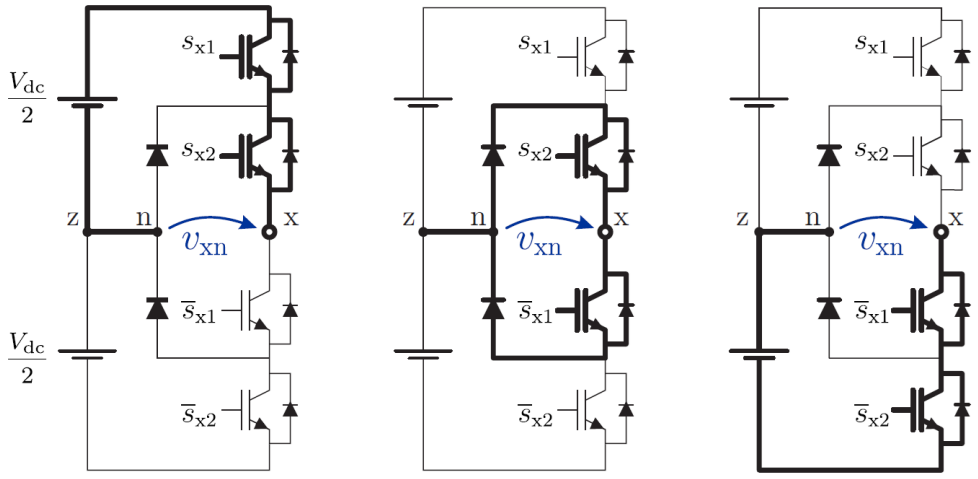


Figura 2.1: Estados de conmutación de una fase del convertidor NPC-3L [1].

2.2.1. Conmutación

Como se mencionó anteriormente, la transición entre estados positivos y negativos directamente no es factible desde el punto de vista de la estabilidad y eficiencia, por lo que un estado intermedio de tensión nula es necesario en conjunto con un tiempo de retraso entre S_{x1}, S_{x2} y sus complementarios.

Este retraso, conocido como tiempo muerto (t_d), es una pequeña pausa que se toma entre apagar un interruptor y encender el complementario, siendo crucial en el proceso de conmutación porque asegura que nunca estén encendidos más de dos IGBTs al mismo tiempo. Si eso ocurriera, podría provocar un cortocircuito y dañar el convertidor [1]. El (t_d) se añade desde la plataforma de control, o por hardware con condensadores y resistencias, y es generalmente del orden de 1 µs a 3 µs. Tiempos elevados traen como consecuencia el aumento de las pérdidas por conmutación, por lo que se intenta mantener lo más bajo posible.

Según las especificaciones de diseño, que se pueden consultar en el anexo A.6, el tiempo muerto es de 3,0 µs, asegurando un funcionamiento estable y con bajas pérdidas del sistema.

2.3. Técnicas de modulación

Las técnicas de modulación en el ámbito de los convertidores de potencia, tienen el fin de controlar el encendido y apagado de los semiconductores, mediante patrones de pulsos enviados desde una plataforma de control como un procesador de señales digitales (DSP). Estos patrones de pulso son codificados para optimizar la obtención de las formas de onda de acuerdo a una referencia establecida, conocida como portadora, según los requerimientos del sistema. Las distintas modulaciones se diferencian por el tipo de contenido armónico que producen, el número de portadoras, complejidad del procesamiento digital, balanceo del punto neutro y capacidad de eliminar armónicos [12] .

2.4. Carrier-Based PWM

Entre las técnicas de modulación más usadas se encuentra la *Carrier-Based PWM*, que funciona mediante la comparación entre una señal portadora o *carrier* y una señal moduladora o de referencia, arrojando como resultado un nivel lógico alto si la referencia es superior a la portadora, y un nivel lógico bajo en caso contrario. Esto genera una serie de pulsos con un ciclo de trabajo variable que producen un valor promedio proporcional al valor de la señal moduladora [13]. Los pulsos son enviados al módulo de procesamiento lógico del convertidor, traduciéndose en estados de activación o desactivación de la compuerta (gate) de los IGBT.

La onda portadora puede ser de distinta frecuencia en el rango de los kHz, y en el caso de este convertidor, el rango de frecuencias llegará hasta los 20 kHz, ya que por diseño es la máxima frecuencia de conmutación que admiten los IGBT.

Dentro del espectro de la PWM existen diferentes tipos de modulaciones, como la *Single Carrier PWM* (CB-PWM), la *Level Shifted PWM* y la *Phase Shifted PWM*. La primera, involucra solo una portadora que se compara con la referencia completa, y ofrece menores prestaciones en la calidad de la señal de salida. La segunda se caracteriza por usar varias *carrier* en fase, con distinto offset e igual nivel de tensión, desplazada verticalmente y ocupando una fracción de magnitud respecto a la de referencia para modular valores negativos y positivos. Esto da como resultado una señal de salida de mejor calidad y con menos distorsión armónica en comparación a las técnicas que usan solo un *carrier*. [14]

Por otra parte, la *Phase Shifted* usa portadoras desplazadas en el eje horizontal de tiempo, aplicando un desfase de ángulo e igual magnitud y *offset*. La ventaja de desfasar las portadoras es que permite distribuir las pérdidas del convertidor de forma equitativa cancelando armónicos [15]. En este trabajo, se usa *Level Shifted PWM*, cuya representación gráfica se muestra en la figura 2.2, en donde el primer gráfico corresponde a la señal a moduladora sinusoidal junto con sus dos portadoras, y el segundo representa los pulsos de salida.

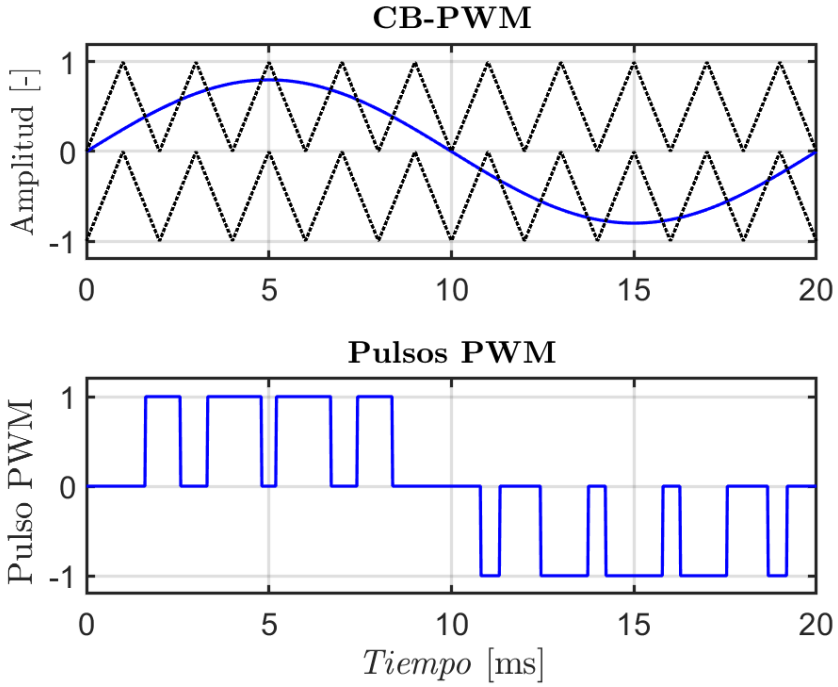


Figura 2.2: Representación de Level Shifted CB-PWM para una fase.

2.5. Three Phase Carrier-Based PWM

Los mismos principios de funcionamiento de la PWM son aplicables a un sistema trifásico de conversión DC/AC. Para ello se usa *Level Shifted CB-PWM* con dos niveles de *carrier* en fase, dada su facilidad de implementación y reducción de cantidad de armónicos respecto a la PWM clásica. Al modular un sistema trifásico, se puede aprovechar un grado adicional de libertad en el proceso de modulación representado por las componentes de modo común, lo que permite extender el rango de modulación lineal de 1 a 1.15 [15]. Esta ampliación del rango de modulación facilita una operación más flexible y adaptable a diversas condiciones de carga, optimizando el rendimiento del convertidor bajo diferentes escenarios [14] .

El voltaje de salida $\mathbf{v}_{abc}$ respecto al voltaje del DC-Link, usando este tipo de modulación, se puede ser representar como:

$$\mathbf{v}_{abc} = \frac{1}{2}\mathbf{v}_d \cdot \mathbf{u}_{abc} \tag{2.1}$$

El vector de estado puede ser expresado como $\mathbf{u}_{abc} = [u_a, u_b, u_c]^T$ con $\mathbf{u}_{abc} \in \{-1, 0, 1\}^3$, que expresa los tres posibles estados de cada fase, siendo el máximo valor posible igual a la mitad de la entrada de tensión continua, que en la ecuación se representa como $\frac{v_d}{2}$. Una representación de una CB-PWM trifásica se muestra en la figura 2.3, en la que se pueden distinguir dos *carrier* por cada fase del convertidor alineadas en ángulo, una *carrier* superior que modula los valores positivos y otra inferior que modula los valores negativos.

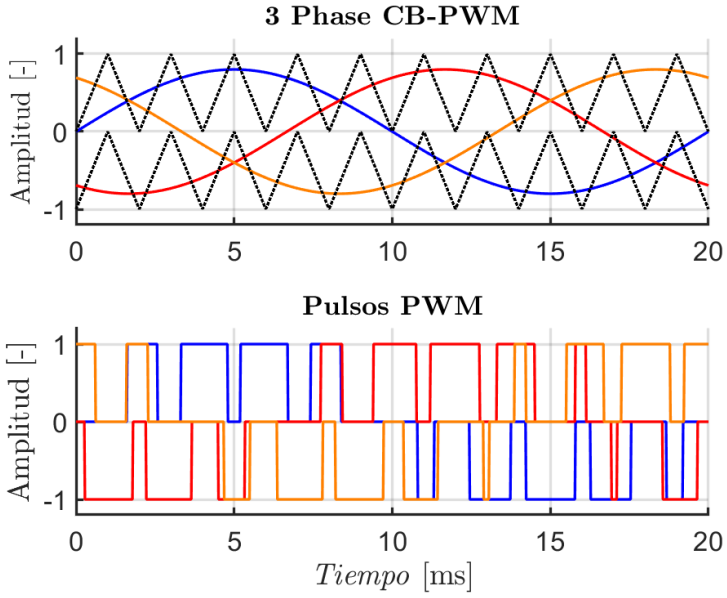


Figura 2.3: Representación de Level Shifted CB-PWM trifásica

2.5.1. Índice de modulación

El voltaje de frecuencia fundamental modulado puede ser representado en relación al DC-Link como un vector de tres fases de la siguiente forma:

$$\mathbf{u}_{abc}(t) = \frac{2}{v_d}\mathbf{v}_{abc}(t) = m_a \begin{bmatrix} \sin(\omega_1 t) \\ \sin\left(\omega_1 t - \frac{2\pi}{3}\right) \\ \sin\left(\omega_1 t - \frac{4\pi}{3}\right) \end{bmatrix} \tag{2.2}$$

En la ecuación anterior, $\frac{v_d}{2}$ corresponde al máximo valor que puede tomar cada una de las tres señales de referencia, limitado por la tensión de alimentación del DC-Link, y v_{abc} es el rango de la tensión de referencia de la señal moduladora de cada una de las fases [4]. Por lo tanto, se define el índice de modulación m_a como:

$$m_a = \frac{|v_{\text{moduladora}}|}{|v_{\text{carrier}}|} \tag{2.3}$$

Esto confiere un rango de modulación controlado por la referencia que va desde $m \in (0, 1)$, siendo 1 el índice máximo [7]. Con el máximo índice la tensión fundamental que se puede conseguir línea-línea es:

$$V_{AB,\max} = \frac{V_d}{2} \cdot \frac{\sqrt{3}}{\sqrt{2}} = 0{,}612 \cdot V_d \quad \text{con} \quad m_a = 1 \tag{2.4}$$

Por otro lado, la relación entre la frecuencia fundamental de la sinusoidal a modular y la frecuencia de muestreo de la *carrier* se define como índice de modulación de frecuencia m_f, de acuerdo a la ecuación (2.5), si m_f es un múltiplo de la frecuencia fundamental de la moduladora, se denomina PWM simétrica; en caso contrario, se denomina PWM asimétrica [7].

$$m_f = \frac{f_{\text{carrier}}}{f_{\text{moduladora}}} \tag{2.5}$$

2.6. Space Vector Modulation

La *Space Vector Modulation* (SVM) ofrece claras ventajas sobre la PWM estándar, ya que reduce la distorsión armónica total (THD), mejorando la calidad de la señal de salida y aumentando la eficiencia al reducir las pérdidas de conmutación, utilizando de mejor forma el voltaje del bus DC, pudiendo alcanzar mayores tensiones de salida.

La SVM se basa en la idea de representar las señales de voltaje trifásicas como vectores en un espacio bidimensional. En un sistema trifásico, cada fase del voltaje se traduce en un vector, que puede ser visualizado en un plano complejo representado por $\mathbf{u}_{abc} \in \{-1, 0, 1\}^3 = 27$ vectores de estado.

La transformación de Clarke hace posible el cambio de variables instantáneas trifásicas en el plano de componentes $\alpha\beta 0$ [4]. Considerando que las componentes de secuencia 0 no influyen en las corrientes de salida I_a, I_b, I_c, ya que se cancelan por el modo común con neutro flotante. La transformación de Clarke invariante en amplitud se define como:

$$\begin{bmatrix} u_\alpha \\ u_\beta \\ u_0 \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{3} & \frac{1}{3} & \frac{1}{3} \end{bmatrix} \begin{bmatrix} u_a(t) \\ u_b(t) \\ u_c(t) \end{bmatrix} \tag{2.6}$$

Entonces, se puede hacer un mapa de los vectores en los ejes complejo α, β equivalente, representado por la siguiente transformación:

$$\begin{bmatrix} u_\alpha \\ u_\beta \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} u_a(t) \\ u_b(t) \\ u_c(t) \end{bmatrix} \tag{2.7}$$

Con la aplicación de esta transformación, de los 27 estados posibles, se generan 19 estados de conmutación no redundantes en el convertidor. Estos vectores son clasificados en tres tipos: *zero vectors*, *small vectors*, *medium vectors* y *large vectors* [4]. Estos son denominados como u_0, u_S, u_M y u_L, en donde el tamaño depende de la secuencia de estados de cada fase. Los vectores cero son tres, y pueden ser representados como $\mathbf{u}_{abc} = \{-,-,-\}, \{0,0,0\}, \{+,+,+\}$; *small vectors* son 12, y pueden ser de tipo positivo o negativo dependiendo si en alguna fase se presenta algún estado +1 o -1, denominándose *small vectors* tipo P o tipo N, respectivamente, habiendo un u_S^+ y u_S^- que producen el mismo estado [7] [1].

Los *medium vectors* y *large vectors* no producen estados redundantes, ni se denominan como positivos o negativos, ya que siguen una secuencia única. Cada uno de los vectores mencionados tiene una magnitud y un ángulo específicos en el plano complejo. En la tabla 2.2 se presentan los estados, la magnitud respecto al DC-Link y ángulo de cada uno de los 27 vectores [16] [7].

Tabla 2.2: Tensión de vectores y estados de conmutación.

Vector	**Estado de Conmutación**	**Tipo de Vector**	**Magnitud**	**Ángulo**
u_0	{+ + +}, {0 0 0}, {- - -}	Zero	0	e^{j0}
u_{S1}^{+}, u_{S1}^{-}	{0 - -}, {+ 0 0}	small	$\frac{V_d}{3}$	e^{j0}
u_{S2}^{+}, u_{S2}^{-}	{0 0 -}, {+ + 0}	small	$\frac{V_d}{3}$	$e^{j\frac{\pi}{3}}$
u_{S3}^{+}, u_{S3}^{-}	{- 0 -}, {0 + 0}	small	$\frac{V_d}{3}$	$e^{j\frac{2\pi}{3}}$
u_{S4}^{+}, u_{S4}^{-}	{- 0 0}, {0 + +}	small	$\frac{V_d}{3}$	$e^{j\pi}$
u_{S5}^{+}, u_{S5}^{-}	{- - 0}, {0 0 +}	small	$\frac{V_d}{3}$	$e^{j\frac{4\pi}{3}}$
u_{S6}	{0 - 0}, {+ 0 +}	small	$\frac{V_d}{3}$	$e^{j\frac{5\pi}{3}}$
u_{M1}	{+ 0 -}	medium	$\frac{V_d}{\sqrt{3}}$	$e^{j\frac{\pi}{4}}$
u_{M2}	{0 + -}	medium	$\frac{V_d}{\sqrt{3}}$	$e^{j\frac{\pi}{2}}$
u_{M3}	{- + 0}	medium	$\frac{V_d}{\sqrt{3}}$	$e^{j\frac{3\pi}{4}}$
u_{M4}	{- 0 +}	medium	$\frac{V_d}{\sqrt{3}}$	$e^{j\pi}$
u_{M5}	{0 - +}	medium	$\frac{V_d}{\sqrt{3}}$	$e^{j\frac{5\pi}{4}}$
u_{M6}	{+ - 0}	medium	$\frac{V_d}{\sqrt{3}}$	$e^{j\frac{3\pi}{2}}$
u_{L1}	{+ - -}	large	$\frac{2V_d}{3}$	e^{j0}
u_{L2}	{+ + -}	large	$\frac{2V_d}{3}$	$e^{j\frac{\pi}{3}}$
u_{L3}	{- + -}	large	$\frac{2V_d}{3}$	$e^{j\frac{2\pi}{3}}$
u_{L4}	{- + +}	large	$\frac{2V_d}{3}$	$e^{j\pi}$
u_{L5}	{- - +}	large	$\frac{2V_d}{3}$	$e^{j\frac{4\pi}{3}}$
u_{L6}	{+ - +}	large	$\frac{2V_d}{3}$	$e^{j\frac{5\pi}{3}}$

2.6.1. Cálculo de *dwell times*

La idea de la transformación hacia el espacio vectorial es encontrar una combinación de vectores que, en un instante de tiempo t represente un estado equivalente en el plano $\alpha\beta$ respecto a las componentes abc de referencia, a través de la combinación lineal de los tres vectores más cercanos en ese punto. Los 27 vectores quedan expresados graficamente en el diagrama de la figura 2.4, como un hexágono dividido en 6 sectores triangulares equiláteros, separados en 60°, y cada sector en 4 regiones. En la imagen citada, se puede ver que la referencia cae en el sector I, región 4, por lo tanto, el vector de referencia u_{ref} se puede representar por medio de la ecuación (2.8), en que u_{S2}, u_{M1} y u_{L2} son los vectores próximos, t_1, t_2 y t_3, conocidos como *dwell times*, son los tiempos de aplicación de cada vector, y T_s es el tiempo de muestreo de la portadora que equivale a la suma de cada *dwell time* [16] [7].

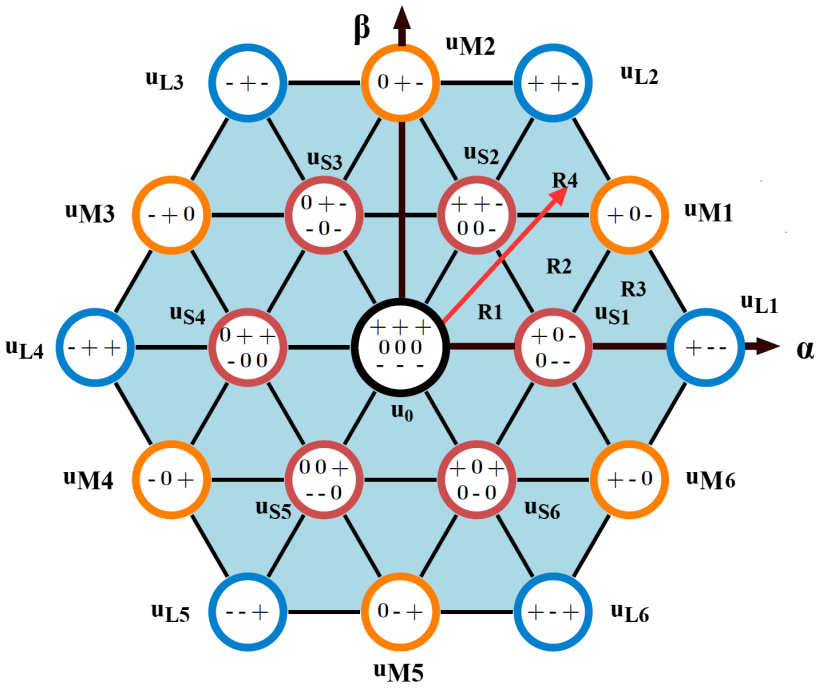


Figura 2.4: Vectores de estado del convertidor NPC de 3 niveles en el plano $\alpha\beta$.

$$u_{S2} \cdot t_1 + u_{M1} \cdot t_2 + u_{L2} \cdot t_3 = u_{\text{ref}} \cdot T_s \tag{2.8}$$

$$t_1 + t_2 + t_3 = T_s \tag{2.9}$$

$$u_{S2} \cdot t_1 + u_{M1} \cdot t_2 + u_{L2} \cdot t_3 = u_{\text{ref}} \cdot (t_1 + t_2 + t_3) \tag{2.10}$$

Para el cálculo de estos tiempos se descompone la referencia y los vectores de estado en sus componentes reales e imaginarias de la forma:

$$u_{ref} = u_{ref,\alpha} + j u_{ref,\beta} \tag{2.11}$$

$$u_{S2} = u_{S2,\alpha} + j u_{S2,\beta} \tag{2.12}$$

$$u_{M1} = u_{M1,\alpha} + j u_{M1,\beta} \tag{2.13}$$

$$u_{L2} = u_{L2,\alpha} + j u_{L2,\beta} \tag{2.14}$$

Se agrupa cada tipo de componente en un sistema de ecuaciones matriciales, en que u_{ref} es la referencia, M es la matriz de vectores de estado y T es el vector de tiempo, según la ecuación (2.15). Invirtiendo la matriz de estados M y definiendo una nueva matriz M^{-1}, despejando T, de acuerdo a la ecuación (2.17), se obtienen los *dwell times* para el sector especificado [17].

$$u_{ref} = M \cdot T \tag{2.15}$$

$$\begin{bmatrix} u_{ref,\alpha} \\ u_{ref,\beta} \\ 1 \end{bmatrix} = \begin{bmatrix} u_{S2,\alpha} & u_{M1,\alpha} & u_{L2,\alpha} \\ u_{S2,\beta} & u_{M1,\beta} & u_{L2,\beta} \\ 1 & 1 & 1 \end{bmatrix} \cdot \begin{bmatrix} t_1 \\ t_2 \\ t_3 \end{bmatrix} \tag{2.16}$$

$$T = M^{-1} \cdot u_{ref} \tag{2.17}$$

$$\begin{bmatrix} t_1 \\ t_2 \\ t_3 \end{bmatrix} = \begin{bmatrix} u_{S2,\alpha} & u_{M1,\alpha} & u_{L2,\alpha} \\ u_{S2,\beta} & u_{M1,\beta} & u_{L2,\beta} \\ 1 & 1 & 1 \end{bmatrix}^{-1} \cdot \begin{bmatrix} u_{ref,\alpha} \\ u_{ref,\beta} \\ 1 \end{bmatrix} \tag{2.18}$$

2.6.2. Secuencia de conmutación

En el contexto de la SVM, los vectores asociados a una región específica se organizan en un patrón secuencial en el plano de los vectores espaciales. Cada uno de estos vectores representa un estado de conmutación que se activa durante un ciclo de muestreo T_s. Para un NPC-3L, una selección óptima en el orden secuencial de los vectores de conmutación es primordial para cumplir con las demandas de rendimiento y eficiencia del inversor [17].

La secuencia de conmutación se determina al asociar cada estado de conmutación con una duración específica dentro del ciclo de PWM. Los vectores de tensión se activan secuencialmente para proporcionar la tensión de salida deseada, teniendo un enfoque en disminuir las pérdidas de conmutación y maximizar la eficiencia del sistema, minimizando la desviación del voltaje de punto neutro (NP). La tensión NP, que es la tensión entre el punto de unión de los condensadores al punto negativo del DC-Link, definida como v_n, depende del tipo de vector que esté actuando en la conmutación entre distintos estados positivos y negativos a la salida de las tres fases. Según el tipo de vector que esté actuando en este proceso, se elevará, disminuirá o mantendrá sin variación la tensión de punto neutro. Se puede resumir la forma en que influye cada vector a la desviación NP de la siguiente forma [17] [7] [18]:

- Los zero vector u_0 y los large vectors u_{L1} a u_{L6} no afectan la tensión del punto neutro v_n.
- Los small vectors u_{S1} a u_{S6} tienen una influencia dominante sobre v_n. Un small vector de tipo P provoca un aumento en v_n, mientras que un small vector de tipo N causa una disminución en v_n.
- Los medium vectors u_{M1} a u_{M6} también afectan v_n, pero la dirección de la desviación de voltaje es indefinida.

Es en este contexto que una de las secuencias de conmutación más utilizadas es la secuencia de siete segmentos simétrica (7S-SS), la cual reduce significativamente las pérdidas

de conmutación y mejora la estabilidad del voltaje en el punto neutro (NP), evitando transiciones directas entre los estados +1 y -1. Esta técnica aprovecha la redundancia de los *small vectors* y cero, comenzando con el vector más próximo al punto de muestreo, denominado *small vector* dominante. En este sentido, es posible dividir el espacio de vectores en doce sectores en lugar de seis y en 3 regiones por cada sector, proporcionando así una identificación más sencilla del vector dominante para las regiones 1 y 2 de cada sector [1] [16]. Como se muestra en la figura 2.5, se tienen 12 sectores, pares e impares, denominados S, y cada región se nombra como $R_{(S+n)}$, $n \in \{1, 2, 3\}$ [14] [19] [20].

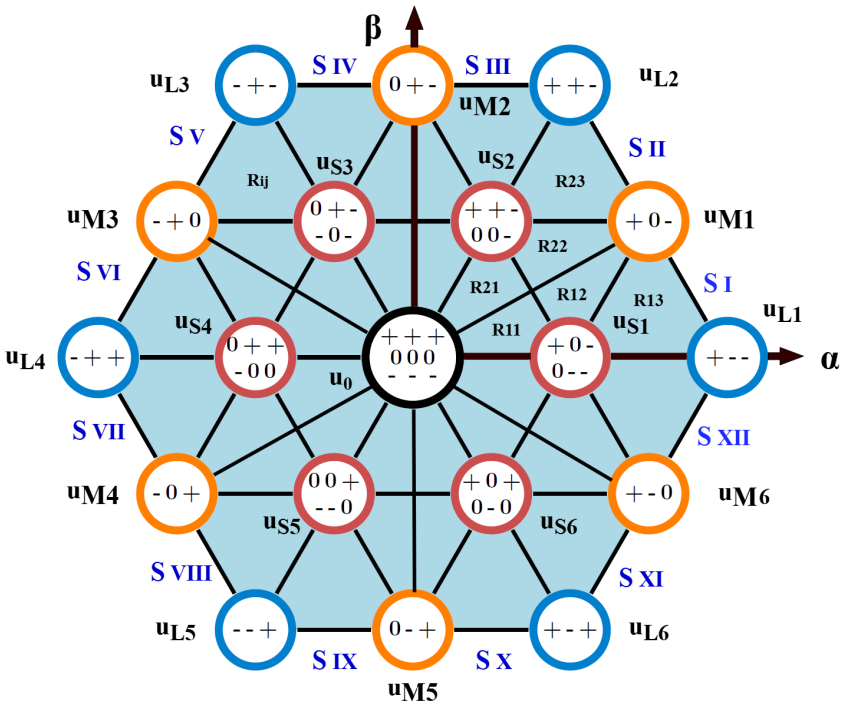


Figura 2.5: Estados de conmutación NPC-3L, con 12 sectores para la minimización del voltaje de punto neutro.

Con esta nueva denominación, las regiones de cada sector pueden tener dos secuencias dependiendo del tipo de vector u_S^+ o u_S^- con el que esta empiece.

Al ser simétrica esta secuencia, divide el tiempo de muestreo T_s en $T_0 = T_s/2$, como se ve en la figura 2.6, en que la secuencia de ida, desde el inicio hasta T_0, es igual a la secuencia de vuelta desde T_0 a T_s. En consecuencia cada periodo de muestreo involucra solo una transición de estado en cada fase [7].

El tiempo de aplicación de los *small vectors* tipo P o N con el que inicia la secuencia, ya sea de tipo dominante en las regiones 1 y 2, o único en las regiones tipo 3, deben ser repartidos equitativamente entre estados positivos y negativos. Como ejemplo, en la región 3 del sector 2 (23), cuya secuencia es u_1, u_2, u_0, el tiempo de aplicación del vector u_1, debe ser $t_1/2$ para u_{S1}^- y u_{S1}^+, y como u_{S1}^- se encuentra al inicio y final, el tiempo $t_1/2$ se

reparte en $t_1/4$, tal y como se muestra en la secuencia de la tabla 2.3 y en la figura 2.6. Por ende, la 7S-SS permite balancear el voltaje de punto neutro, ya que las corrientes generadas por vectores tipo N son compensadas por los tipo P [7].

Tabla 2.3: Secuencia de conmutación 7S-SS para el vector de referencia ubicado en la región 23, sector II.

Segmento	**1**	**2**	**3**	**4**	**5**	**6**	**7**
Vector	u_{S2}^{-}	u_{M1}	u_{L2}	u_{S2}^{+}	u_{L2}	u_{M1}	u_{S2}^{-}
Estado	{0 0 -}	{+ 0 -}	{+ + -}	{+ + }	{+ + -}	{+ 0 -}	{0 0 -}
Tiempo	$\frac{t_1}{4}$	$\frac{t_2}{2}$	$\frac{t_3}{2}$	$\frac{t_1}{4}$	$\frac{t_3}{2}$	$\frac{t_2}{2}$	$\frac{t_1}{4}$

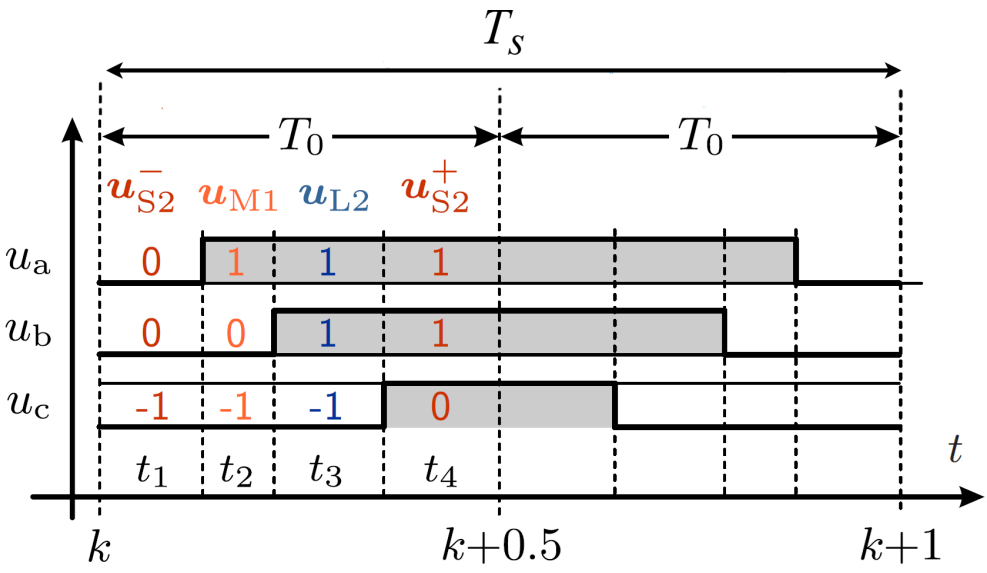


Figura 2.6: Secuencia de conmutación 7S-SS para el vector de referencia ubicado en la región 23, sector II.

Las secuencias para los primeros dos sectores, utilizando como vector de partida uno de tipo negativo, se muestran en la tabla 2.4. El resto de 7S-SS que serán usadas se ilustran en el anexo A.1, al final del documento.

Tabla 2.4: Secuencias de conmutación de siete segmentos para los sectores I y II.

	Sectores I - II					
7S-SS	**11**	**21**	**12**	**22**	**13**	**23**
1	u_{S1}^{-} {0–}	u_{S2}^{-} {00-}	u_{S1}^{-} {0–}	u_{S2}^{-} {00-}	u_{S1}^{-} {0–}	u_{S2}^{-} {00-}
2	u_{S2}^{-} {00-}	u_0 {000}	u_{S2}^{-} {00-}	u_{M1} {+0-}	u_{L1} {+–}	u_{M1} {+0-}
3	u_0 {000}	u_{S1}^{+} {+00}	u_{M1} {+0-}	u_{S1}^{+} {+00}	u_{M1} {+0-}	u_{L2} {++-}
4	u_{S1}^{+} {+00}	u_{S2}^{+} {++0}	u_{S1}^{+} {+00}	u_{S2}^{+} {++0}	u_{S1}^{+} {+00}	u_{S2}^{+} {++0}
5	u_0 {000}	u_{S1}^{+} {+00}	u_{M1} {+0-}	u_{S1}^{+} {+00}	u_{M1} {+0-}	u_{L2} {++-}
6	u_{S2}^{-} {00-}	u_0 {000}	u_{S2}^{-} {00-}	u_{M1} {+0-}	u_{L1} {+–}	u_{M1} {+0-}
7	u_{S1}^{-} {0–}	u_{S2}^{-} {00-}	u_{S1}^{-} {0–}	u_{S2}^{-} {00-}	u_{S1}^{-} {0–}	u_{S2}^{-} {00-}

2.6.3. Contenido armónico

Las señales periódicas pueden ser representadas por una serie de Fourier, la cual es una suma infinita de señales sinusoidales de frecuencia múltiplo de la frecuencia fundamental. Estas últimas son conocidas como armónicas. En el contexto de la modulación CB-PWM, la interacción entre la frecuencia de la portadora y la frecuencia de la señal moduladora genera una serie de armónicas. Estos armónicos afectan la calidad de la señal de salida, introduciendo componentes no deseadas en el sistema, reduciendo la eficiencia y el desempeño de los convertidores [4].

Las tensiones modo común, que se definen como el valor promedio de los voltajes de las tres fases, tienen la misma amplitud, frecuencia y fase en todas ellas, y que en el contexto de las componentes de secuencia en sistemas trifasicos, son de secuencia 0. Esta característica puede ayudar a aumentar el rendimiento del bus DC incrementando el índice de modulación. Estas se definen de acuerdo a la ecuación 3.11 [4].

$$v_0 = \frac{1}{3}(v_a + v_b + v_c) \tag{2.19}$$

En modulación de ondas trifásicas sinusoidales, los armónicos de frecuencia $\nu \in \{0, 3, 6, \ldots\}$ están en fase y se consideran armónicos de modo común, al igual que los que son múltiplos de la portadora, ya que afectan de igual forma a cada fase en misma amplitud y frecuencia. Estos armónicos se cancelan con el voltaje entre líneas y no generan corriente cuando el punto neutro de carga en estrella está flotando. Por tanto, en este tipo de modulación, los armónicos que se presentan se conocen como; armónicos de base, que son múltiplos de la sinusoidal, y sus bandas laterales pares e impares [4].

- **Componente Fundamental:**

$$f_1 \tag{2.20}$$

- **Armónicos de Base:**

$$\nu f_1 \quad \text{con} \quad \nu \in \{5, 7, 11, 13, \ldots\} \tag{2.21}$$

- **Armónicos de Banda Lateral:**

$$f_{\mu\nu} = \mu f_c + \nu f_1 \quad \text{con} \quad \begin{cases} \mu \in \{1, 3, 5, \ldots\} & \text{y} \quad \nu \in \{\pm 2, \pm 4, \pm 8, \pm 10, \ldots\} \\ \mu \in \{2, 4, 6, \ldots\} & \text{y} \quad \nu \in \{\pm 1, \pm 5, \pm 7, \pm 11, \ldots\} \end{cases} \tag{2.22}$$

La implementación de un PWM muestreado de forma regular simétrica permite la atenuación de las de orden par y de base. Por otro lado, el uso de modulación Space Vector Modulation (SVM) permite un THD menor, al ser implementadas secuencias de conmutación que minimizan los armónicos, permitiendo además un mejor control del voltaje de salida, optimizando la conmutación de los IGBT [4].

Una forma de medir la presencia de armónicos en una señal, es estimando la distorsión armónica total (THD). Este indicador se calcula de acuerdo a la ecuación 2.26

$$\text{THD} = \frac{\sqrt{\sum_{n=2}^{\infty} \hat{X}_n^2}}{\hat{X}_1} \times 100\,\% \tag{2.23}$$

- $\hat{X}_1$: RMS de la componente fundamental de la señal.
- $\hat{X}_n$: RMS del n-ésimo armónico de la señal, donde $n = 2, 3, 4, \ldots$.

2.6.4. Índice de modulación

Al usar SVM, el máximo valor que se puede sintetizar en una fase del convertidor corresponde a la circunferencia circunscrita en el hexágono de 27 estados, siendo este valor $\frac{V_d}{\sqrt{3}}$.

Este valor se puede comparar con la tensión máxima que puede ser sintetizada por ambos tipos de modulaciones, de acuerdo a la ecuación:

$$\frac{V_{\text{abc\_SVM}}}{V_{\text{abc\_PWM}}} = \frac{V_d}{\sqrt{3}} \cdot \frac{2}{V_d} = 1{,}155 V_d \tag{2.24}$$

Se define un nuevo índice de modulación m_a para SVM desde 0 a 1 según la ecuación (2.49), que corresponde al rango lineal. Este índice puede aumentarse, entrando en una zona no lineal, lo que implicaría la inyección de armónicos de baja frecuencia. que no son de modo común, por lo que en general es evitable en la mayoría de aplicaciones industriales.

$$m_a = \frac{\sqrt{3} V_{\text{ref}}}{V_d} = 1, \quad 0 \leq m_a \leq 1 \tag{2.25}$$

2.7. Máquina asincrónica

La máquina asincrónica o de inducción es extensamente utilizada debido a su alta eficiencia, fácil mantenimiento y versatilidad en una gran cantidad de sistemas relacionados con la conversión electromecánica de energía, tales como la generación de energía, procesos industriales y sistemas de tracción. Existen dos tipos principales: las de tipo bobinado, que incluyen devanados en el rotor. Estas permiten un control más preciso al variar la resistencia del rotor o mediante la doble alimentación estator/rotor, facilitando así el ajuste del torque y la velocidad en aplicaciones específicas como generación eólica por turbinas. Por otro lado, las máquinas de jaula de ardilla presentan una construcción más sencilla, compuesta por un rotor con barras cortocircuitadas paralelas, haciendo de ellas una opción robusta y fiable para usos industriales generales [21] [22].

La máquina de inducción se modela utilizando variables de estado complejas, lo que permite conservar con precisión tanto la amplitud como la posición angular de las distribuciones sinusoidales de fuerza magnetomotriz y flujo magnético. Este enfoque es útil para visualizar el comportamiento dinámico de la máquina, lo cual es fundamental para implementar técnicas de control avanzadas que requieren un alto rendimiento en los tiempos de respuesta en las variables de control. Otra forma de abordar el modelamiento de la máquina, es el que se enfoca en el estado estacionario, usado para cálculo de rendimientos y parámetros eléctricos mediante la representación de un circuito equivalente tradicional.

Para describir el modelamiento de la máquina de inducción (MAS) se consideran las siguientes condiciones: el rotor es isotrópico, el devanado de rotor es simétrico y no tiene devanado de campo [22].

2.7.1. Modelamiento dinámico

El estator de la MAS se modela como una transformación lineal que describe variables desde el plano abc al plano $\alpha\beta$, por medio de la transformación de Clarke invariante en amplitud $T_{\alpha\beta}$, lo que transforma el sistema trifásico en uno equivalente bifásico, tal y como se muestra en la ecuación (2.26).

$$T_{\alpha\beta} = \frac{2}{3}\begin{bmatrix} \frac{1}{2} & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \tag{2.26}$$

Si se aplica esta transformación a la ecuación que modela las variables del estator, se obtiene:

$$\begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = R_s \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} + \frac{d}{dt} \begin{bmatrix} \psi_a \\ \psi_b \\ \psi_c \end{bmatrix} \tag{2.27}$$

$$T_{\alpha\beta}\mathbf{v}_{abc} = R_s T_{\alpha\beta}\mathbf{i}_{abc} + \frac{d}{dt} T_{\alpha\beta}\boldsymbol{\psi}_{abc} \tag{2.28}$$

Por lo tanto, el sistema que describe el comportamiento dinámico del estator referido a su propio sistema de coordenadas queda representado por:

$$\mathbf{v}_s = R_s\mathbf{i}_s + \frac{d\boldsymbol{\psi}_s}{dt} \tag{2.29}$$

En donde $\mathbf{v}_s$ es el fasor espacial de tensión del estator:

$$\mathbf{v}_s = v_{s\alpha} + jv_{s\beta} \tag{2.30}$$

La corriente $\mathbf{i}_s$ es el fasor espacial de corriente del estator:

$$\mathbf{i}_s = i_{s\alpha} + ji_{s\beta} \tag{2.31}$$

El enlace de flujo del estator $\boldsymbol{\psi}_s$ corresponde a:

$$\boldsymbol{\psi}_s = L_s\mathbf{i}_s + L_{sr}\mathbf{i}_r e^{j\theta} = \psi_{s\alpha} + j\psi_{s\beta} \tag{2.32}$$

Cada parámetro de las ecuaciones anteriores se define como:

- R_s: resistencia del estator.
- L_s: inductancia propia del estator.
- L_{sr}: inductancia mutua entre el devanado del estator y el rotor.

De igual forma, el rotor puede ser modelado como dos bobinas ortogonales D-Q, en las que se inducen corrientes al variar el flujo enlazado. En el caso del rotor jaula de ardilla, la tensión inducida es 0, ya que se encuentra cortocircuitado en sus terminales. El fasor de tensión del rotor, en su propio sistema de referencia, queda representado por:

$$\mathbf{v}_r = R_r\mathbf{i}_r + \frac{d\boldsymbol{\psi}_r}{dt} \tag{2.33}$$

Las corrientes del rotor son:

$$\mathbf{i}_r = i_{rD} + j i_{rQ} \tag{2.34}$$

Finalmente, el fasor de enlace de flujo es:

$$\boldsymbol{\psi}_r = L_r \mathbf{i}_r + L_{rs} \mathbf{i}_s e^{-j\theta} \tag{2.35}$$

Cada parámetro de las ecuaciones descritas anteriormente es:

- R_r: resistencia del rotor.
- L_r: inductancia propia del rotor.
- L_{rs}: inductancia mutua entre el devanado del rotor y el estator.

Si las variables del estator y rotor se llevan a un sistema de referencia común que rota a la velocidad sincrónica ω_1 se pueden describir como [21] [4]:

$$\mathbf{V}_s = R_s \mathbf{I}_s + \frac{d\boldsymbol{\psi}_s}{dt} + j\omega_s \boldsymbol{\psi}_s \tag{2.36}$$

$$\mathbf{V}_{rs} = R_r \mathbf{I}_r + \frac{d\boldsymbol{\psi}_{rs}}{dt} + j(\omega_s - \omega)\boldsymbol{\psi}_r \tag{2.37}$$

$$\boldsymbol{\psi}_s = L_s \mathbf{I}_s + L_{sr} \mathbf{I}_r \tag{2.38}$$

$$\boldsymbol{\psi}_{rs} = L_r \mathbf{I}_r + L_{rs} \mathbf{I}_s \tag{2.39}$$

El par electromagnético desarrollado por la máquina de inducción, en función del enlace de flujo del estator y la corriente del estator, se puede expresar como:

$$T_e = -\frac{3}{2} p \, \mathrm{Im}\{\boldsymbol{\psi}_s \mathbf{i}_s^*\} \tag{2.40}$$

El comportamiento dinámico del rotor de la máquina se describe mediante la ecuación de equilibrio mecánico. Al suponer que el eje mecánico es un cuerpo rígido (sin elasticidad), la ecuación de equilibrio se expresa como:

$$\frac{J}{p}\frac{d\omega}{dt} + \frac{D}{p}\omega = T_e + T_m \tag{2.41}$$

En donde cada elemento de la expresión matemática significa:

- p: número de pares de polos de la máquina de inducción.
- J: momento de inercia del sistema.
- D: coeficiente de amortiguamiento rotacional.
- ω: velocidad angular en radianes eléctricos por segundo.
- T_m: par mecánico aplicado al eje (positivo en régimen motor).
- T_e: par electromagnético generado por la máquina de inducción.

2.7.2. Modelamiento clásico

Otra forma de representar la máquina de inducción es con el circuito equivalente de la figura 2.7 [2] [4].

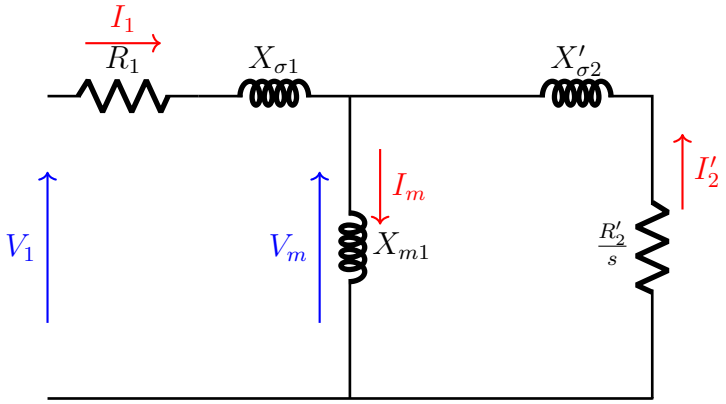


Figura 2.7: Circuito equivalente de la máquina de inducción.

La reactancia principal asociada al flujo común entre el estator y el rotor está dada por la siguiente ecuación:

$$X_{m1} = \frac{N_1}{N_2} X_{21} \tag{2.42}$$

Por otro lado, la reactancia de dispersión del estator puede expresarse como:

$$X_{\sigma 1} = X_1 - \frac{N_1}{N_2} X_{21} = X_1 - X_{m1} \tag{2.43}$$

La resistencia del rotor referida al estator está relacionada mediante la siguiente expresión:

$$R_2' = R_2 \left(\frac{X_{21}}{X_{12}}\right) \left(\frac{N_1}{N_2}\right)^2 \tag{2.44}$$

La reactancia de dispersión del rotor referida al estator se determina de acuerdo con la ecuación:

$$X_{\sigma 2}' = \left(X_2 - \frac{N_2}{N_1} X_{12}\right) \frac{X_{21}}{X_{12}} \left(\frac{N_1}{N_2}\right)^2 \tag{2.45}$$

La ecuación de tensión en el estator V_1 del circuito equivalente clásico está dada por:

$$V_1 = I_1 R_1 + I_1 j X_{\sigma 1} + j X_{m1} I_m \tag{2.46}$$

La ecuación del rotor del circuito, que está cortocircuitado, queda modelada por:

$$0 = \left(\frac{R_2'}{s} + j X_{\sigma 2}'\right) I_2' + j X_{m1} I_m \tag{2.47}$$

El torque electromagnético queda definido por:

$$T_e = \frac{p}{\omega_1} \cdot \frac{R_2'}{s} {I_2'}^2 \tag{2.48}$$

En que cada parámetro definido anteriormente corresponde a:

- X_{m1}: reactancia de magnetización del estator.
- $X_{\sigma 1}$: reactancia de dispersión del estator.
- R_2': resistencia del rotor referida al estator.
- $X_{\sigma 2}'$: reactancia de dispersión del rotor referida al estator.
- X_1: reactancia propia del estator.
- X_2: reactancia propia del rotor.
- N_1, N_2: número de vueltas en el estator y el rotor, respectivamente.
- s: deslizamiento del rotor.
- ω_1: velocidad síncrónica.

2.7.3. Control escalar

El control escalar en máquinas de inducción se centra en mantener la magnitud de flujo constante cercana a su valor nominal. Esto se logra ajustando el fasor espacial de tensión en relación a la frecuencia de estator deseada, ya que el flujo es proporcional a la tensión, según la ecuación de estator (2.49).

$$\mathbf{v}_s = R_s \mathbf{i}_s + \frac{d\boldsymbol{\psi}_s}{dt} + j\omega_s \boldsymbol{\psi}_s \tag{2.49}$$

Si se ignora la resistencia de estator R_s, la tensión en un marco de referencia rotatorio se simplifica en:

$$\mathbf{v}_s = \frac{d\boldsymbol{\psi}_s}{dt} + j\omega_s \boldsymbol{\psi}_s \tag{2.50}$$

Si se despeja el flujo del estator, se concluye que para que este no varíe se debe modificar en igual proporción la tensión y la frecuencia de alimentación:

$$\frac{\mathbf{v}_s}{\omega_s} = \boldsymbol{\psi}_s \tag{2.51}$$

La finalidad de este control es regular la velocidad de la máquina de forma sencilla al desplazar las curvas de torque-velocidad, obteniendo un torque máximo constante. En niveles de velocidad baja, la resistencia de estator no es despreciable, por lo que para compensar la caída de voltaje, y en consecuencia la caída de flujo y torque, se incrementa la relación V/f por aumento de tensión. En la figura 2.8 se muestra el perfil de curvas de torque-velocidad al usar variación de frecuencia [14].

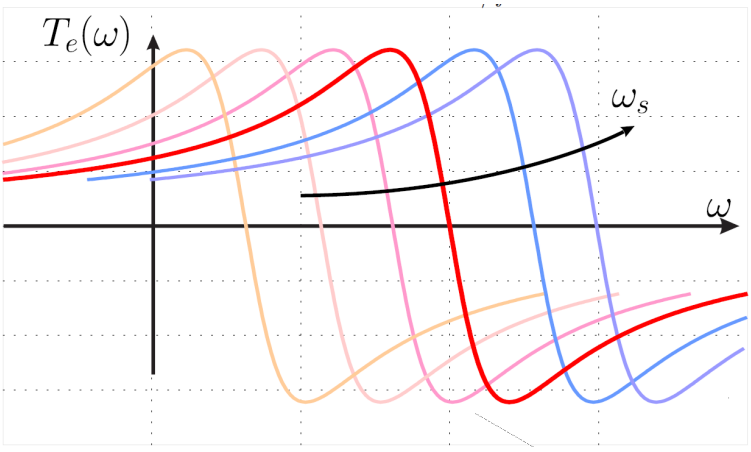


Figura 2.8: Curvas de torque-velocidad de la máquina de inducción [2].

Capítulo 3

Prototipo de convertidor NPC

3.1. Descripción

El prototipo de convertidor es un modelo previamente diseñado [9], el cual es modular y consta de 5 tarjetas intercambiables. Está conformado por 4 piernas, de las cuales 3 se utilizan activamente para este trabajo, dejando la cuarta sin control de modulación. Este convertidor puede funcionar como *Flying Capacitor* o NPC. Los cuatro submódulos, denominados VDC-LINK, DTC, SENSOR y POWER, se conectan entre sí a una placa base llamada MOTHERBOARD, formando una pierna. Las funciones de cada uno de los submódulos se describen en las siguientes secciones.

Los circuitos y componentes de cada tarjeta se encuentran disponibles en un documento de proyectos de Altium, y se pueden ver en el anexo A.6. El detalle de los esquemáticos de Altium se encuentra en el anexo A.4, y la descripción de cada componente en el anexo A.5.

Para dimensionar el funcionamiento, poder armar el prototipo y probarlo, es necesario conocer las especificaciones nominales, las cuales se muestran en la tabla a continuación.

Tabla 3.1: Parámetros de diseño del Convertidor NPC-3L.

Parámetro	Valor
Tensión de DC-Link	800 V
Corriente de salida	20 A
Potencia de salida	14 kW
Frecuencia de conmutación	20 kHz
Condensadores de DC-Link	1500 µF 400 V
Resistencia de entrada	30 kΩ

3.1.1. Módulo DC-LINK

Este módulo se encarga de hacer de enlace de tensión continua a la entrada del convertidor, consta de dos condensadores de 400 V, 1500 µF, y una resistencia en paralelo de 30 kΩ que actúa como parte del filtro de entrada del convertidor. Estas resistencias protegen contra sobretensiones al descargar los condensadores, dándole estabilidad al sistema, amortiguando las oscilaciones de tensión de los condensadores al cargarse y descargarse en el proceso de conversión de energía. Para este convertidor la constante de tiempo de entrada del sistema resultante es de:

$$\tau = RC = 30\,000\,\Omega \cdot 1500\,\mu\text{F} = 45\,\text{s} \tag{3.1}$$

En la figura 3.1 se presenta el diseño impreso en Altium del submódulo DC-Link, donde se ven los espacios circulares para los condensadores electrolíticos, los nodos del DC-Link para los sectores cuadrados y los espacios para las resistencias de 30 kΩ rectangulares.

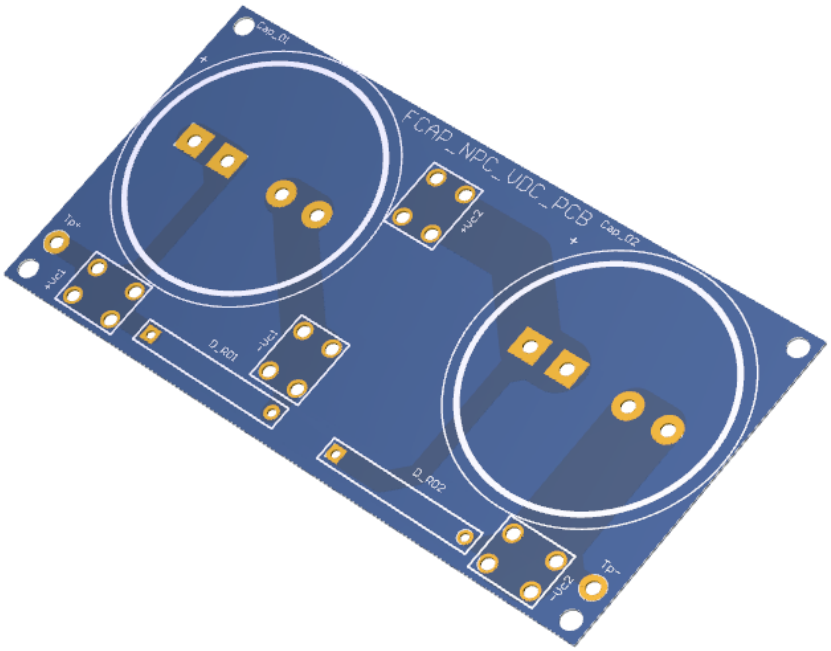


Figura 3.1: Módulo DC-Link, vista superior modelo en 3D de Altium

3.1.2. Módulo DTC

Este módulo genera el tiempo muerto necesario entre estados de IGBT complementarios, de modo que no se produzca un cortocircuito con el DC-Link. Tiene dos receptores de fibra óptica que reciben los pulsos $Sx1$ y $Sx2$ desde la plataforma de control en 5 V, los que

son procesados por compuertas lógicas y una señal habilitadora (ENABLE) que se redirige hacia el submódulo de poder para controlar el encendido y apagado de los IGBT. El tiempo muerto queda definido por la constante de tiempo dominada por la resistencia de 6,8 kΩ y la capacitancia de 470 pF, dando como resultado un tiempo de:

$$\tau = RC = 6800\,\Omega \cdot \text{ pF} = 3{,}196\,\mu\text{s} \tag{3.2}$$

En la siguiente figura se observa el circuito de generación de tiempo muerto, para la señal de entrada RX2, que corresponde a $Sx2$.

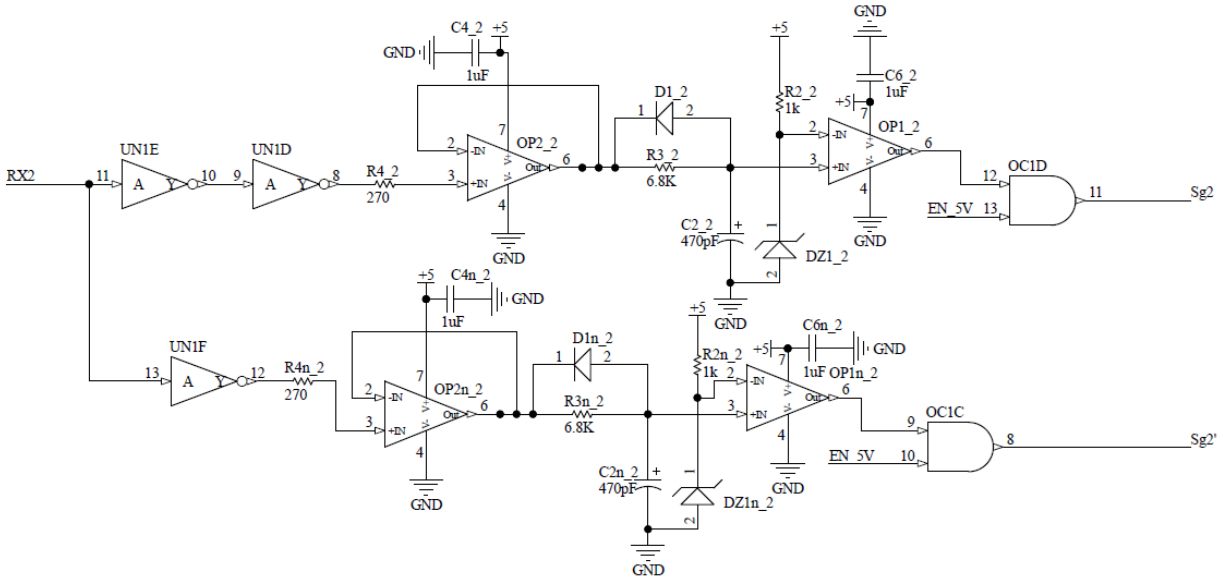


Figura 3.2: Circuito de generación de tiempo muerto en el módulo DTC.

En la figura 3.3 se muestra la placa DTC, la cual cuenta con espacios para circuitos lógicos, receptores de fibra óptica, resistencias, capacitancias, diodos Schottky de alta velocidad, diodos Zener y conectores Molex para el acoplamiento con el submódulo de poder.

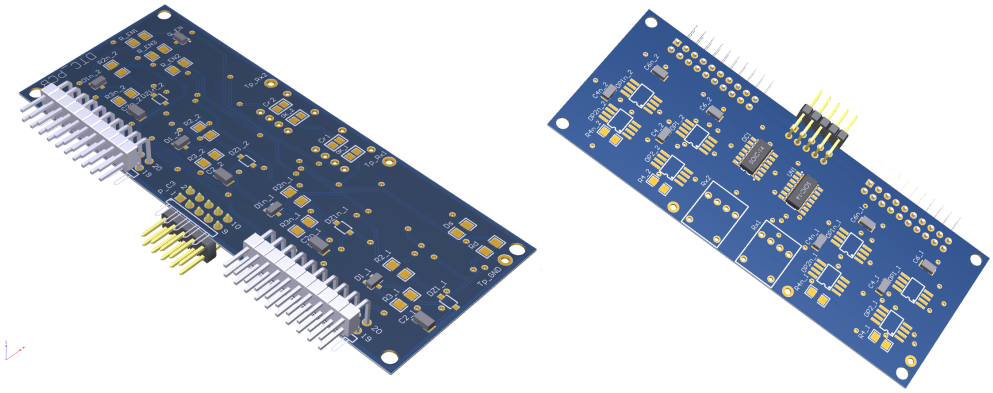


Figura 3.3: Módulo DTC, modelo en 3D de Altium

3.1.3. Módulo POWER

Este módulo se encarga de transmitir la potencia desde el DC-Link hacia la carga, por medio de IGBT de alta potencia y diodos. Cuenta con tres subcircuitos principales, uno de aislación de la alimentación de 5 V para circuitos integrados, otro para la aislación de la señal PWM y control de la señal de gate de los IGBT, y el circuito integrado NPC (SK20MLI066), que incluye los cuatro IGBT, los diodos de bloqueo y los diodos antiparalelo. Accesoriamente tiene puntos de medición para +Vdc, -Vdc, punto neutro V_{dcn} y punto de salida V_o, además de conectores Molex para unirse a la DTC y la placa de medición (SENSOR). En la figura 3.4 se muestra la PCB, en su vista superior, en donde se aprecia un espacio central para el emplazamiento del módulo NPC, otro para los convertidores DC-DC (SH01S0515A) y puntos de testeo. Por inferior, optoacopladores y gate drivers (HCPL-3120), resistencias y condensadores.

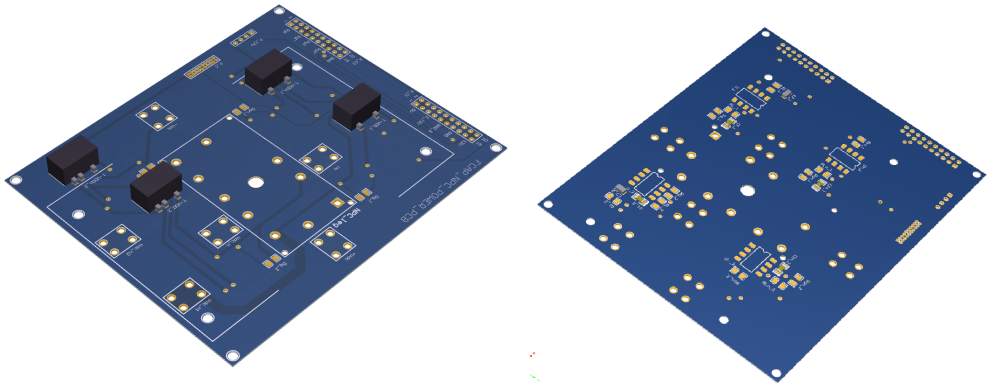


Figura 3.4: Módulo POWER, modelo en 3D de Altium

3.1.4. Módulo SENSOR

Esta placa se encarga de medir las señales de tensión y corriente, siendo esta última de principal interés para los distintos esquemas de control que se pueden implementar en el inversor. Cuenta con cinco subcircuitos principales, uno de transducción de corriente por medio de un sensor de efecto Hall (LA-55P), que sigue en cascada con un circuito de medición de corriente, con una equivalencia de 0.4 V por ampere, y tres circuitos para sensar tensión de salida V_o y de V_{dc+} y V_{dc-}. Cada circuito cuenta con amplificadores operacionales, resistencias y condensadores que filtran las señales.

Las especificaciones principales del sensor de medición se muestran en la tabla a continuación.

Tabla 3.2: Especificaciones del transductor de corriente LA-55P.

Parámetro	Valor
Corriente primaria nominal RMS	50 A
Corriente nominal secundaria RMS	50 mA
Resistencia de medición R_m	100 Ω
Razón de vueltas N_p/N_s	1:1000
Número de vueltas conductor primario	4
Razón de medición V/A	0.4
Corriente nominal del convertidor RMS	20 A
Tensión nominal de medición RMS	8 V

La razón de tensión por ampere se calcula según la siguiente fórmula:

$$\frac{V}{A} = \frac{N_p}{N_s} \cdot R_m \cdot N_{\text{vuelta}} = \frac{1}{1000} \cdot 100 \cdot 4 = 0{,}4 \tag{3.3}$$

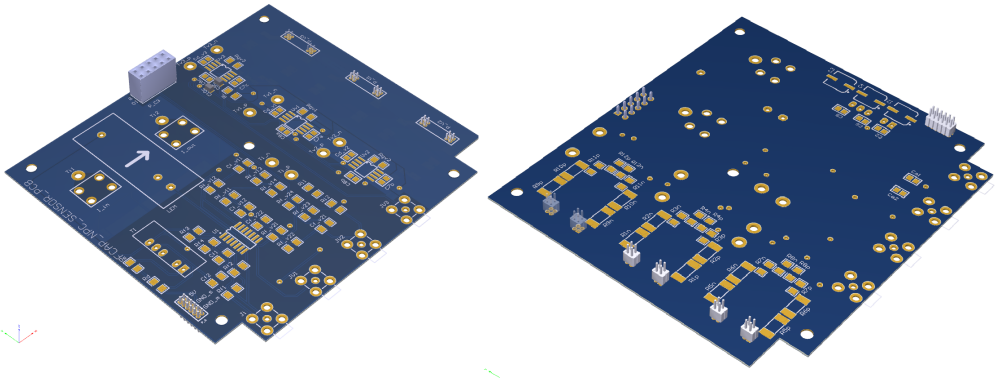


Figura 3.5: Módulo SENSOR, modelo en 3D de Altium

En la figura 3.5 se muestra el modelo de PCB del submódulo SENSOR, en su vista superior e inferior. Para la salida de las señales se tienen cuatro terminales SMA, uno

para cada medición. Por diseño se deja libertad para el cálculo de filtros de segundo orden, dejando los espacios para las resistencias y condensadores de filtrado abiertos, según se puede ver en la la figura 3.6.

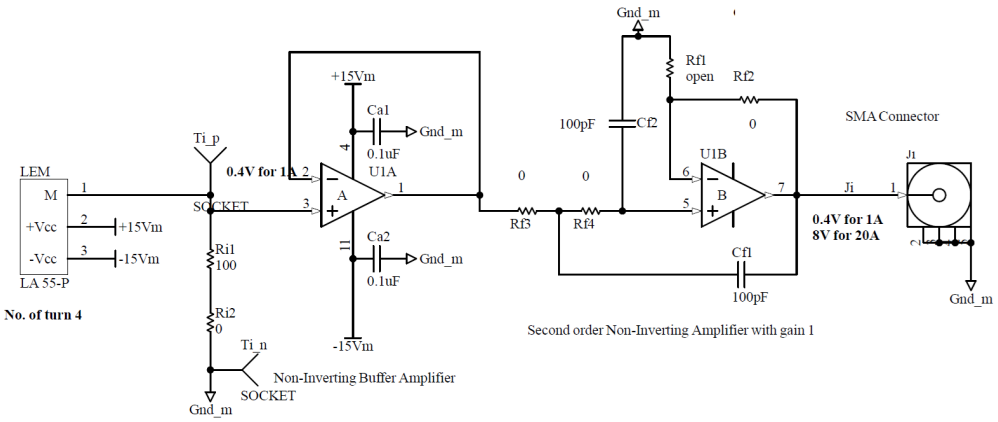


Figura 3.6: Circuito de medición de corriente, módulo SENSOR

3.1.5. Módulo MOTHERBOARD

El último módulo del convertidor es el que agrupa todos los demás como base, conocido como MOTHERBOARD. Esta se caracteriza por tener pistas anchas para soportar hasta 20 A que provienen del módulo POWER, pistas de medición para la salida y punto neutro, pista de señal ENABLE de 12 V para el control de la tensión de compuerta de los IGBT, pistas de alimentación para los ventiladores en 12 V, y para los circuitos integrados en 5 V, puntos de testeo y terminales de entrada de 15 pines (DIN-POWER H015MS-3) para alimentar el sistema. En la figura 3.7 se muestra por el plano superior la PCB.

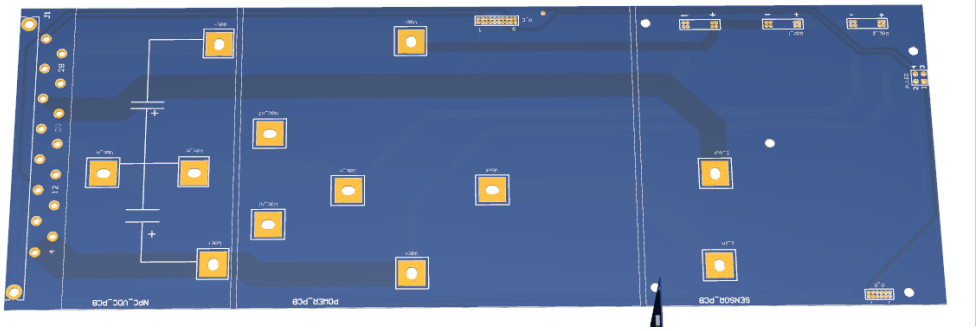


Figura 3.7: Módulo MOTHERBOARD, vista superior, modelo en 3D de Altium

3.2. Ensamblaje y puesta en marcha

En esta etapa se soldaron los componentes a cada placa, partiendo por los electrónicos de superficie tipo SMD, siguiendo con los de orificio pasante y finalmente los conectores físicos. Primero se armó una fase del convertidor, luego las restantes una vez probado su correcto funcionamiento. El armado del convertidor se realizó en el laboratorio de investigación de accionamientos eléctricos (LIAcE) del Departamento de Ingeniería Eléctrica de la Universidad Técnica Federico Santa María (UTFSM). Las pruebas que se usaron para verificar la integridad de los circuitos en cada pierna y en el conjunto total NPC-3L, fueron las siguientes.

- **Prueba de componentes:** Se verificó que los valores de los componentes coincidieran con los especificados por los fabricantes, utilizando un multímetro.
- **Pruebas de conductividad de pistas:** Con los componentes soldados, se midió la conductividad de las pistas entre nodos para comprobar que estos estuvieran conectados efectivamente.
- **Prueba de medición de tiempo muerto y pulsos en los IGBT con modulación PWM:** Sin colocar los módulos de poder del NPC, se probaron cada una de las fases armadas con modulación PWM *level shifted* midiendo los pulsos entre gate y emisor de cada IGBT, constatando la correcta visualización de la señal $Sx1$, $Sx2$ y sus negadas, junto con el tiempo muerto entre cada una.
- **Prueba de fase con alimentación de tensión reducida:** Se alimentó con 30 Vdc la entrada, con la misma modulación PWM y se midió la tensión para cada fase.
- **Prueba del conjunto NPC con tres fases y carga:** Con las mismas condiciones de la prueba anterior, se comprobó el balance entre las corrientes de cada fase, al conectar una carga RL, y se midieron las tensiones de salida.

En la figura 3.8 se visualiza una fase del convertidor ensamblada, sin su ventilador puesto sobre el módulo de poder.

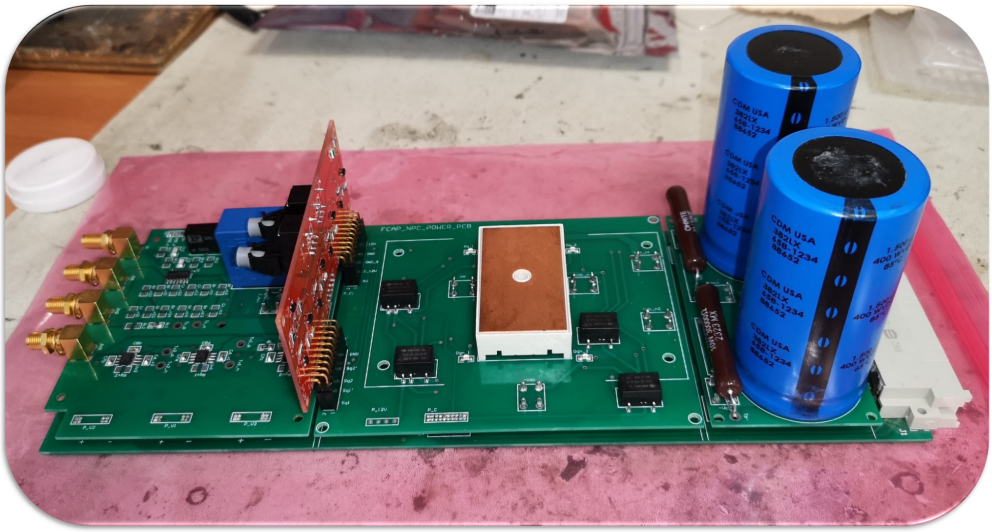


Figura 3.8: Pierna del convertidor NPC-3L.

3.2.1. Problemas detectados

Durante la etapa de armado, fue necesario corregir la alineación del transistor NPN (MMBT2222) encargado de cambiar el nivel de tensión de la señal de ENABLE de 12 V a 5 V en el submódulo DTC. Este problema se detectó debido a la ausencia de luz de los LED de control que van hacia los IGBT, los que no se encendían al no ser polarizados por la señal de 5 V. Al medir los terminales del transistor y revisar el *datasheet* del componente, se descubrió que la base y el emisor estaban intercambiados, como se muestra en la figura 3.9. Para solucionar este inconveniente, se invirtió el transitor respecto al plano de la placa.

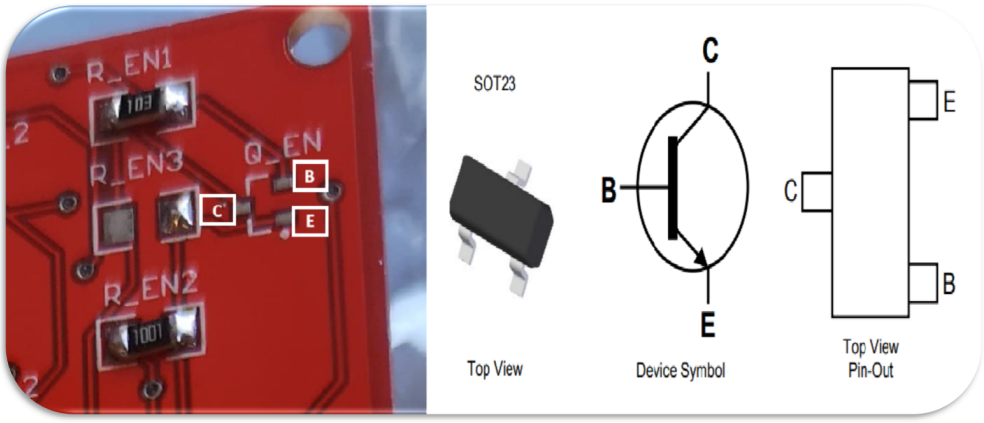


Figura 3.9: Terminales del transistor NPN.

Capítulo 4

Control del convertidor

En este capítulo se presenta el algoritmo de modulación y control del convertidor a usar, en el entorno de programación CodeComposer, el cual está implementado en lenguaje de programación C++ en la plataforma BRAIn, que es la DSP/FPGA encargada de enviar los pulsos de control al inversor por PWM. Este algoritmo se prueba en simulación en el programa PLECS, en un escenario conectado con carga RL, y otro conectado a una máquina de inducción. Por otra parte, se diseña un circuito de protecciones por sobrecorriente para el control del NPC.

4.1. Plataforma de control

La plataforma de control digital BRAIn (Board for Research Academic and Industrial applications), desarrollada en la Universidad Técnica Federico Santa María por el Centro Avanzado de Ingeniería Eléctrica y Electrónica (AC3E) [3], es una tarjeta de procesamiento de señales en tiempo real, de tipo DSP + FPGA, que permite implementar esquemas de control para convertidores de potencia. Es altamente configurable, gracias a sus puertos de entradas digitales/analógicas y salidas digitales, presentando compatibilidad con múltiples tarjetas adicionales, expandiendo su compatibilidad con otros periféricos y dispositivos. Un esquema general de la plataforma se muestra en la figura 4.1.

El DSP (Texas Instruments TMS320C6748 y OMAP-L138) es un procesador de 32 bits que tiene múltiples unidades aritméticas lógicas (ALUs), lo que le permite computar operaciones en paralelo y manejar tareas complejas de procesamiento digital de señales. Tiene una memoria interna de rápido acceso y puede funcionar a frecuencias de hasta 456 MHz. Es capaz de implementar controladores digitales y soporta múltiples protocolos de comunicación [3].

Por otro lado, la FPGA (Xilinx XC7A35T y XC7A50T) permite la implementación de circuitos digitales personalizados, como moduladores PWM y convertidores análogo-digitales (ADC). Proporciona gran flexibilidad al manejar diversas entradas y salidas, así como para interconectarse con múltiples dispositivos periféricos.

El DSP calcula la actuación a partir de un esquema de control predefinido, mientras que la FPGA, con sus unidades moduladoras por ancho de pulso (PWM) integradas, se encarga de enviar las señales de control a los convertidores de potencia y de administrar el funcionamiento de los ADC, los cuales funcionan en el rango de 0 V a 10 V. La tarjeta se polariza con 5 V, y cuenta con 120 GPIOs y 12 ADC [3]. En la figura 4.2, se muestra la plataforma BRAIn utilizada para el control del NPC.

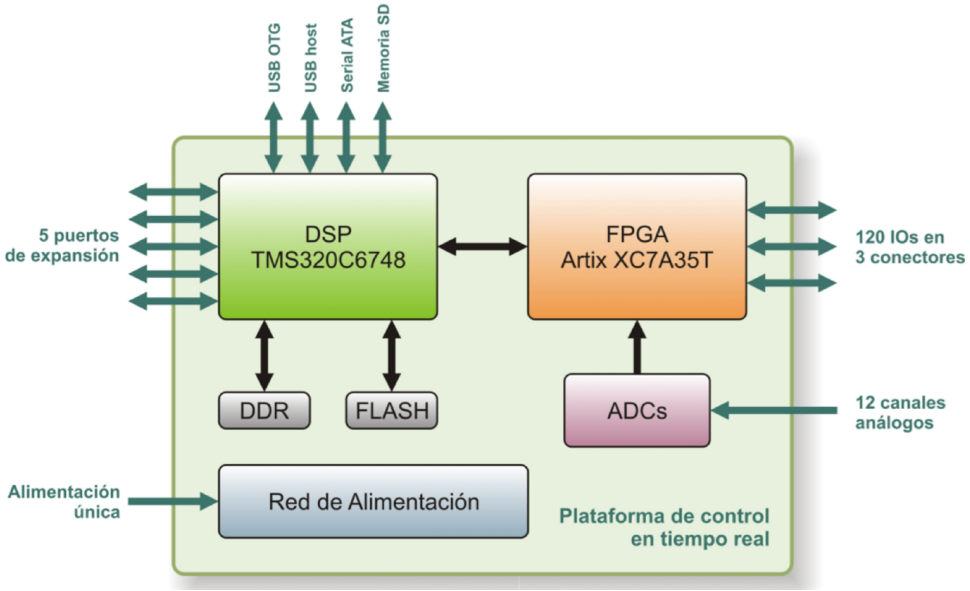


Figura 4.1: Diagrama de bloques de la plataforma BRAIn [3].

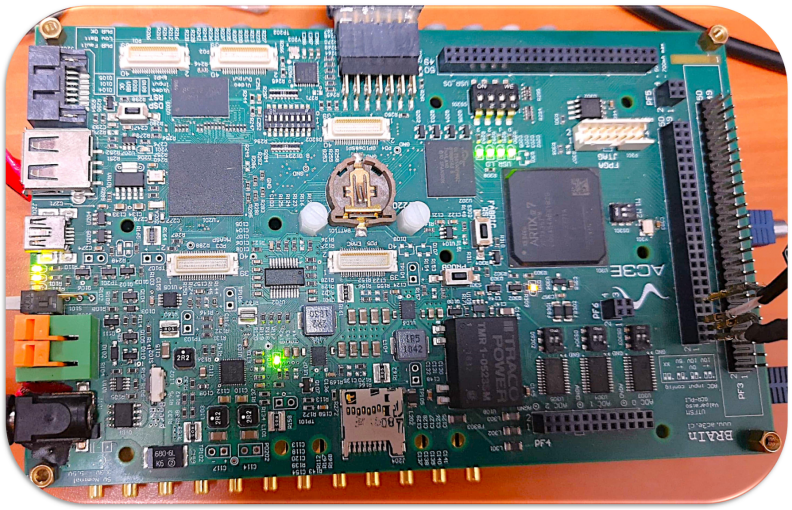


Figura 4.2: Plataforma de control BRAIn.

La FPGA cuenta con un oscilador de 100 MHz, el cual es necesario para todos los procesos de la FPGA, como los moduladores PWM y los conversores ADC.

Cada modulador PWM puede operar de forma sincronizada o de manera independiente, y se puede configurar con las siguientes características:

- **Forma de cuenta:** Cada timer puede contar de forma ascendente (UP), descendente (DN) o ascendente-descendente (UD) entre 0 y un valor definido.
- **Selección de timer:** Se puede seleccionar uno de los cuatro *timers* disponibles, y su divisor de reloj a partir de una frecuencia base de 100 MHz.
- **Eventos generadores de interrupciones:** Se generan eventos de interrupción cuando la cuenta llega a 0 o a un valor máximo o para ambos casos.
- **Valor inicial de la cuenta:** Se configura el valor con el que comienza la cuenta, entre 0 y un valor definido.
- **Pendiente inicial:** Para el modo ascendente-descendente, que genera una señal triangular simétrica, se selecciona la pendiente con que se inicia la cuenta.
- **Operación independiente o sincronizada:** Se configura el modo de funcionamiento de los *timers*, de forma independiente o sincronizados, y se define un tiempo muerto entre la señal PWM y su negada.

Las máscaras que configuran cada parámetro de los moduladores se presentan en la tabla a continuación:

Tabla 4.1: Configuración de los moduladores PWM.

Parámetro	**Máscara**
Forma de cuenta	`MOD_MODE_UP`, `MOD_MODE_DN`, `MOD_MODE_UD`
Selección de timer	`MOD_CLKSEL_`x, $x \in \{0, 1, 2, 3\}$
Divisor del timer	`CLKSTBDIV`x, $x \in \{0, 1, 2, 3\}$
Eventos de interrupciones	Mx`MAXCNT`, `MOD_INT_MINMAX`, $x \in \{0, 1, 2, 3\}$
Valor inicial de cuenta	Mx`LOAD` $= 0$, $x \in \{0, 1, 2, 3\}$
Pendiente inicial	`MOD_INISLO_UP`, `MOD_INISLO_DN`
Operación sincronizada	`MOD_SYNC_TO_MASTER`
Selección de tiempo muerto	`MOD_PWM_DT`

4.2. Esquema de control

El esquema de control a implementar es un V/f sin realimentación, que consiste en fijar una referencia de velocidad ω^* , que ingresa a la plataforma de control, la que luego ejecuta un algoritmo de control que determina una tensión de referencia proporcional a la frecuencia y envía pulsos de conmutación sintetizados por los moduladores PWM de la BRAIn al inversor, el cual a su salida genera la tensión de salida requerida. El esquema descrito se presenta en la figura 4.2.

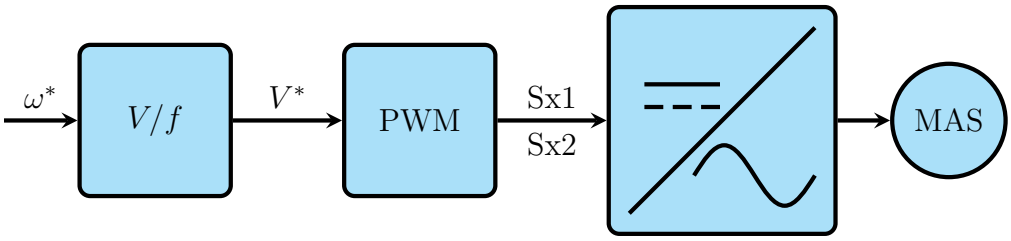


Figura 4.3: Diagrama de bloques del control de velocidad escalar.

4.3. Algoritmo de modulación y control

Para implementar la SVM y controlar la tensión a partir de una frecuencia de referencia dada, se programa en CodeComposer en un Cscript que sigue una secuencia en distintas etapas, y que en la medida que se ejecuta llama a funciones de interrupción, valores y configuraciones ubicadas en distintos archivos. El algoritmo de modulación se describe en las siguientes etapas secuenciales.

- **Configuración de moduladores PWM**: Se asignan en el archivo de configuración del programa los parámetros de los moduladores PWM a utilizar. Se usan siete moduladores, dos para cada fase, y uno para el control de la señal ENABLE 12V que controla los *gate drivers*. Se configuran distintas frecuencias de timer, modo ascendente-descendente triangular, conteo descendente mínimo-máximo entre 0 y 2500. La frecuencia de la señal triangular para el modulador 0 (M0), que coincide con la frecuencia de conmutación del convertidor, se define por la siguiente ecuación:

$$\mathrm{M0} = \frac{100\,\mathrm{MHz}}{2 \cdot \mathrm{CLKSTBDIV0} \cdot \mathrm{M0MAXCNT}} \tag{4.1}$$

- **Definición de valores globales y de inicio**: Se definen los valores constantes de inicio, como la frecuencia de referencia, tensión de referencia, constantes para el cálculo de tiempos y constantes numéricas generales para la transformación de coordenadas.

- **Ciclo infinito y ejecución del código**: Se usa un ciclo infinito `while(1)` que se efectúa indefinidamente, ya que siempre se satisface la condición, a la espera de interrupciones que son generadas por algún periférico o los *timers* del DSP de forma periódica, lo que inicia la ejecución del código y las actuaciones correspondientes de salida.

El diagrama de bloques básico para la programación de un algoritmo de control para la plataforma BRAIn se muestra en la figura 4.4.

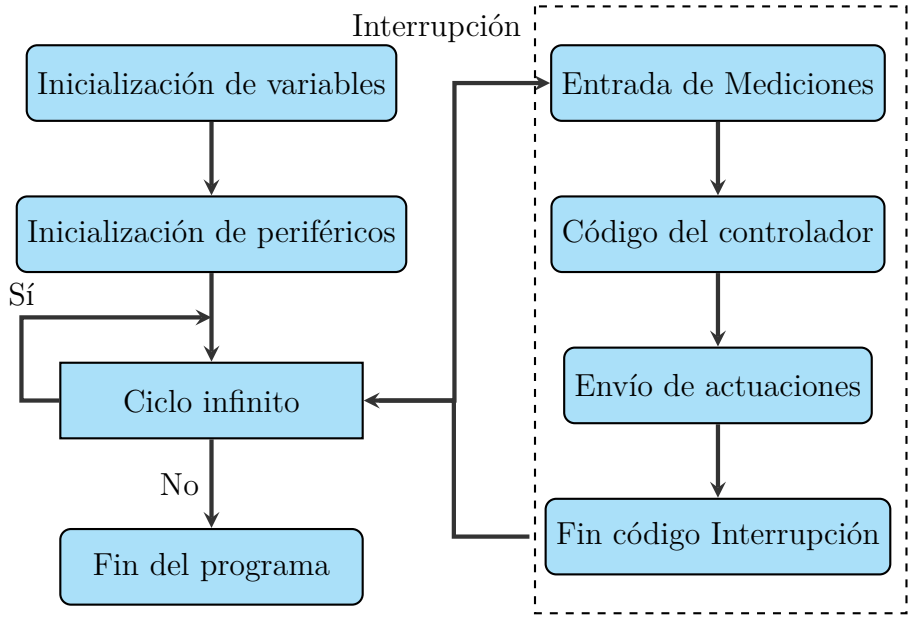


Figura 4.4: Diagrama de flujo para control digital.

El algoritmo del código para la modulación de vectores espaciales, una vez iniciadas las interrupciones, se compone de las siguientes partes:

- **Medición de corrientes de fase**: Se inicia midiendo las corrientes de alguna o todas las fases por los ADC de la BRAIn, que transduce las señales de corriente provenientes de cada fase del convertidor. Si se detecta sobrecorriente, se envía al modulador PWM ENABLE un estado de deshabilitación fijado por 1 al circuito de protección, apagando todos los IGBT de forma simultánea.

- **Cálculo de tensión de referencia**: A partir de una referencia de frecuencia se calcula el vector de tensión proporcional, el cual se muestrea en intervalos de fracción de la frecuencia de la portadora según la siguiente ecuación, y al llegar a 2π se reinicia. La razón entre la frecuencia de la portadora y la frecuencia de referencia define el índice de modulación de frecuencia:

$$\theta = \theta + 2\pi \left(\frac{f_{\text{ref}}}{f_{\text{carrier}}} \right) \tag{4.2}$$

- **Identificación de sectores**: Una vez definida la magnitud del vector de tensión, se transforma de coordenadas $\alpha\beta$ a abcpara identificar cada uno de los 12 sectores comparando las tensiones de fase entre sí y su ángulo.
- **Identificación de regiones**: Cada sector se subdivide en tres regiones triangulares, cuyos límites quedan definidos por tres vértices que representan los vectores más cercanos al vector de referencia en los límites del área. Para la identifación de las regiones se usan los indicadores m_1 y m_2 respecto al índice se modulación m_a, los cuales se definen por las siguientes ecuaciones:

$$a = m_2 = \frac{2}{\sqrt{3}} m_a \sin\alpha \tag{4.3}$$

$$m_1 = m_a \cos\alpha - \left(\frac{2}{\sqrt{3}} m_a \sin\alpha \right) \cdot \cos\left(\frac{\pi}{3} \right) \tag{4.4}$$

$$m_1 = m_a \cos\alpha - \frac{\sin\alpha}{\sqrt{3}} \tag{4.5}$$

Los índices m_1, m_2 representan las proyecciones paralelas a partir del vector m_a sobre los ejes que delimitan el espacio vectorial de los sectores. Esta representación se muestra en el diagrama de la figura 4.5 [14] [19] [20].

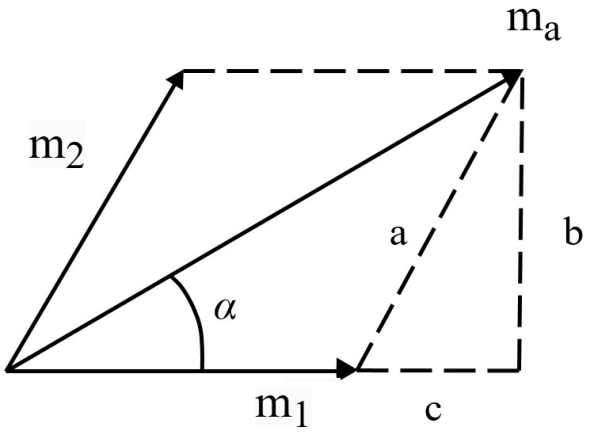


Figura 4.5: Triángulo de magnitudes para el cálculo regiones.

Una vez estimados m_1 y m_2, se siguen las siguientes instrucciones para determinar la región:

- Si m_1, m_2 y $(m_1 + m_2) < 0{,}5$, entonces V_{ref} se encuentra en la Región 1.
- Si m_1 y $m_2 < 0{,}5$ y $(m_1 + m_2) > 0{,}5$, entonces V_{ref} se encuentra en la Región 2.
- Si $m_1 > 0{,}5$, entonces V_{ref} se encuentra en la Región 3 de sector impar.
- Si $m_2 > 0{,}5$, entonces V_{ref} se encuentra en la Región 3 de sector par.

- **Cálculo de tiempos**: Se definen las matrices de estados invertidas de cada sector y región, y se multiplican por el vector de tensión de referencia para estimar los tiempos t_1, t_2, t_3 y t_4. Las matrices se confeccionan con las magnitudes reales e imaginarias de cada tipo de vector, como se muestra en el triángulo de vectores correspondientes al sector 1 y 2 en la figura 4.6. Por ejemplo la matriz M_{11} de la ecuación (4.6) contiene las magnitudes de la secuencia de vectores u^* que definen la región 1 del sector 1 que empieza con el *small vector* u_{S1}^- de coordenadas $(\frac{1}{3}, 0)$.

$$M_{11} = \begin{pmatrix} \frac{1}{3} & \frac{1}{6} & 0 \\ 0 & \frac{\sqrt{3}}{6} & 0 \\ 1 & 1 & 1 \end{pmatrix} \tag{4.6}$$

$$M_{11}^{-1} = \begin{pmatrix} 3 & -1{,}732 & 0 \\ 0 & 3{,}464 & 0 \\ -3 & -1{,}732 & 1 \end{pmatrix} \tag{4.7}$$

Los tiempos de calculan resolviendo los siguientes sistemas de ecuaciones, considerando la selección de las matrices correspondientes a la región de referencia.

$$t_1 = M_{11}^{-1}[0]u_\alpha^* + M_{11}^{-1}[1]u_\beta^* + M_{11}^{-1}[2] \tag{4.8}$$

$$t_2 = M_{11}^{-1}[3]u_\alpha^* + M_{11}^{-1}[4]u_\beta^* + M_{11}^{-1}[5] \tag{4.9}$$

$$t_3 = M_{11}^{-1}[6]u_\alpha^* + M_{11}^{-1}[7]u_\beta^* + M_{11}^{-1}[8] \tag{4.10}$$

$$t_4 = t_1 \tag{4.11}$$

- **Level shifted PWM**:Esta modulación compara las referencias generadas por SVM para las tres fases con dos portadoras alineadas en fase y desplazadas en magnitud, una para los valores mayores a 0 y otra para los negativos. Se guardan los patrones de pulsos en registros que van por seis canales de fibra óptica al convertidor, dos por cada fase. El control de la cuarta fase del convertidor no recibe pulsos de control, ya que no es parte de este trabajo.

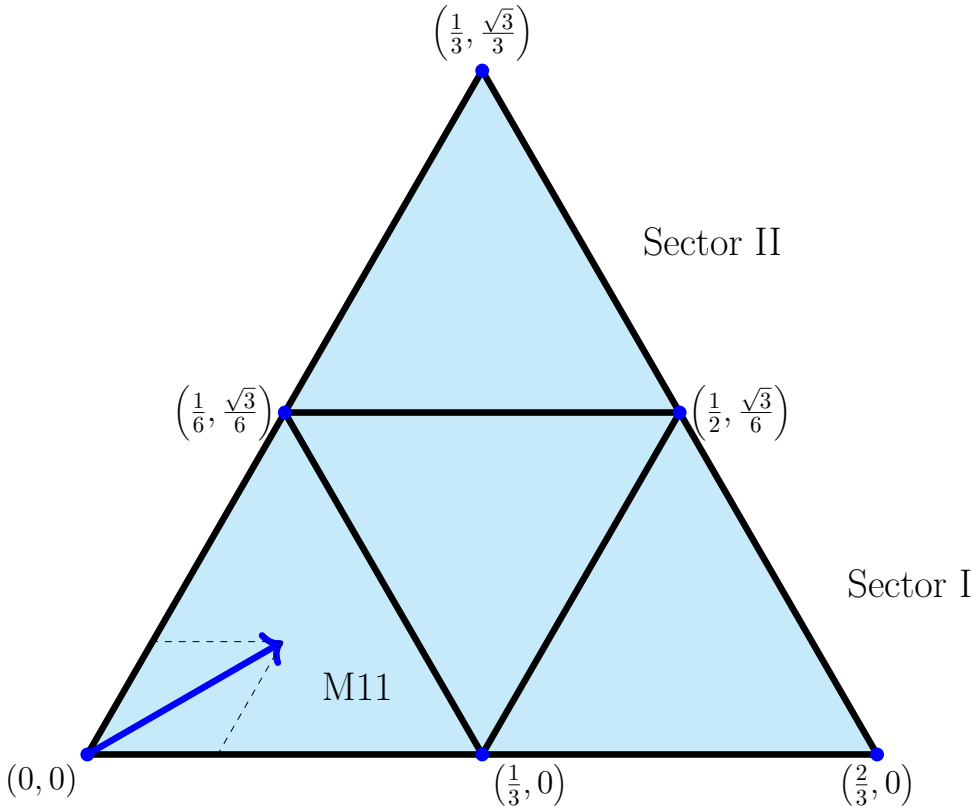


Figura 4.6: Triángulo de magnitudes de vectores en el plano complejo respecto a Vd.

- **Referencias:** Ingresan las tres señales de referencia para cada fase, ref_{sa}, ref_{sb} y ref_{sc}.
- **Escalado de la señal**: Para cada señal de referencia se escala por un valor de máxima cuenta M_{MAX}:
  - **Si la referencia es** ≥ 0:
    - Se calcula ref_{13} como $(\text{ref}_{sx} \cdot M_{\text{MAX}})$.
    - Se establece ref_{24} en $M_{\text{MAX}} + 1$.
  - **Si la señal es** < 0:
    - Se establece ref_{x13} en 0.
    - Se calcula ref_{x24} como $(M_{\text{MAX}} \cdot \text{ref}_{sx} + M_{\text{MAX}})$.
- **Salida:** Se obtienen los valores ajustados (ref_{x13} y ref_{x24}) para cada señal de referencia que es procesada por los moduladores de la BRAIn.

- **Aplicación de secuencias de conmutación**: Se elaboran tablas con las secuencias de siete segmentos para cada región que inicia con un *small vector* negativo, las que se pueden consultar en el anexo A.1, y se asignan referencias de valor continuo entre 0 y

el valor máximo de conteo M_{MAX} proporcional al tiempo de aplicación para cada fase *abc*. Cuando se pasa de un estado 0 a P, S_{x2} se mantiene en alto y S_{x1} cambia de estado al cruzarse con la referencia triangular, que al ser simétrica genera un único cambio de estado en dos ciclos de medición, uno de ida y otro de vuelta, por lo que los tiempos se reparten equitativamente a ambos lados de la triangular. Para la transición de un estado negativo a 0, S_{x1} se mantiene en bajo y S_{x2} cambia de 0 a 1 al cruzarse con la portadora. El tiempo t_1 se reparte entre los extremos, y es igual a t_4, que se ubica en el centro de la triangular. Matemáticamente el proceso de aplicación de secuencias se puede describir de la siguiente forma:

Cada rama del convertidor, según el diagrama del circuito, es controlada por dos señales de activación, s_{x1} y $s_{x2} \in \{0, 1\}$, cuyos estados(+1), (-1) y 0 se expresan como:

$$u_x = s_{x1} + s_{x2} - 1 \tag{4.12}$$

El ciclo de trabajo se define como:

$$U_x = \frac{1}{T_s} \int_0^{T_s} u_x(t)\, dt \quad \in [-1, 1] \tag{4.13}$$

$$U_x = S_{x1} + S_{x2} - 1 \tag{4.14}$$

La señal de referencia en donde los estados de conmutación asociados son $u_x \in \{-1, 0, 1\}$ se expresa como:

$$U_x^* = \sum_{i=1}^{4} t_i u_x(u_{si}) \quad \in [-1, 1] \tag{4.15}$$

Dependiendo del signo de U_x^*, las señales de activación se definen como:

- Si $U_x^* \geq 0$, entonces $U_{x1}^* = U_x^*$ y $U_{x2}^* = 1$.
- Si $U_x^* < 0$, entonces $U_{x1}^* = 0$ y $U_{x2}^* = U_x^* + 1$.

Para ejemplificar la técnica de modulación, las señales de referencia de la figura 4.7 correspondientes a la región 3 del sector 2 están dadas por:

$$U_x = t_1 u_x(u_{\mathrm{S2}}^-) + t_2 u_x(u_{\mathrm{M1}}) + t_3 u_x(u_{\mathrm{L2}}) + t_4 u_x(u_{\mathrm{S2}}^+) \tag{4.16}$$

Usando el esquema de PWM propuesto, las señales de referencia para los semiconductores se expresan en función de los tiempos de permanencia como:

$$U_{a1}^* = t_2 + t_3 + t_4 \qquad U_{a2}^* = 1 \tag{4.17}$$
$$U_{b1}^* = t_3 + t_4 \qquad U_{b2}^* = 1 \tag{4.18}$$
$$U_{c1}^* = 0 \qquad U_{c2}^* = 1 - t_1 - t_2 - t_3 \tag{4.19}$$

Este esquema asigna directamente los vectores de conmutación y sus tiempos de aplicación a los ciclos de trabajo de los dispositivos de conmutación [1].

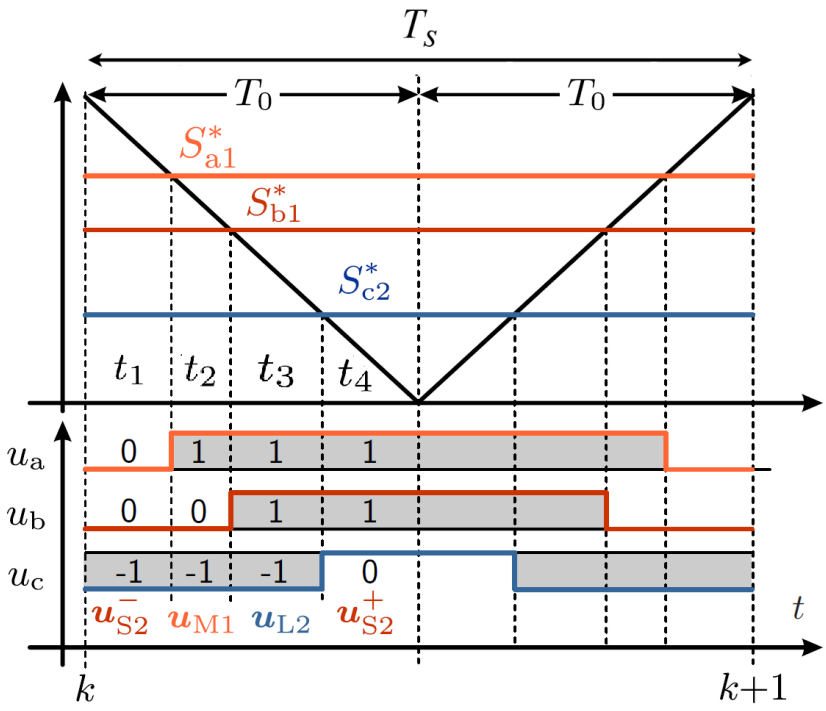


Figura 4.7: Secuencia de conmutación con señales de referencia para la región 3 del sector 2.

El algoritmo general descrito se puede representar por el diagrama de bloques de la figura 4.8.

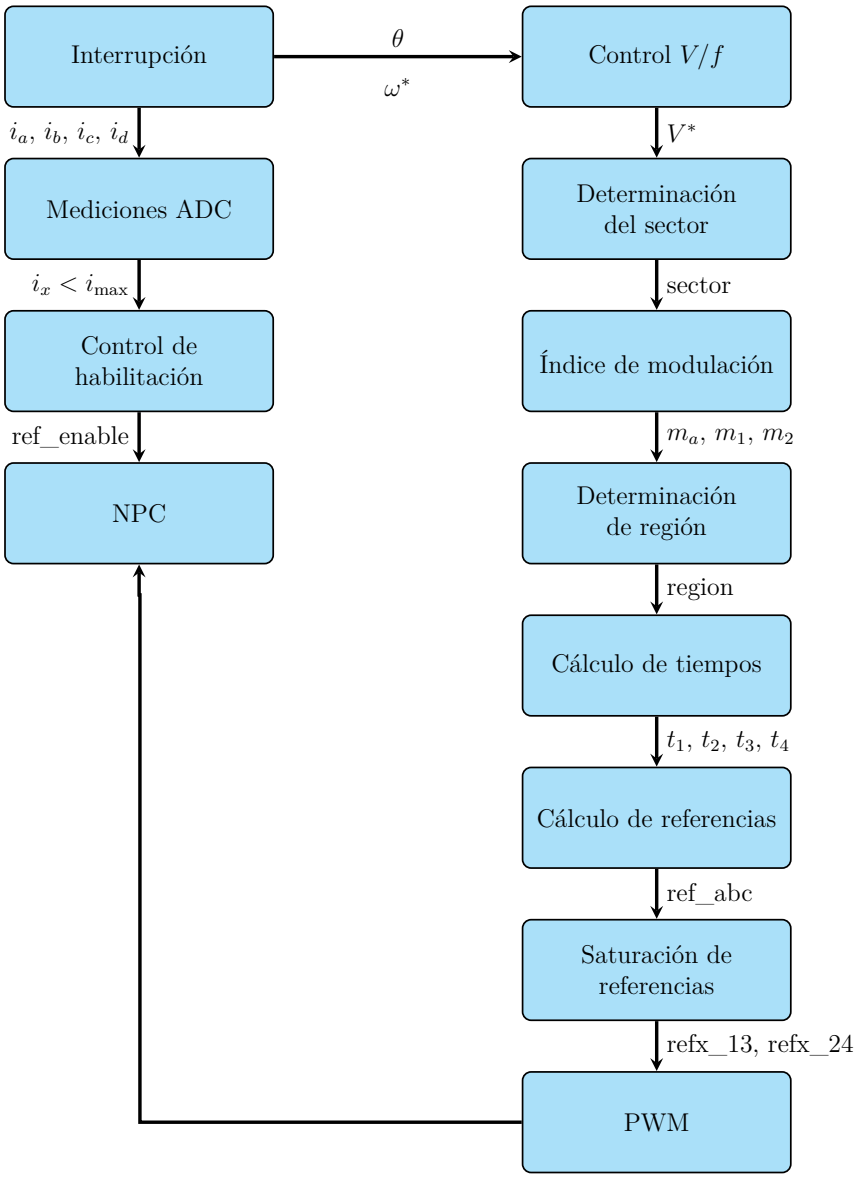


Figura 4.8: Diagrama de bloques de modulación SVM y control del NPC-3L.

4.4. Simulación

Previo a la implementación y pruebas del convertidor, se simula en PLECS la SVM para un modelo de NPC conectado a distintas cargas, con el fin de asegurar que el funcionamiento previsto del convertidor sea adecuado, evitando así efectos indeseados en la conmutación de los interruptores, como un cortocircuito.

4.4.1. Esquema de simulación

Para validar el código de modulación previamente a su compilación y ejecución en la BRAIn con el convertidor conectado con potencia, se simula el código en PLECS Standalone. El diagrama simulado se muestra en la figura 4.9 y se compone de bloques que simulan el convertidor, alimentado por un DC-Link conectado a cargas, un Cscript que genera las señales de referencia para el convertidor y un sector de bloques de modulación PWM.

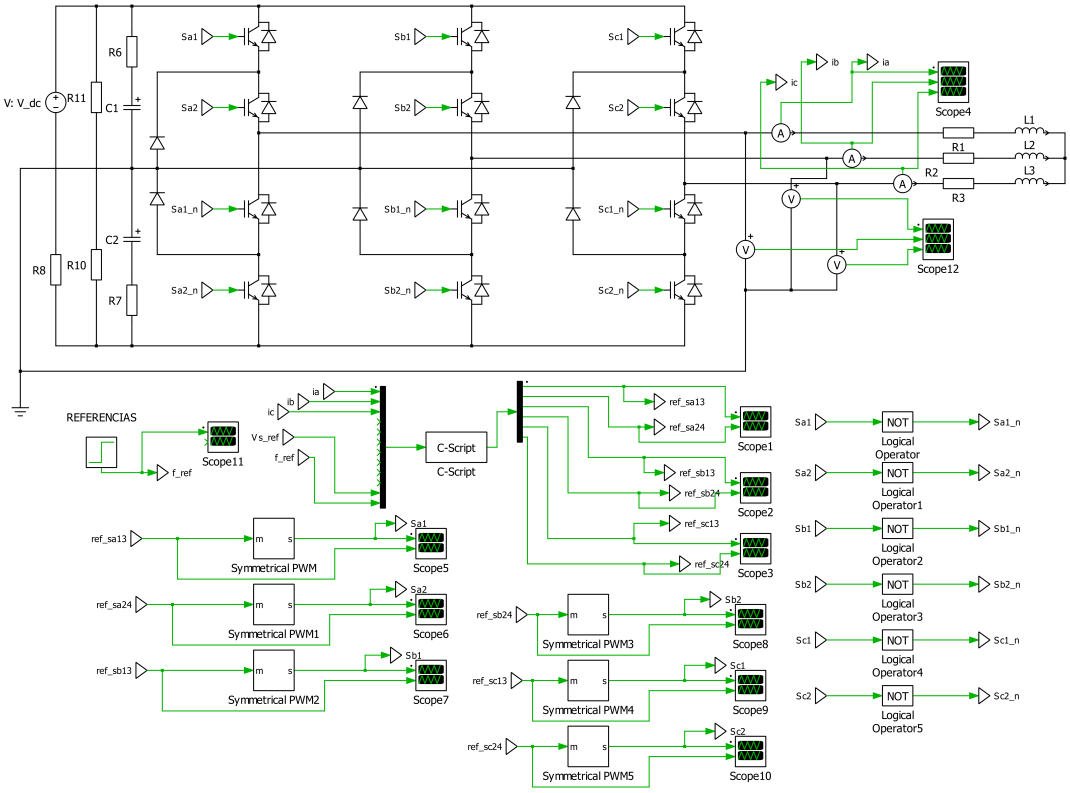


Figura 4.9: Diagrama de simulación en PLECS con carga RL.

4.4.2. Carga RL

Se simula el sistema conectado a una carga resistiva-inductiva, y se miden las corrientes y tensiones de fase, así como las tensiones de línea, usando los parámetros de la tabla 4.2. Los parámetros de la carga se definieron para llegar aproximadamente a 15 A , por medio de la siguiente ecuación:

$$I = \frac{V_d}{\sqrt{3} \cdot X_L} = \frac{400}{\sqrt{3} \cdot \sqrt{15^2 + (2\pi \cdot 0{,}0025 \cdot 50)^2}} = \frac{400}{\sqrt{3} \cdot 15{,}3749} = 15{,}37\,\text{A} \tag{4.20}$$

Tabla 4.2: Parámetros de simulación.

Nombre	Parámetro	Valor
Resistencia	R_1, R_2, R_3	$15\,\Omega$
Inductancia	L_1, L_2, L_3	$2{,}5\,\text{mH}$
Frecuencia de muestreo	f_s	$1000, 5000, 10000\,\text{Hz}$
Voltaje de DC-Link	V_d	$400\,\text{V}$

4.4.2.1. Corrientes

En la figura 4.10 se presentan los resultados de simulación con índices de modulación 0.51, 0.7 y 1, en donde se observan los distintos niveles de corriente que increaban en la medida que aumenta ma, coincidiendo con lo esperado de 15 A de amplitud. En las transiciones de conmutación de estados se aprecian saltos en la señal, los que son más acentuados a bajas frecuencias de muestreo, pero aún así siguen referencia sinusoidal gracias a la naturaleza de la carga R-L que atenúa las ondas generadas por PWM. El color naranja es asignado para i_a, rojo para i_b y azul para i_c.

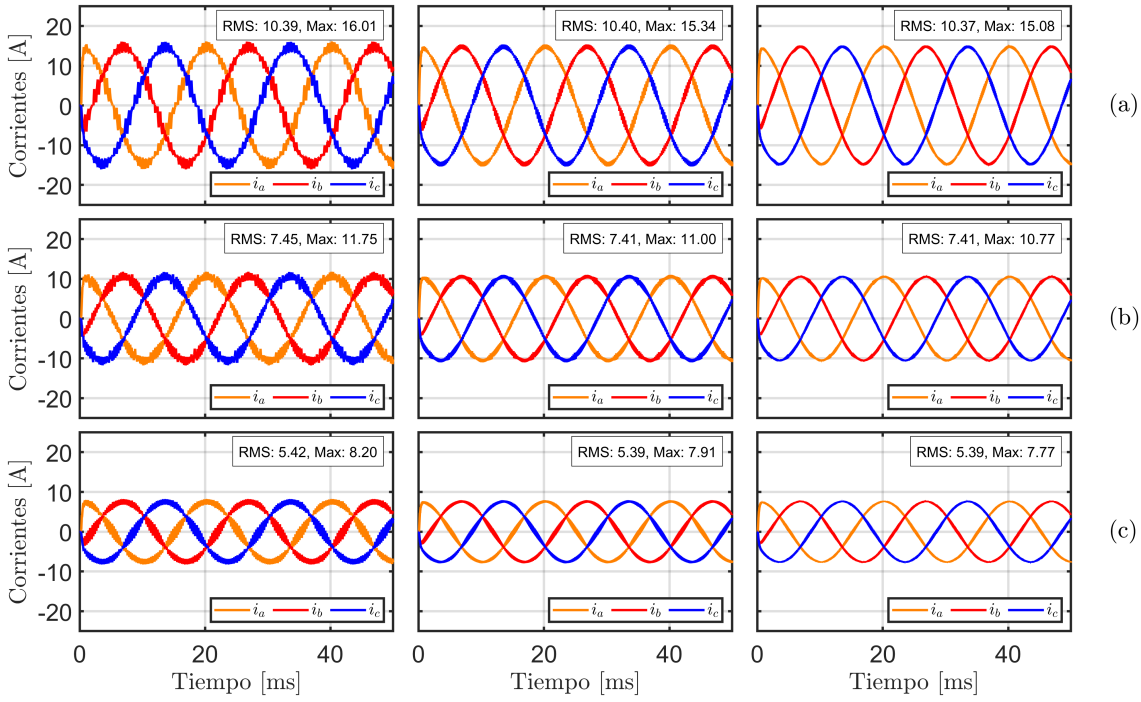


Figura 4.10: Formas de onda de corriente simuladas con carga RL, SVM. (a-b-c) fs = 2kHz, ma= (0.51, 0.7, 1). (d-e-f) fs = 5kHz, ma= (0.51, 0.7, 1). (g-h-i) fs = 10kHz, ma= (0.51, 0.7, 1).

4.4.2.2. Tensiones

Se grafican las tensiones de fase a distinto índice de modulación {1.0, 0.70, 0.51} y frecuencia de muestreo {2, 5, 10}. En las figuras (a)-(b)-(c) las tensiones son sintetizadas por un índice de modulación 1, en (d)-(e)-(f) por 0.70, y en (g)-(h)-(i) por 0.51. Se observa que el valor máximo de tensión es la mitad del DC-Link y que los ciclos de trabajo disminuyen en la medida que disminuye el índice de modulación, además se visualiza que el aumento de la frecuencia de muestreo incrementa la calidad de la onda, lo que se refleja en los gráficos de corriente anteriores, ya que es cada vez más parecidas a la referencia sinusoidal.

Al medir las tensiones de línea aparecen a partir de $m_a > 0{,}5$, cinco niveles de tensión, los que son más visibles en la medida que aumenta el índice de modulación.

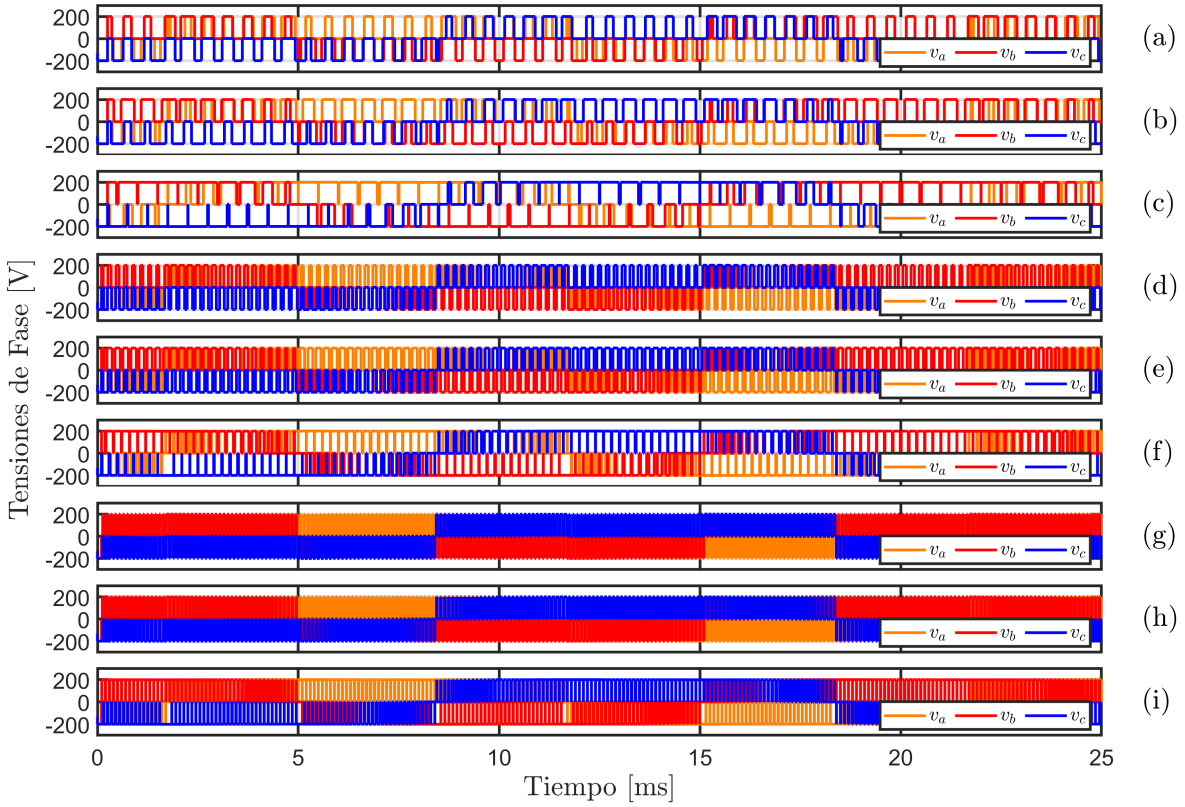


Figura 4.11: Formas de onda de tensiones de fase simuladas con carga RL, SVM. (a-b-c) fs = 2kHz, ma= (0.51, 0.7, 1). (d-e-f) fs = 5kHz, ma= (0.51, 0.7, 1). (g-h-i) fs = 10kHz, ma= (0.51, 0.7, 1).

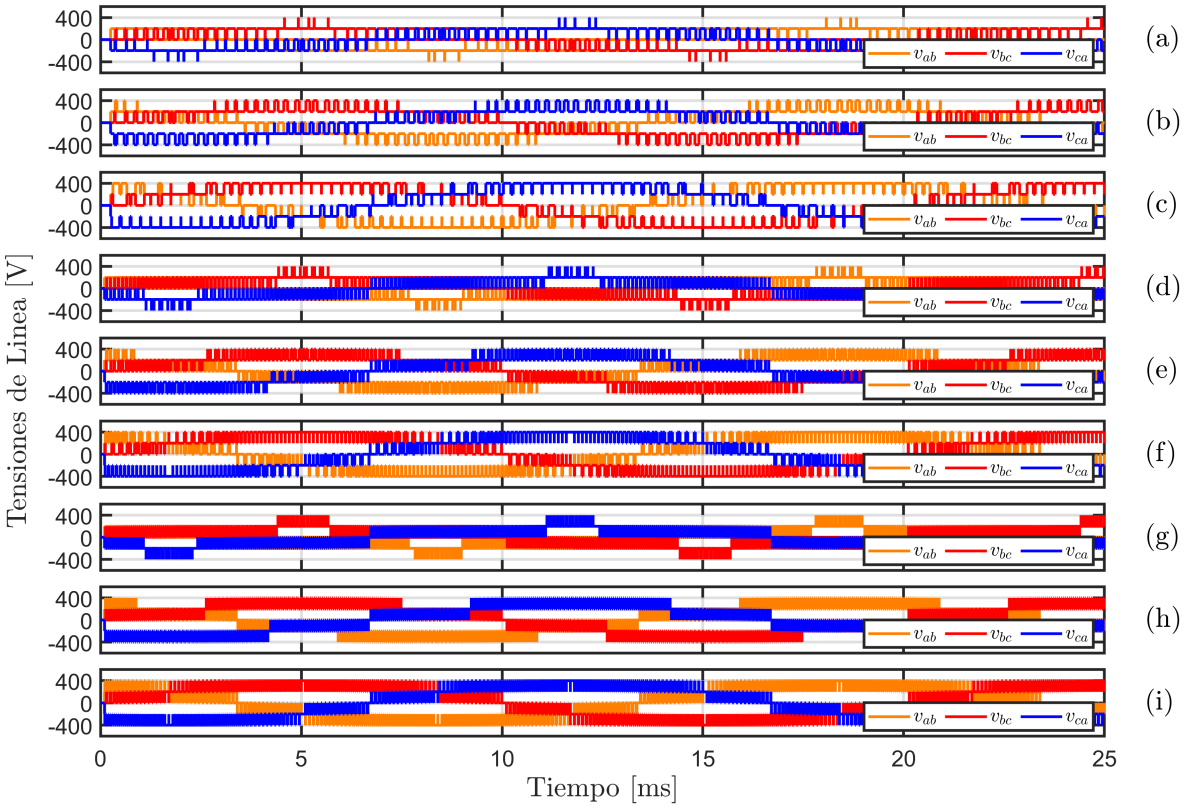


Figura 4.12: Formas de onda de tensiones de línea simuladas con carga RL, SVM. (a-b-c) fs = 2kHz, ma= (0.51, 0.7, 1). (d-e-f) fs = 5kHz, ma= (0.51, 0.7, 1). (g-h-i) fs = 10kHz, ma= (0.51, 0.7, 1)

4.4.2.3. Contenido armónico

El espectro armónico para las corrientes, tensiones de fase y de tensiones de línea se representa en la figura 4.13 en sistema por unidad respecto a la fundamental. En estos gráficos se ve que en la corriente dominan la 5ª y 7ª armónica en el rango de la frecuencia de Nyquist, y se presenta un bajo THD en comparación a las tensiones, dada la naturaleza de la carga RL que actúa como filtro, el cual va disminuyendo a medida que aumenta el índice de modulación [4]. En las tensiones de fase se observa un gran THD con la 3ª armónica dominando y la 40ª, siendo considerablemente mayor al que se produce en las tensiones de línea, debido a que en estas últimas ocurre cancelamiento de tensiones de modo común.

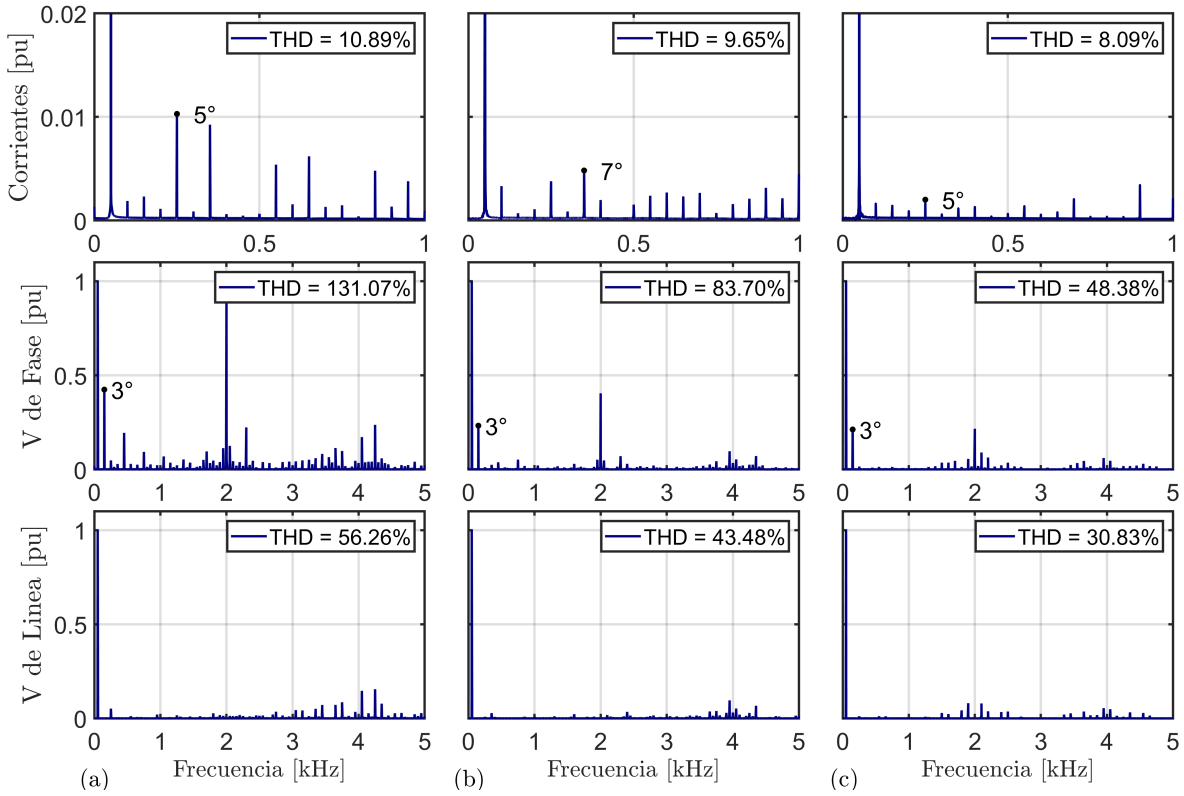


Figura 4.13: Espectro armónico y THD simulado para corrientes, tensiones de fase y tensiones de línea, fs 2kHz. (a) $m_a = \{0{,}51\}$. (b) $m_a = \{0{,}7\}$. (c) $m_a = \{1\}$.

4.4.3. Prueba de control V/f

Se programa el controlador V/f conectado a la misma carga RL usada anteriormente. Para esto, se modela una rampa de frecuencia de 50 Hz/s que acelera desde el reposo hasta estabilizarse en su valor de tensión de referencia en 1 s. El fin de este control es mantener el flujo de estator constante, el cual corresponde al cociente entre tensión y velocidad, según la ecuación (4.21).

$$\frac{\mathbf{v}_s}{\omega_s} = \boldsymbol{\psi}_s \tag{4.21}$$

Los resultados obtenidos que se muestran figura 4.14, coinciden con lo esperado, en que las tensiones sintetizadas van aumentando en pasos progresivos hasta alcanzar el valor nominal, lo que se puede comprobar con el cambio de corriente desde 0 a 15 A.

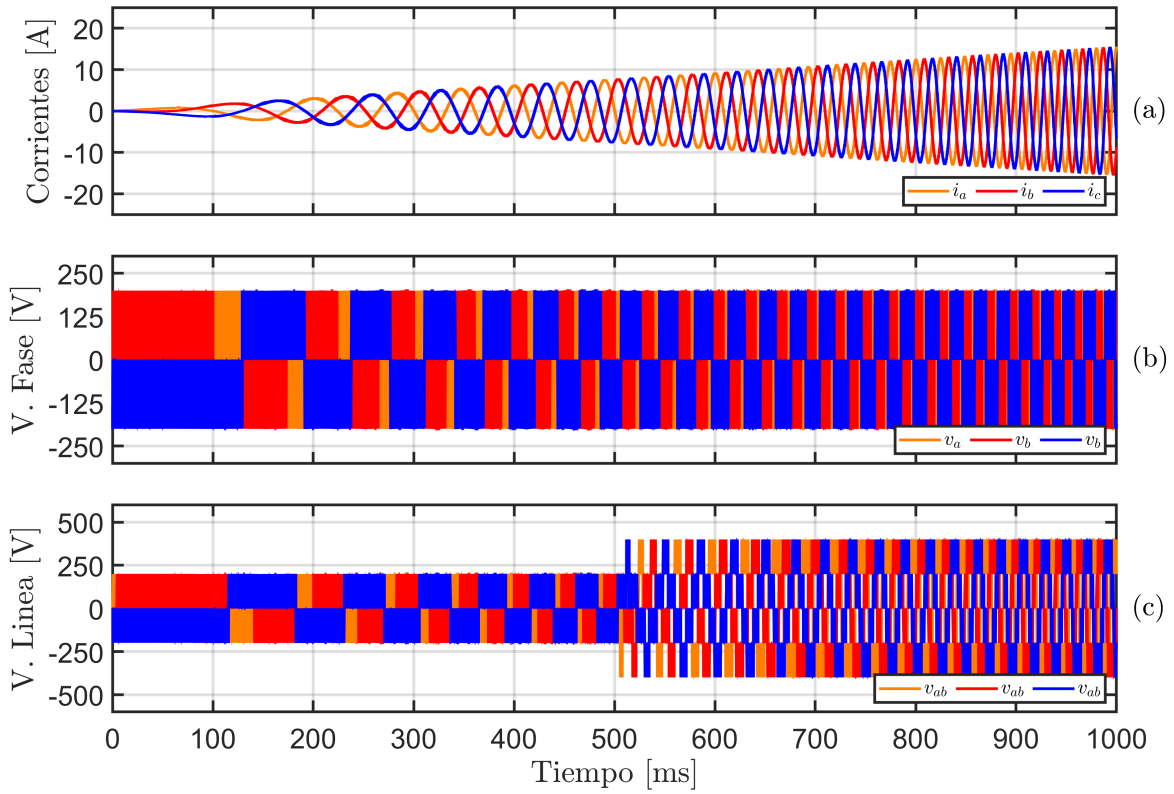


Figura 4.14: Resultados prueba variador de frecuencia con carga RL, T_s 10 kHz. (a) Corrientes (b) Tensiones de fase (c) Tensiones de línea.

4.4.3.1. Conexión con máquina de inducción

Se simula una partida con el mismo controlador V/f conectado a una máquina de inducción en serie con un filtro RL partiendo a torque nominal. Los parámetros de simulación son los siguientes:

Tabla 4.3: Parámetros del sistema con control V/f.

Nombre	Parámetro	Valor
Resistencia de filtro	R_1, R_2, R_3	$0{,}5\,\Omega$
Inductancia de filtro	L_1, L_2, L_3	$2{,}5\,\text{mH}$
Capacitancia	C_1, C_2	$1500\,\mu\text{F}$
Frecuencia de muestreo	f_s	$10\,\text{kHz}$
Tensión de DC-Link	V_{dc}	$400\,\text{V}$

Los datos de la máquina de inducción utilizada se presentan en la tabla a continuación:

Tabla 4.4: Parámetros de la máquina de inducción

Nombre	Parámetro	Valor
Velocidad nominal	$r.p.m$	1450
Deslizamiento nominal	s_{nom}	0,05
Frecuencia de estator	f	50 Hz
Resistencia del estator	R_s	1,0213 Ω
Resistencia del rotor	R_r	0,8479 Ω
Inductancia propia del estator	L_s	0,1455 H
Inductancia propia del rotor	L_r	0,1454 H
Inductancia mutua	L_m	0,1416 H
Inductancia de dispersión del estator	σ_{L_s}	0,0039 H
Inductancia de dispersión del rotor	σ_{L_r}	0,0038 H
Factor de acoplamiento del rotor	k_r	0,9739
Factor de acoplamiento del estator	k_s	0,9732
Momento de inercia	J	0,042 kg · m^2
Potencia mecánica nominal	P_n	5500 W
Torque nominal	N_m	36,2 Nm

El nuevo circuito de simulación que incluye el modelo de la MAS, se presenta en la figura 4.15

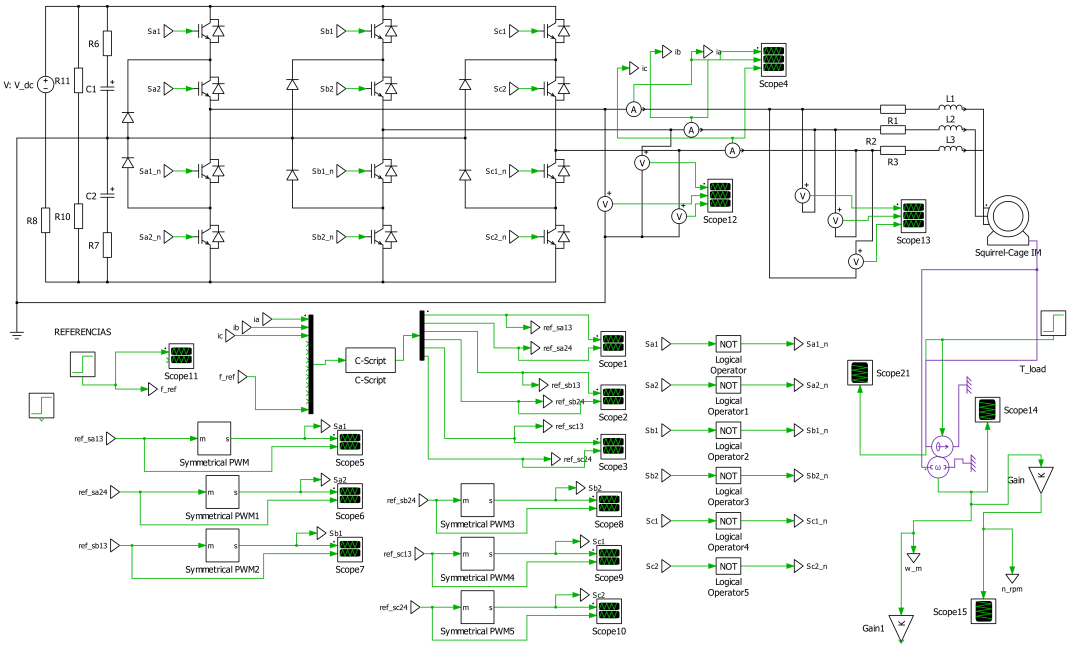


Figura 4.15: Diagrama de simulación en PLECS con conexión a MAS.

Se estima la corriente esperada en estado estacionario para evaluar desempeño del controlador y las condiciones de operación del convertidor

La impedancia del rotor vista del estator se define como:

$$Z'_r = \frac{R'_r}{s} + jX'_{\sigma 2} \tag{4.22}$$

Sustituyendo los valores:

$$Z'_r = \frac{0{,}8479}{0{,}03333} + j1{,}19 = 25{,}44 + j1{,}19\,\Omega \tag{4.23}$$

El paralelo entre Z'_r y la rama magnetizante es:

$$Z_{\text{eq}} = \frac{Z'_r \cdot jX_{m1}}{Z'_r + jX_{m1}} \tag{4.24}$$

Resolviendo para la impedancia equivalente:

$$Z_{\text{eq}} = \frac{(25{,}44 + j1{,}19) \cdot j44{,}48}{(25{,}44 + j1{,}19) + j44{,}48} = 18{,}42 + j11{,}42\,\Omega \tag{4.25}$$

Finalmente se calcula la corriente

$$I_{\text{s}} = \frac{\frac{400}{\sqrt{3}}}{(1{,}0213 + j1{,}23) + (18{,}42 + j11{,}42)} = \frac{\frac{400}{\sqrt{3}}}{19{,}44 + j12{,}64} = 8{,}35 - j5{,}43 \tag{4.26}$$

La amplitud correspodne a:

$$\text{Is} = \sqrt{(8{,}35)^2 + (5{,}43)^2} \cdot \sqrt{2} = 14{,}08\,\text{A} \tag{4.27}$$

Se aplica una curva con rampa de refuerzo hasta los 20 Hz, con inicio en 5 Hz y aceleración de 50 Hz/s, hasta alcanzar la velocidad nominal, de acuerdo a la ecuación (4.28). Se usa el índice de modulación máximo y frecuencia de muestreo de 10 kHz.

$$V_{\text{ref}}(f_{\text{ref}}) = \begin{cases} \left(\dfrac{f_{\text{ref}}}{50}\right) \cdot m_a \cdot \left(2{,}0 - 1 \cdot \dfrac{f_{\text{ref}}}{20{,}0}\right), & \text{si } f_{\text{ref}} \leq 20\,\text{Hz} \\ \dfrac{f_{\text{ref}}}{50} \cdot m_a, & \text{si } 20\,\text{Hz} < f_{\text{ref}} < 50\,\text{Hz} \end{cases} \tag{4.28}$$

En donde cada variable se define como:

- f_{ref}: Frecuencia de referencia.
- V_{ref}: Tensión de referencia.
- m_a: Índice de modulación.
- t_{max}: Tiempo de partida.

El tiempo para que f_{ref} alcance la velocidad nominal de 50 Hz responde a la siguiente fórmula:

$$t_{\text{max}} = \frac{50 \text{ Hz} - 5 \text{ Hz}}{50 \text{ Hz/s}} = 0{,}9 \text{ s} \tag{4.29}$$

La curva variadora de frecuencia se representa en la figura 4.16

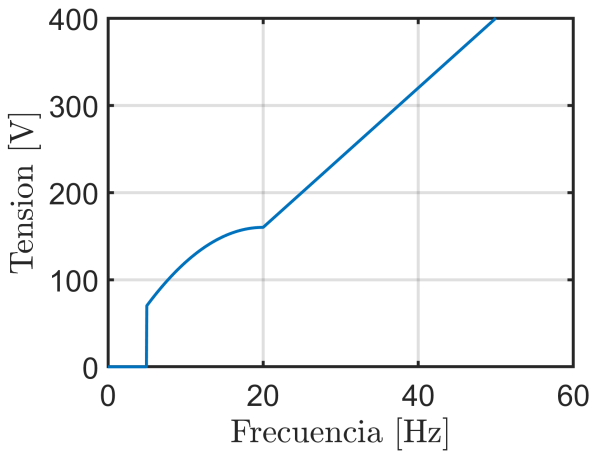


Figura 4.16: Curva V/f con refuerzo.

Se prueba el control V/f con carga nominal, obteniéndose los resultados de la figura 4.17, en donde se ve que el motor arranca suavemente con una corriente de pico máximo de 25 A de duración de 50 ms, que luego se va estabilizando, hasta llegar a los 14 A en estado estacionario en 1 s. No se superan la corriente nominal del inversor, resultando en una operación segura.

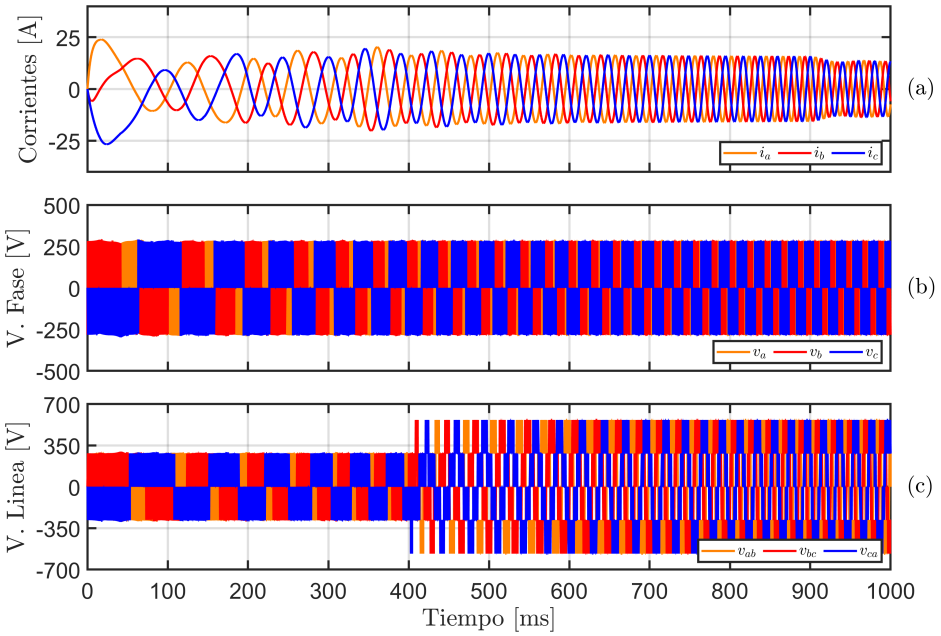


Figura 4.17: Resultados prueba variador de frecuencia conectado a MAS, T_s 10 kHz. (a) Corrientes (b) Tensiones de fase (c) Tensiones de línea.

4.5. Protección del sistema

Si se produce un cortocircuito en el convertidor, al manejar niveles de tensión y corriente elevados, puede resultar peligroso, lo que conlleva costos económicos elevados o poner en riesgo la salud de las personas. Por lo tanto, es necesario implementar sistemas de protección internos que no vienen incorporados en el diseño de las placas del NPC, los que si se suman a los externos, como fusibles o interruptores, resultan en una mayor seguridad para el sistema.

4.5.1. Protección digital controlada por software

Este sistema de protección se elabora pensando en un control comandado por la DSP, el cual consiste en medir por los ADC las corrientes desde los terminales de los módulos SENSOR hacia la BRAIN, fijando un valor máximo de 20 A, el cual manda una señal de 0 o 1 a la entrada habilitadora del NPC, apagando o encendiendo el convertidor a través de los *gate drivers* de este, controlando el estado de los módulos de potencia de forma simultánea.

Para lograr esto se diseña un circuito *level-shifter* controlado por un MOSFET (BSS138), que recibe la señal habilitadora por fibra óptica, además de resistencias.

El control del encendido y apagado del convertidor viene dado por una señal de 12 V, llamada ENABLE 12 V (+12EN).

En la figura 4.18 se muestra el circuito implementado, el cual consta de dos resistencias *pull-up* R1 y R2 que mantienen los niveles de tensión de entrada de +5 V y salida de +12 V en estado de no conducción cuando una señal llamada ENABLE 5V de 5 V (+5EN) es enviada desde la DSP por fibra óptica, cuando las corrientes se encuentran en un estado normal. Si la DSP detecta niveles de sobrecorriente, envía una señal de 0 V al terminal *source* del MOSFET, estableciendo un voltaje de umbral V_{th} de 5 V, poniendo al MOSFET en conducción, lo que a su vez pone el punto *drain* en 0 V, apagando el convertidor.

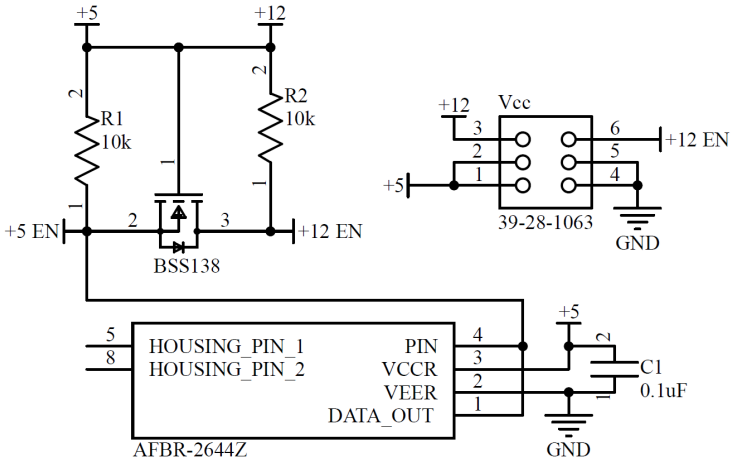


Figura 4.18: Esquemático del circuito de protección por software.

La placa de PCB diseñada para esta protección se muestra en la figura 4.19.

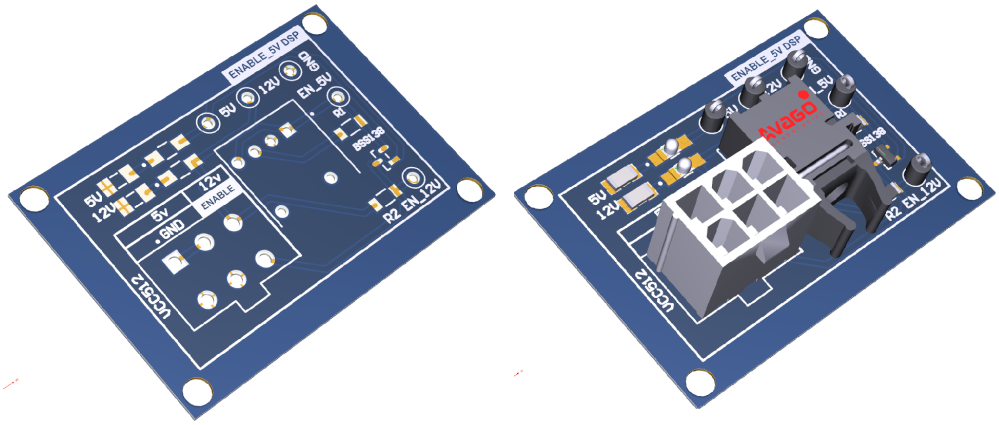


Figura 4.19: PCB diseñada en Altium para el circuito de protección por software.

4.5.2. Protección controlada por hardware

La implementación de circuitos de protección basados en comparadores, que no dependen de una plataforma de control, permiten medir de forma directa la corriente sin pasar por etapas de conversión analógico-digital y procesamiento de señales sujetas a errores y ruido. Esto, si se pone en funcionamiento en conjunto con la protección comandada por la DSP, entregaría una mayor seguridad en la operación del convertidor, ya que agrega una capa adicional de protección.

Para implementar esto último e incrementar la seguridad del sistema, se diseñó un circuito que se añade a la protección por software en una misma placa, dotando al sistema de seguridad de un nivel de protección n-1, ya que pueden usarse de forma independiente o conjunta. Es decir, con las dos protecciones activas, si una falla, la otra seguirá activa. Los detalles de componentes se pueden consultar en el anexo A.3 y A.4

4.6. Prototipo de protección ENABLE 12 V

Se diseña un circuito para medir señales de corriente de cada una de las cuatro fases del NPC-3L, y deshabilitar los IGBTs del convertidor ante sobrecorrientes. Estas señales que provienen de un transductor de corriente (LA-55P), pasan por una etapa de filtrado y llegan a un terminal conector SMA. Desde este conector, las señales se bifurcan por un conector SMA tipo T: una va al dispositivo de control y la otra a una PCB llamada PCB ENABLE 12 V, que será el nombre del prototipo.

Las señales que ingresan a la PCB ENABLE 12 V están aisladas con amplificadores de aislamiento diferenciales en su entrada, que responden linealmente a una entrada de 12 V y salida de 0.5 V a 4.5 V centrada en 2.5 V, que equivalen a una medicion de 30 A. Para este convertidor se limita la corriente a un máximo de 20 A por lo que el rango de trabajo se ajusta a 2.500-3.833 V. Las tierras de cada fase provenientes del convertidor están diseñadas para estar aisladas del circuito de la PCB ENABLE 12 V, y entre sí.

La señal positiva y negativa a la salida de los amplificadores son comparadas con una referencia regulable, usando dos integrados comparadores de alta precisión y velocidad por cada pierna. Se utilizan un generadores de referencia tipo serie para la referencia de voltaje y un regulador de tensión para la alimentación de los comparadores de 5 V. Cada salida entra en un circuito lógico formado por compuertas NAND, NOR, AND y un *latch* R-S, que finalmente habilitan o deshabilitan una señal de ENABLE 5 V, que va a un *level-shifter* de 5–12 V compuesto por un MOSFET y resistencias *pull-up*. Finalmente, la señal de ENABLE 12 V es ingresada al convertidor, controlando el encendido y apagado de todos los IGBT en todas las fases de forma simultánea por medio de los *gate drivers*. El esquema de control global, que incluye ambas protecciones, se muestra en el esquema de la figura 4.20.

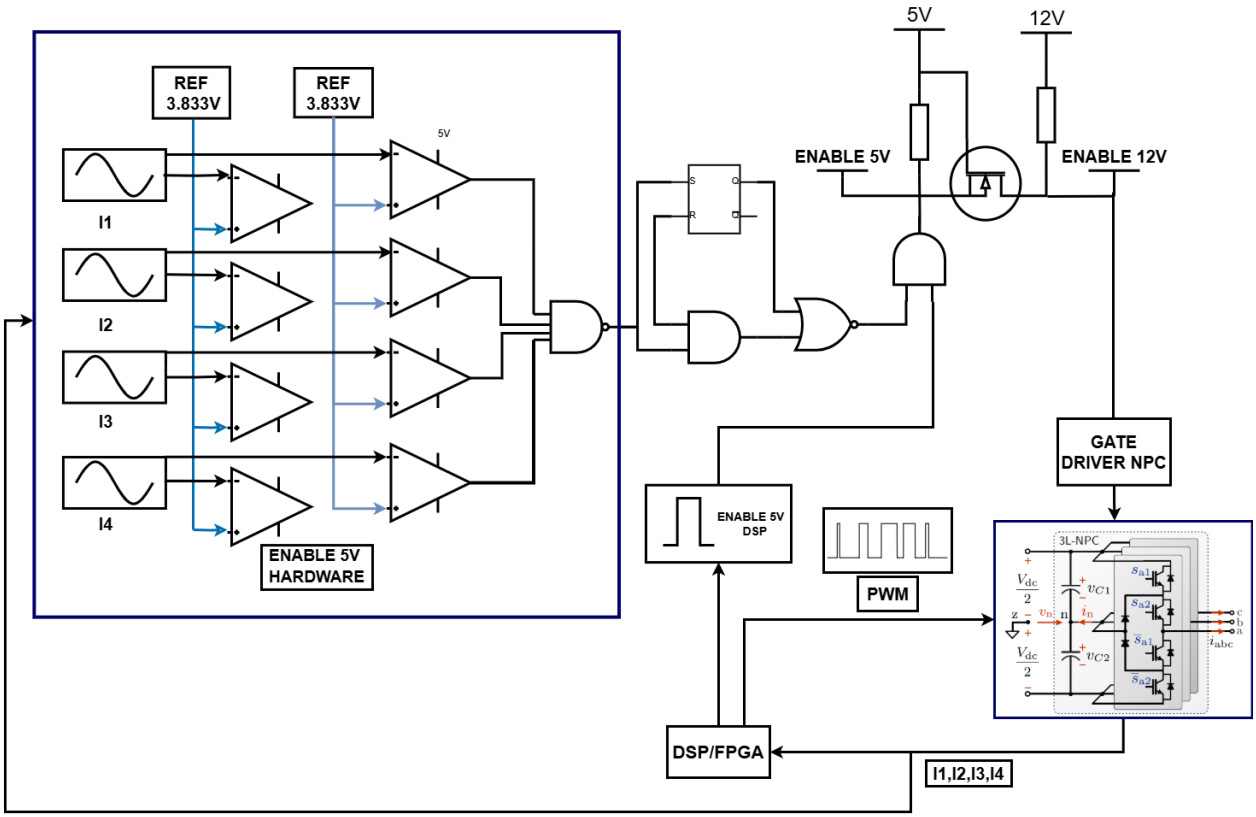


Figura 4.20: Esquema general de protección.

4.6.1. Algoritmo de control

El sistema de control que se resume en la tabla de verdad 4.5 sigue una lógica que parte con la entrada de las corrientes desde el convertidor, las que al ser comparadas tienen como salida I_a, I_b, I_c e I_d de 5 V en estado normal y 0 si hay sobrecorriente. Las cuatro salidas van hacia una puerta NAND de 4 entradas, que conduce un estado de falla si cualquiera de las señales de los comparadores se va a 0, teniendo como salida un 1 si hay falla o un 0 en estado normal. Esta salida se conecta a la entrada J de un *latch* R-S de tres estados, mientras que la entrada K del mismo recibe una señal que puede ser valor lógico 0 o 1, siendo esta última la que inicia el convertidor bajo la condición de que las corrientes se mantienen en estado normal. Esta señal proveniente desde una resistencia *pull-down* que está conectada a 0 V en reposo, junto con un pulsador de estado normal abierto a 5 V, por lo que la caída de tensión es 0, pero es elevada al cerrar el circuito. Posteriormente, las señales S y R se introducen en una puerta AND, cuyo resultado se combina con una salida Q del *latch* en una puerta NOR. La salida de la puerta NOR determina el estado de $ENABLE\,12\,\text{V}$, que habilita o deshabilita el sistema. Lo descrito anteriormente se puede resumir con las

Tabla 4.5: Tabla de verdad para el sistema de control por hardware.

Evento	**Ia**	**Ib**	**Ic**	**Id**	**NAND**	**S**	**R**	**Q**	**AND**	**NOR**	**EN12V**
Falla	0	0	0	0	1	1	0	1	0	0	off
Falla	0	0	0	1	1	1	0	1	0	0	off
Falla	0	0	1	0	1	1	0	1	0	0	off
Falla	0	0	1	1	1	1	0	1	0	0	off
Falla	0	1	0	0	1	1	0	1	0	0	off
Falla	0	1	0	1	1	1	0	1	0	0	off
Falla	0	1	1	0	1	1	0	1	0	0	off
Falla	0	1	1	1	1	1	0	1	0	0	off
Falla	1	0	0	0	1	1	0	1	0	0	off
Falla	1	0	0	1	1	1	0	1	0	0	off
Falla	1	0	1	0	1	1	0	1	0	0	off
Falla	1	0	1	1	1	1	0	1	0	0	off
Falla	1	1	0	0	1	1	0	1	0	0	off
Falla	1	1	0	1	1	1	0	1	0	0	off
Falla e inicio	1	1	1	0	1	1	1	1	1	0	off
Normal e inicio	1	1	1	1	0	0	1	0	0	1	ON
Normal	1	1	1	1	0	0	0	0	0	1	ON
Normal y reinicio	1	1	1	1	0	0	1	0	0	1	ON
Falla	1	1	1	0	1	1	0	1	0	0	off
Falla e inicio	1	1	1	0	1	1	1	1	1	0	off
Mantiene falla	1	1	1	0	1	1	0	1	0	0	off
Despeje falla	1	1	1	1	0	0	0	1	0	0	off
Despeje falla e inicio	1	1	1	1	0	0	1	0	0	1	ON

siguientes ecuaciones lógicas.

$$S = \overline{I_a \cdot I_b \cdot I_c \cdot I_d} \tag{4.30}$$

$$AND = S \cdot R \tag{4.31}$$

$$NOR = \overline{Q + AND} \tag{4.32}$$

$$ENABLE_{12V} = \overline{Q + (S \cdot R)} = \overline{Q + \left(\overline{I_a \cdot I_b \cdot I_c \cdot I_d} \cdot R\right)} \tag{4.33}$$

En que cada señal corresponde a:

- I_a, I_b, I_c, I_d: Corrientes de entrada al circuito lógico.
- S: Salida de la puerta NAND y entrada al integrado R-S.
- R: Señal de entrada (0–5 V).

- Q: Salida del *latch* R-S.
- AND: Salida de la puerta AND.
- $ENABLE_{12V}$: Señal que habilita o deshabilita el sistema (0–12 V).

4.6.2. Esquemático

El esquemático del circuito se compone de distintas secciones que cumplen funciones de aislamiento, alimentación, comparación, lógica y habilitación.

La descripción de cada parte se detalla a continuación, en que además se muestran los circuitos esquemáticos de cada subcircuito en las figuras 4.21, 4.22, 4.24, 4.23 y 4.25.

- **Entradas desde el convertidor**: Se aíslan las tierras Gnd_m$_x$ ($x = 1, 2, 3, 4$) utilizando amplificadores de aislamiento (ISO224). Este amplificador es capaz de medir señales analógicas en el rango de –12 V a +12 V. La salida es lineal y está centrada en 2.5 V, con un rango diferencial que va desde 0.5 V hasta 4.5 V. En este diseño la referencia de los comparadores trabaja en el rango de 2.5 a 4.5 V, ya que ambas señales diferenciales, la positiva y negativa se comparan solo con un valor positivo, representando 2.5 V un nivel nulo de corriente, y 4.5 V el nivel máximo.

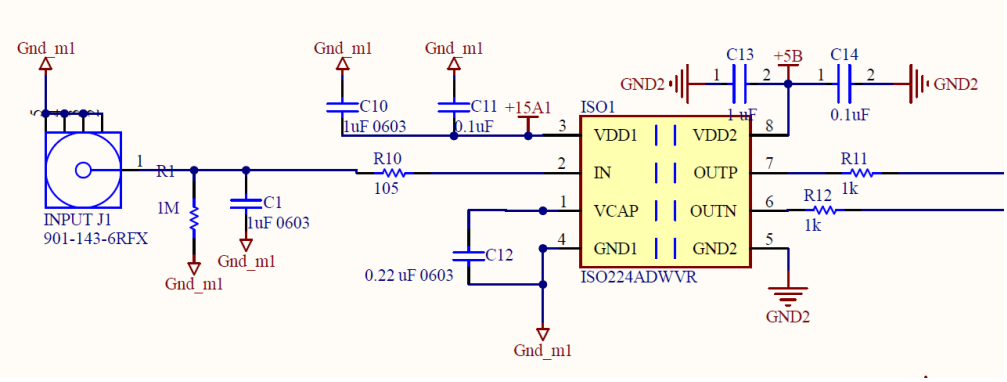


Figura 4.21: Circuito esquemático de entrada.

- **Comparación y estado de falla**: Se compara cada señal con una referencia de 3.833 V, la cual, si es superada por cualquiera de las fases, sigue una secuencia lógica de varias etapas que finaliza en una salida de 0 V. En caso contrario, el sistema sigue habilitado con 5 V. Esta última señal se encuentra aislada de la proveniente por la DSP por un amplificador de aislamiento (ISO7021) . Ambas señales, junto con otra de 5 V fijada por un interruptor manual, van a una compuerta AND lógica. Tres interruptres de dos posiciones permiten seleccionar si implementar una, ambas protecciones o

apagar el sistema. Como se ha mencionado, la salida de la compuerta AND llega a un *level-shifter* de 5–12 V, que habilita una señal llamada ENABLE 12 V, la cual ingresa al convertidor y controla el encendido y apagado de los IGBT.

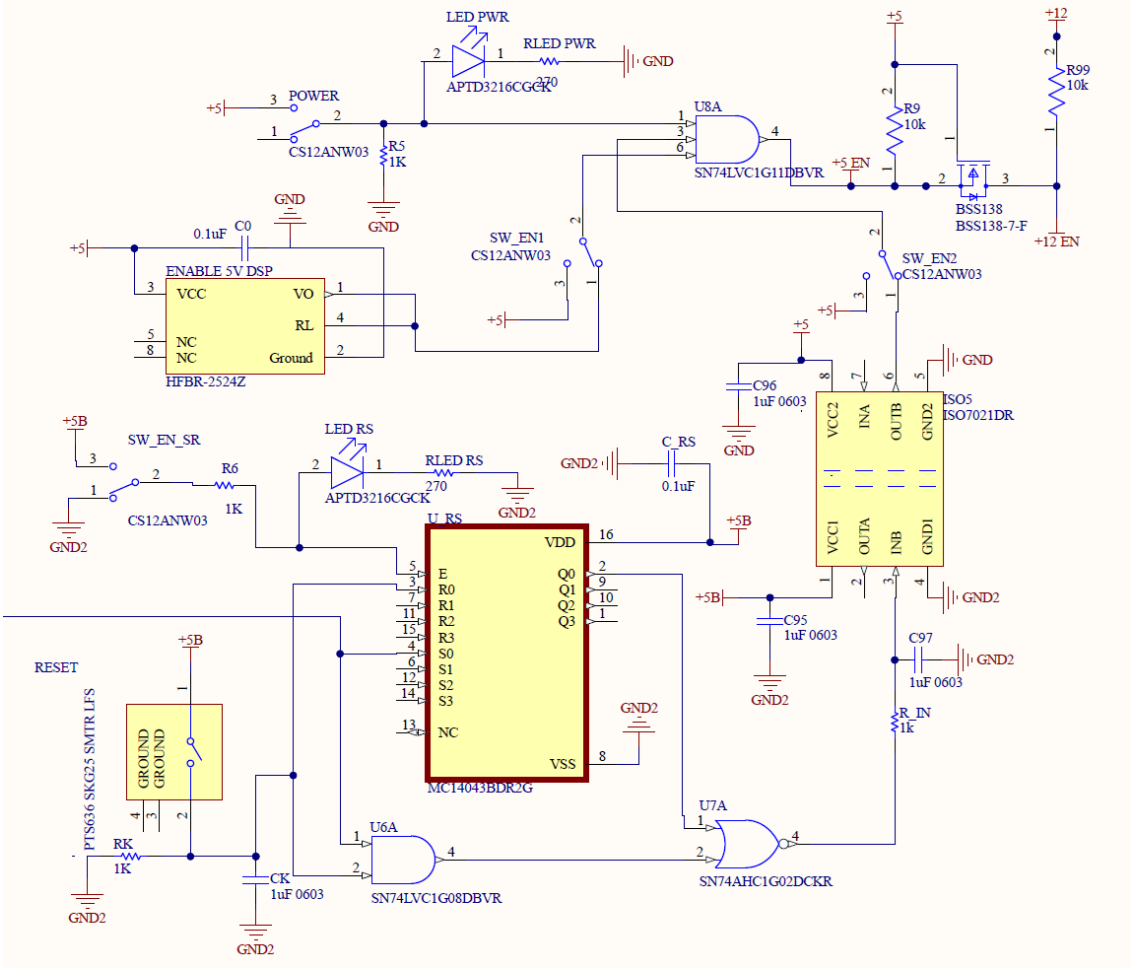


Figura 4.22: Esquemático del circuito lógico de comparación y habilitación.

- **Referencia de voltaje**: Las referencia de 3.833 V con un fijador de voltaje tipo serie MAX6037AAUKADJ+T (MAX6037), que es alimentado con 5 V y ajustados por medio de resistencias trimmer de 220 kΩ. El MAX6037 tiene una limitante inferior de 1.184 V, lo cual es suficiente para funcionar correctamente. Por otra parte, se energizan los comparadores, el fijador de voltaje e integrados lógicos con un regulador de tensión LT1117CST-TRPBF (LT1117) de salida +5 V.

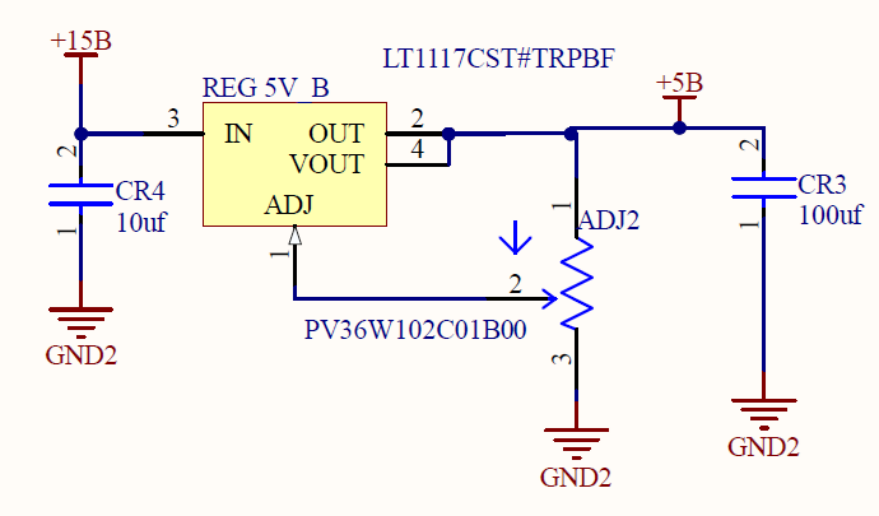


Figura 4.23: Esquemático del circuito regulador de voltaje.

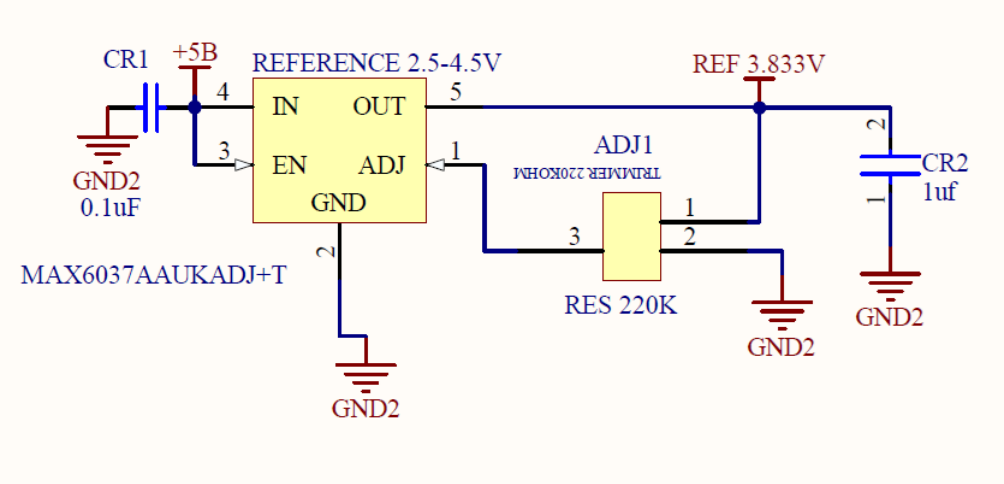


Figura 4.24: Esquemático del circuito de referencia de voltaje.

- **Alimentación**: Se alimentan los circuitos con una fuente AC-DC (RD85A) con una salida de 5 V–8 A y otra de 12 V–4 A, que van a un conector Molex de 6 pines. Los 5 V energizan los convertidores DC-DC aislados de 5–12 V y 5–15 V, los que establecen referencias de tierra separadas entre el circuito interno de protección por hardware y el que contiene a la protección digital y el mosfet que contecta con el NPC.

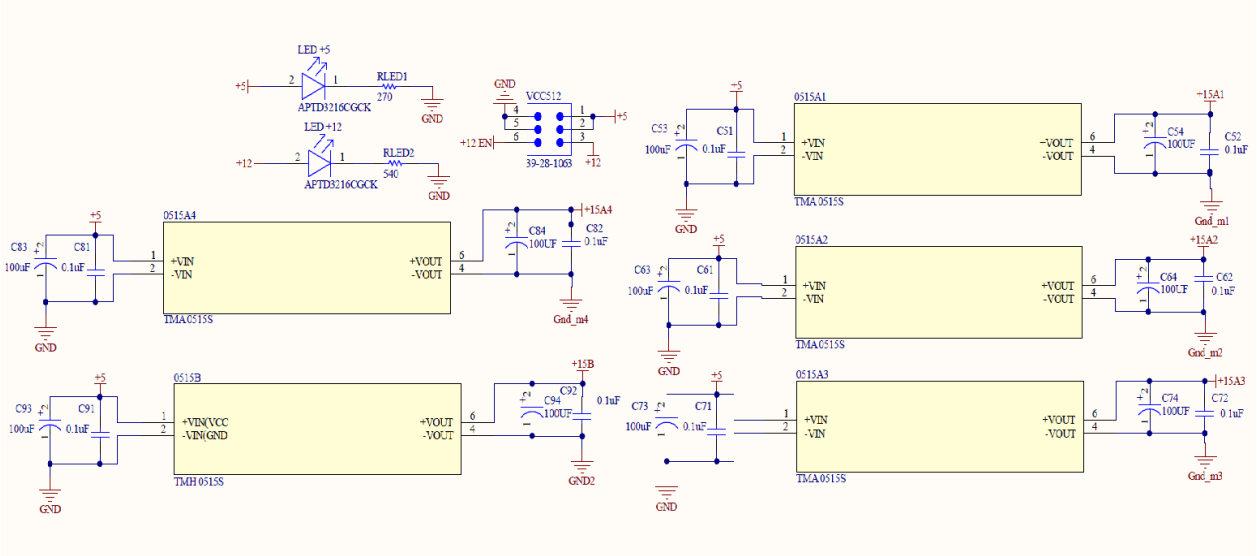


Figura 4.25: Esquemático del circuito de alimentación.

4.6.3. PCB

El diseño de la PCB ENABLE 12 V considera planos dobles de GND que incluyen vías que comunican las caras superior e inferior, distribuidos por toda la PCB, con el fin de disminuir la impedancia y bucles de tierra, mejorando la gestión térmica, lo que adicionalmente permite blindar al circuito de interferencia electromagnética. (EMI) [23]. Se deja un espacio vacío de distanciamiento equivalente largo de los amplificadores aisladores, lo que permite aislar de mejor forma las señales. Se consideran pistas más gruesas para los nodos más cargados y que son de mayor longitud. Para las salidas diferenciales se rutea equidistantemente entre terminales de salida positiva y negativa. Se intenta no cablear por debajo de los integrados para evitar ruido electromagnético y que las pistas tengan la menor cantidad de curvas y que estas sean suaves. Para filtrar las señales de ruido de alta frecuencia se insertan condensadores de desacoplamiento en las entradas de alimentación de los integrados, en el rango de $\{0.1\text{–}1\text{–}10\text{–}100\,\mu\text{F}\}$.

Con estas consideraciones se asegura integridad de las señales [23], facilitando una respuesta adecuada para la protección del sistema ante sobrecorrientes. El modelo 2D en Altium de la PCB se presenta en la figura 4.26, en donde se puede ver el ruteo de cada componente, la ubicación de estos y la delimitación de las partes de la PCB entre las entradas, el circuito de protección por hardware y la protección digital.

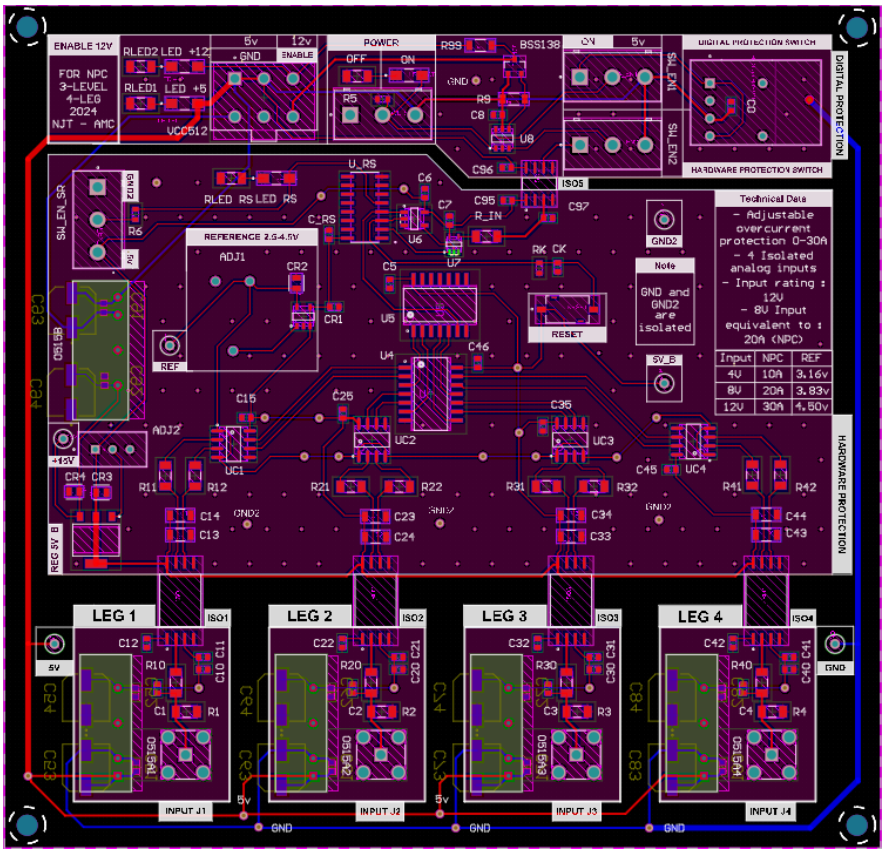


Figura 4.26: Modelo 2D em Altium PCB ENABLE 12 V.

En la figura 4.27 del modelo 3D de Altium se ve que la mayoría de los componentes fueron establecidos en la capa superior, dejando condensadores electrolíticos en la capa inferior para los convertidores DC-DC de alimentación.

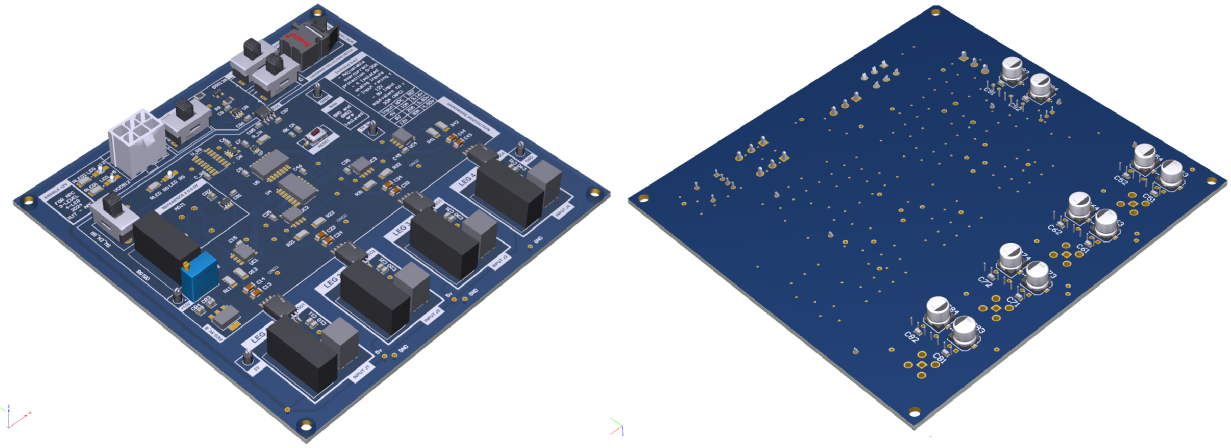


Figura 4.27: Modelo 3D de Altium PCB ENABLE 12 V.

4.6.4. Simulación

Se simula el esquema de protección que integra ambas protecciones en el software LTSpice previa implementación práctica, como se ve en la figura 4.28. Para la generación de las señales de referencia se usan amplificadores diferenciales, ya que no se dispone de los ISO224 o similares.

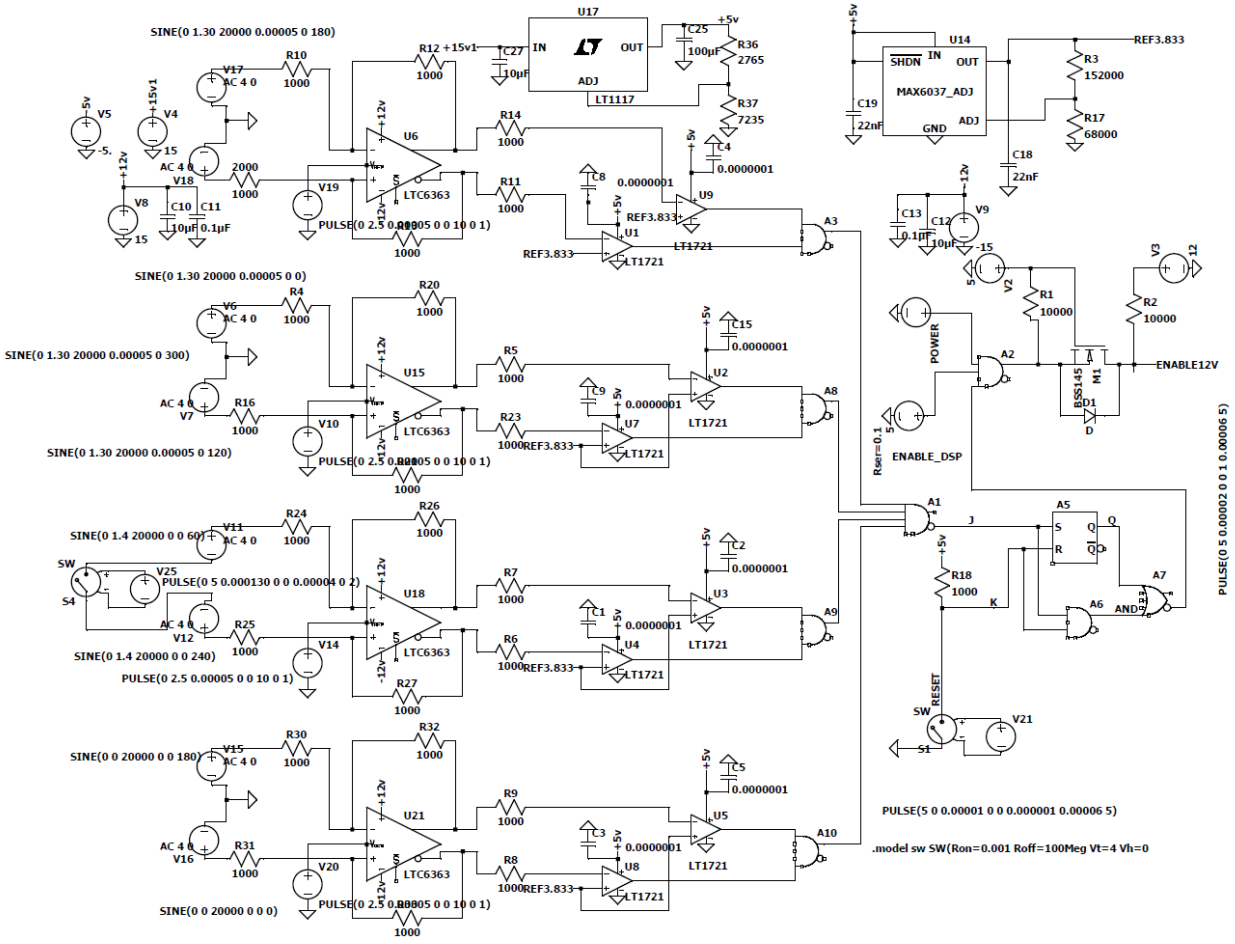


Figura 4.28: Circuito de simulación de la protección por hardware ENABLE 12 V.

Los estados descritos anteriormente en la tabla 4.5 que se simulan se definen cronológicamente de la siguiente forma:

1. **Normal y apagado**: Corresponde al inicio del sistema cuando la condición de falla no está presente, pero el interruptor de encendido se encuentra sin accionar. Convertidor apagado.

2. **Normal e inicio**: Todas las fases se encuentran en rangos normales de corriente y el la señal de reset (R) inicia el convertidor. Corresponde a cuatro salidas de valor lógico

1 en los comparadores, 0 a la salida del NAND (S) y un 1 a la salida de ENABLE 12 V . Convertidor encendido.

3. **Normal y reinicio**: Cuando el convertidor está iniciado, el efecto de reinicio por la señal R momentánea no modifica el estado del convertidor.

4. **Falla**: Cualquier falla presente tiene un valor lógico 0 como salida de los comparadores, pero equivale a un 1 como estado de falla a la salida del NAND (S) y un 0 a la salida de ENABLE 12 V. El valor de R es 0. Convertidor apagado.

5. **Falla e inicio**: El inicio del sistema controlado por R está bloqueado por la situación de falla en una fase. Convertidor apagado.

6. **Despeje falla**: Una vez eliminada la falla, el convertidor sigue apagado a la espera de una orden de reinicio.

7. **Despeje falla e inicio**: Al pulsar el interruptor R, se inicia nuevamente el sistema.

Se programan los eventos en 300 μs con *switches* controlados por fuentes de voltaje, se integra la protección por software y se grafican las siguientes señales:

- **Enable 12v**: Corresponde a la señal de salida en el punto del MOSFET, habilita los IGBT del convertidor en estado alto.
- **Enable dsp**: Es la que proviene de la protección por software desde la DSP.
- **Falla p y falla n**: Representa las señales diferenciales, simulando una sobrecorriente que inicia en 130 μs y dura 80 μs en dos ciclos.
- **Ref**: Representa la referencia de voltaje de 3.833 V para los comparadores.
- **S**: Proviene de la salida del AND de cuatro entradas de la etapa de comparación. Un estado alto significa falla.
- **R**: Señal de inicio/reinicio, viene de la resistencia *pull-down*, y es accionada por un pulsador que en estado normal está abierto y conectado a GND 0 V. Al presionar el interruptor el punto queda a 5 V. Manda pulsos cada 60 μs.
- **Power**: Señal de inicio/apagado, que viene controlada por un interruptor de dos posiciones.

Como resultado se obtienen los siguientes gráficos agrupados en la figura 4.29, en donde se puede ver que el sistema responde adecuadamente ante los cambios de estado, controlando efectivamente el apagado del convertidor ante sobrecorrientes y el reinicio en estado normal.

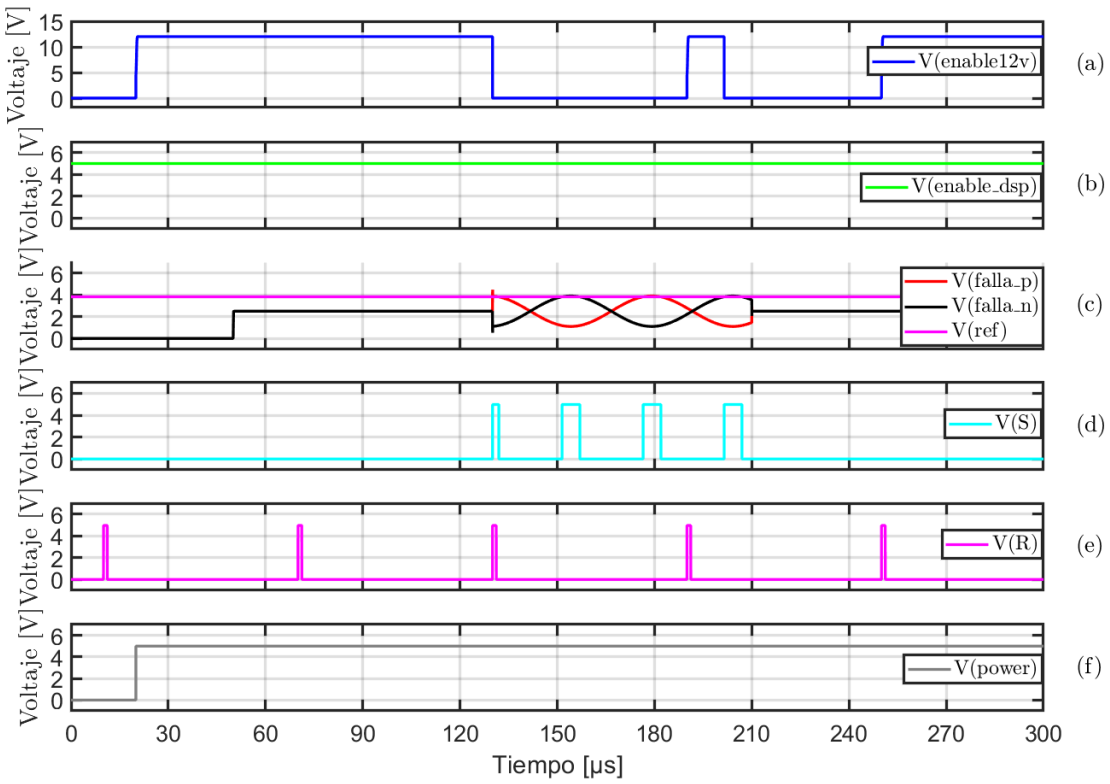


Figura 4.29: Resultados de simulación para la protección por hardware ENABLE 12 V.

Capítulo 5

Implementación y resultados experimentales

En este capítulo se presentan los resultados obtenidos en laboratorio como etapa final de la ejecución de este trabajo. Esta etapa tiene el fin de comprobar los resultados de simulación y la implementación de la modulación SVM y el control escalar, junto con el esquema de protección. Para validar este proceso se realizan pruebas en el Laboratorio de Investigación de Accionamientos Eléctricos (LIAcE), se registran mediciones, se analizan resultados esperados y se comparan con los simulados.

5.1. Banco de pruebas

El banco de pruebas se compone de dispositivos de energización, control, potencia y protección, además de instrumentos de medición como osciloscopio, puentes de tensión y corriente. Se energizó la entrada DC con un variac y un condensador de filtrado de $2220\,\mu$F. En la figura 5.1 se muestra la estación de trabajo experimental.

Las condiciones para la ejecución de las pruebas se resumen en la tabla 5.1, las cuales intentan replicar los resultados teóricos probados en PLECS.

Tabla 5.1: Parámetros del sistema de pruebas.

Nombre	**Parámetro**	**Valor**
Resistencia de carga	R_1, R_2, R_3	$15\,\Omega$
Inductancia	L_1, L_2, L_3	$2{,}5\,$mH
Capacitancia	C_1, C_2	$1500\,\mu$F
Frecuencia de muestreo	f_s	$1000, 5000, 10000\,$Hz
Voltaje de DC-Link	V_{dc}	$400\,$V

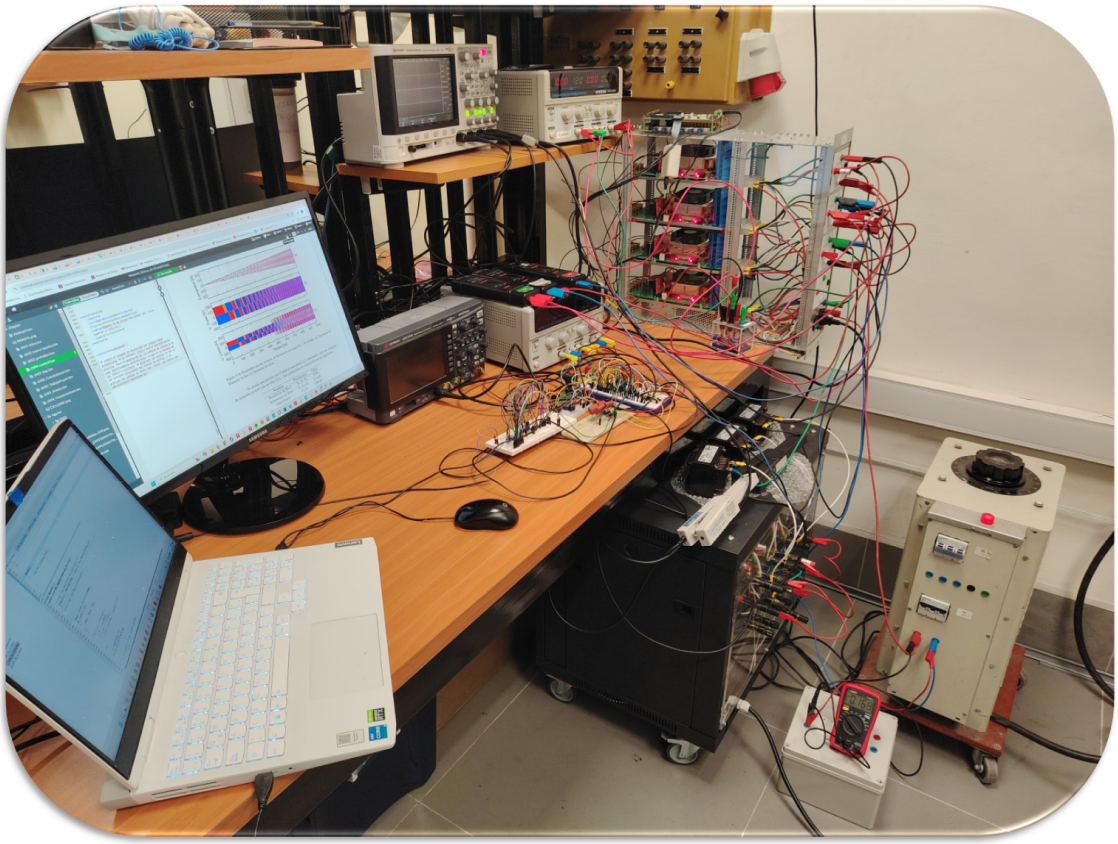


Figura 5.1: Banco de pruebas NPC-3L.

5.2. Circuito de protección

Se probó el circuito de protección por software y por hardware de forma combinada, siguiendo el mismo esquema de pruebas que el realizado previamente en LTspice. El *setup* de pruebas se muestra en la figura 5.2,

El circuito experimental fue armado sobre varias protoboards, utilizando componentes de orificio pasante y cables Dupont para las conexiones. Este se compone de las siguientes partes:

- **Circuito lógico**: Se emplearon comparadores (LM319N), los cuales son de menores prestaciones que los del prototipo, compuertas NAND, NOR y AND marca Texas Instruments, flip-flop JK (74HC112) que emula el comprotamiento del *latch* R-S, un oscilador de cristal de 30 MHz y un MOSFET de canal negativo (BSS138).
- **Alimentación**: Se usó convertidor DC-DC de 5-15 V marca Traco Power, un regulador de voltaje de salida 5 V.

- **Señales de referencia y entrada**: Se fijaron con generadores DC y con un generador de ondas/osciloscopio. No se incorporaron componentes fijadores de referencia, y no se usaron los amplificadores aislados de entrada.
- **ENABLE DSP**: Se habilitó un puerto receptor de fibra óptica para la señal de control de la DSP con receptores (AFBR-2634Z) Broadcom.

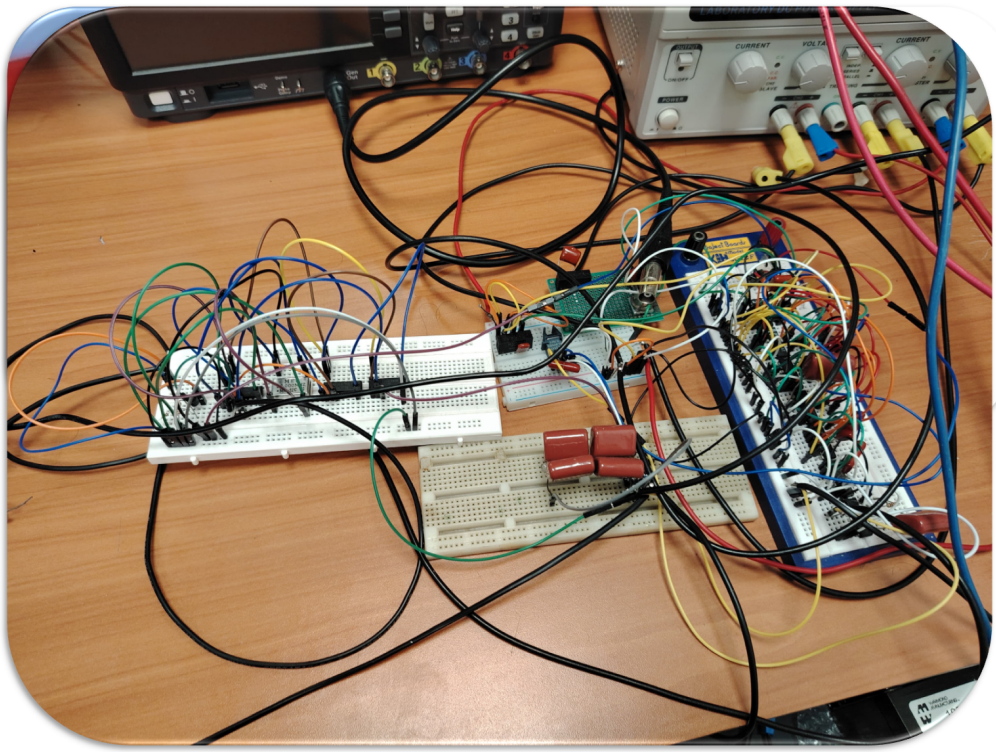


Figura 5.2: Circuito experimental de protección.

Se replicaron los eventos simulados en LTspice, obteniéndose resultados satisfactorios en cada cambio de estado. El sistema respondió de manera inmediata de acuerdo a lo esperado en cada uno de los pasos ejecutados. Los resultados de esta prueba se presentan en los gráficos siguientes, los cuales muestran una señal de referencia (amarilla), ENABLE DSP (azul) y ENABLE 12 V (verde). Esta última es la salida del sistema completo de protección que controla el encendido y apagado del bloque de potencia del convertidor.Se realizaron pruebas con señales de referencia en el rango de frecuencias entre 50 Hz y 20 kHz. No obstante, en la figura 5.3 solo se presentan los resultados correspondientes a la frecuencia de 50 Hz. Los resultados obtenidos por cada gráfico se resumen a continuación.

- **(a) Transición desde el estado inicial de apagado y el inicio del convertidor**

- **Gráfico izquierdo:** Estado inicial, convertidor apagado.
- **Gráfico derecho:** Inicio del sistema de protección en estado normal.

- **(b) Detección de sobrecorriente y reinicio del sistema al despejar la falla**
  - **Gráfico izquierdo:** Estado de falla por sobrecorriente, convertidor apagado.
  - **Gráfico derecho:** Despeje de falla y reinicio.
- **(c) Detección de sobrecorriente por la DSP y reinicio del sistema en estado normal**
  - **Gráfico izquierdo:** Disparo por falla detectada por la DSP, convertidor apagado.
  - **Gráfico derecho:** Restitución de señal de ENABLE DSP, estado de encendido.

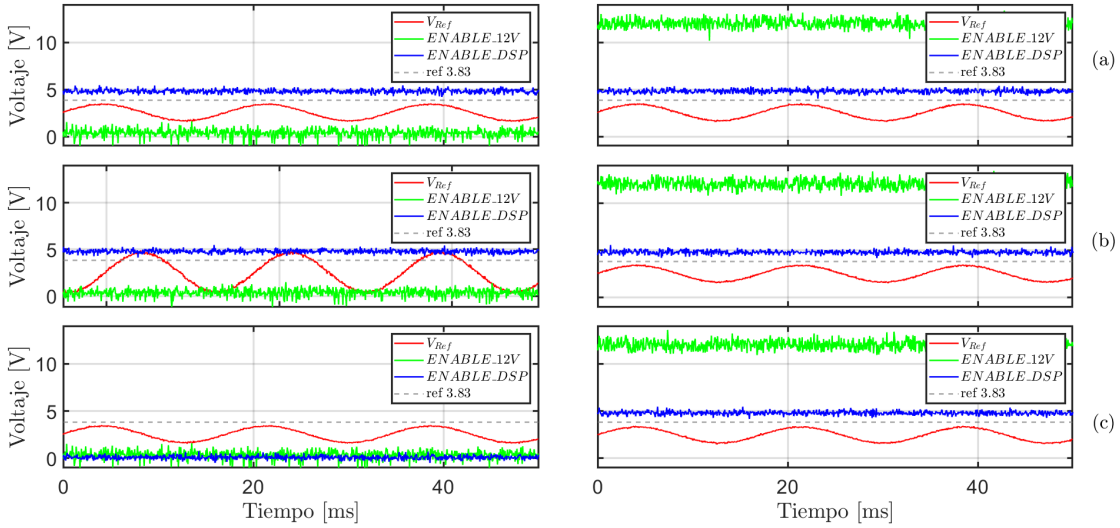


Figura 5.3: Prueba del sistema de protección.

5.3. Señales de referencia

Una forma de validar que la modulación SVM se está implementando de forma correcta, es comparando las referencias generadas por la plataforma de control digital con las programadas en PLECS, las cuales siguen un patrón sinusoidal con inyección de modo común de tipo min/max de acuerdo a la figura 5.4. Como resultado, se espera que la relación entre las señales producidas por SVM y PWM sea de 1.15, de acuerdo a cómo se definió el índice de modulación. Esta relación se debe a la optimización vectorial que permite representar de mejor forma la referencia generada en un ciclo de trabajo, distribuyendo de manera más

eficiente los vectores espaciales de tensión al incluir no solo los vectores activos, sino también los vectores nulos, lo que maximiza el aprovechamiento del bus DC [24] [4].

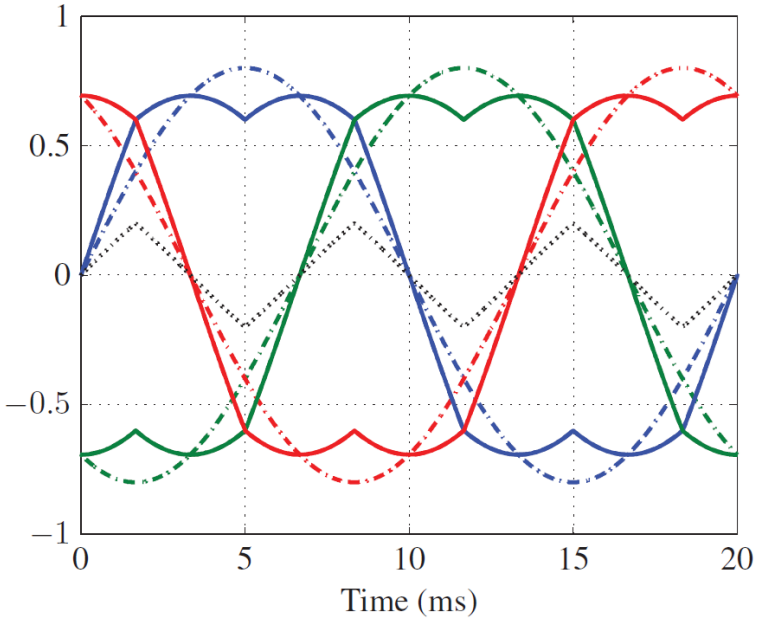


Figura 5.4: Señal de inyección de modo comun (línea punteada) [4].

En la figura 5.5 se ven la señales de referencia que se producen por SVM en la plataforma de control digital y las obtenidas en simulación.

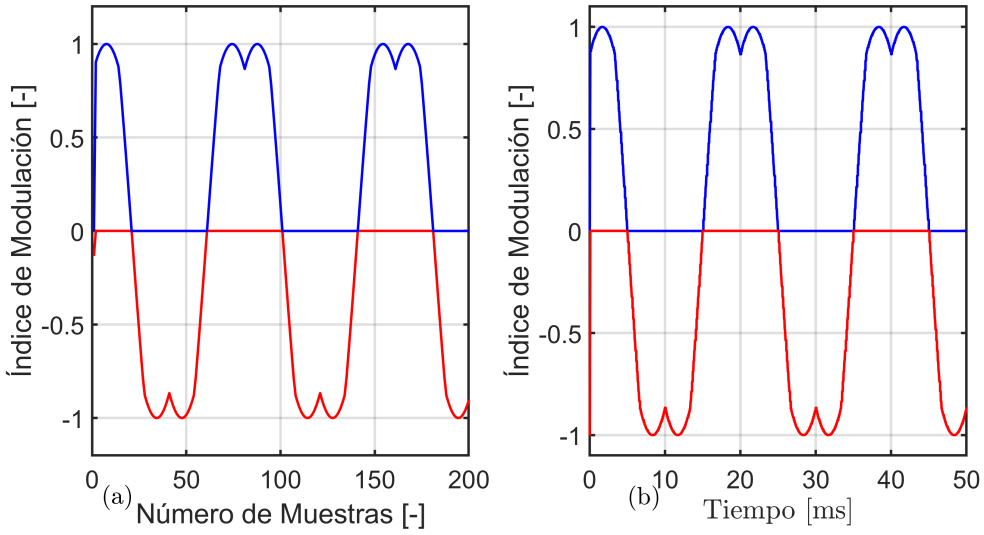


Figura 5.5: Señal de referencia para V_a, $f_s = \{10\text{ kHz},\ ma_1 = 1\}$, simulación en PLECS.

5.4. Tiempo muerto

Previo a la soldadura de los IGBT en los módulos de poder se midió el tiempo muerto entre la señal PWM $Sx1$ y $Sx2$, teniendo como resultado 2.05 us . Se verificó que el tiempo de retardo desde que se envia la señal de referencia hasta responden, es de 540 ns. Se concluye que el tiempo muerto es adecuado para la seguridad de la conmutación de los semiconductores. No se detectaron diferencias significativas entre las distintas piernas del convertidor, lo que otorga más simetría en el proceso de conmutación de vectores, y por lo tanto mejor calidad de señal.

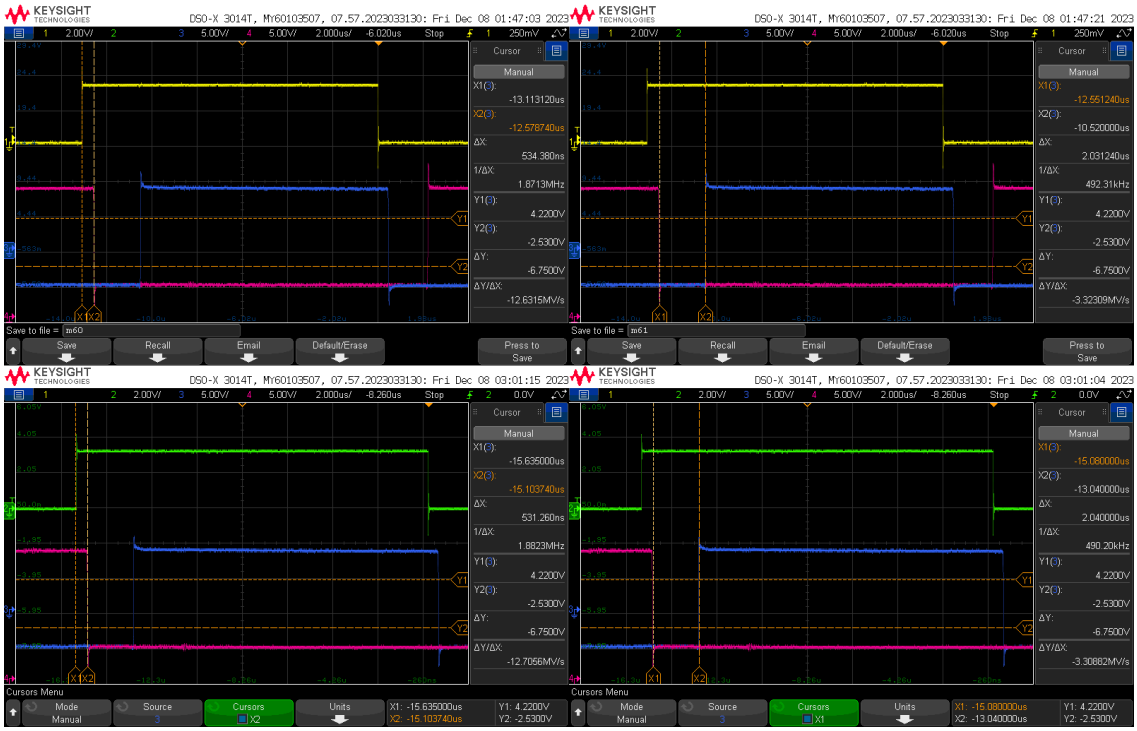


Figura 5.6: Medición de tiempo muerto entre para Sa1 (referencia amarilla) y Sa2 (referencia verde).

5.5. Ruido de medición

Al medir la corriente directamente desde el módulo de medición del convertidor se presentó ruido de alta frecuencia de 3 MHz, el cual se visualiza en la figura 5.7.

Para eliminar este ruido de alta frecuencia, se implementa un filtro Butterworth de segundo orden con frecuencia de corte de 50 kHz, usando un criterio sobre el doble de la frecuencia máxima de conmutación, que es 20 kHz, estimando las resistencias necesarias, a partir de las capacitancias $C_1 = C_2$ de 100 pF y considerando que R_1 es igual a R_2.

Para un filtro Butterworth de segundo orden, la frecuencia de corte se define como [25]:

Despejando y calculando las resistencias:

$$f_c = \frac{1}{2\pi\sqrt{R_1 R_2 C_1 C_2}} \tag{5.1}$$

$$R_1 R_2 = \frac{1}{(2\pi \times 50 \times 10^3)^2 \times (100 \times 10^{-12})^2} \approx 1{,}013 \times 10^9\,\Omega \tag{5.2}$$

$$R_1 = R_2 = \sqrt{1{,}013 \times 10^9} \approx 31{,}83\,\text{k}\Omega \tag{5.3}$$

Otra forma, asumiendo nuevamente $R_1 = R_2$, es estimando la resistencia con el coeficiente $\frac{\sqrt{2}}{\omega_c}$.

$$(R_1 + R_2)C_2 = \frac{\sqrt{2}}{\omega_c} \tag{5.4}$$

Despejando R_1 y sustituyendo los valores se tiene:

$$R_1 = \frac{1{,}414}{6{,}28318 \times 10^{-8}} \approx 22,500\,\Omega \tag{5.5}$$

Se elige un valor de 22.5 kΩ para las resistencias, adoptando un criterio más conservador que permite aumentar el ancho de banda del filtro. Esta selección permite filtrar de forma efectiva el ruido de alta frecuencia, teniendo ganancia de 1 en el rango de frecuencias de funcionamiento del convertidor.

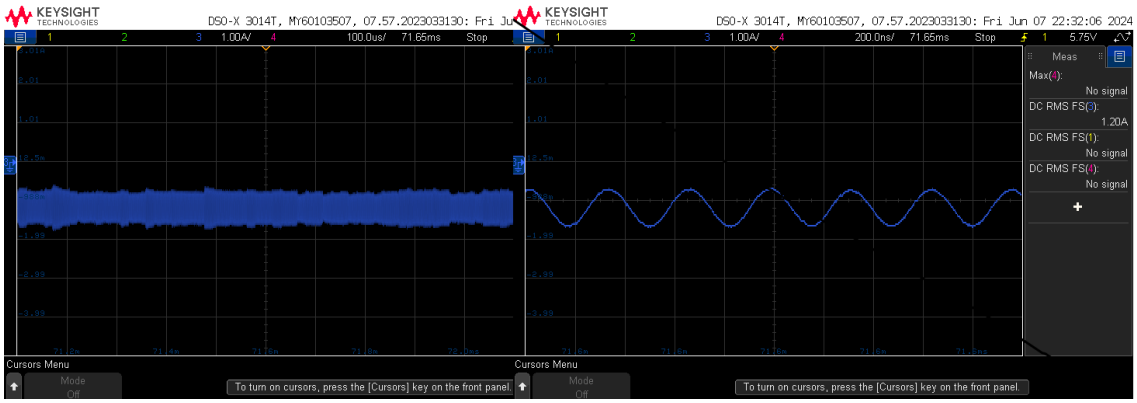


Figura 5.7: Señal de ruido de frecuencia 3 MHz presente en la corriente de una fase del convertidor.

Las señales de corriente filtradas se pueden ver en la figura 5.8, en donde se aprecia que el ruido ha desaparecido.

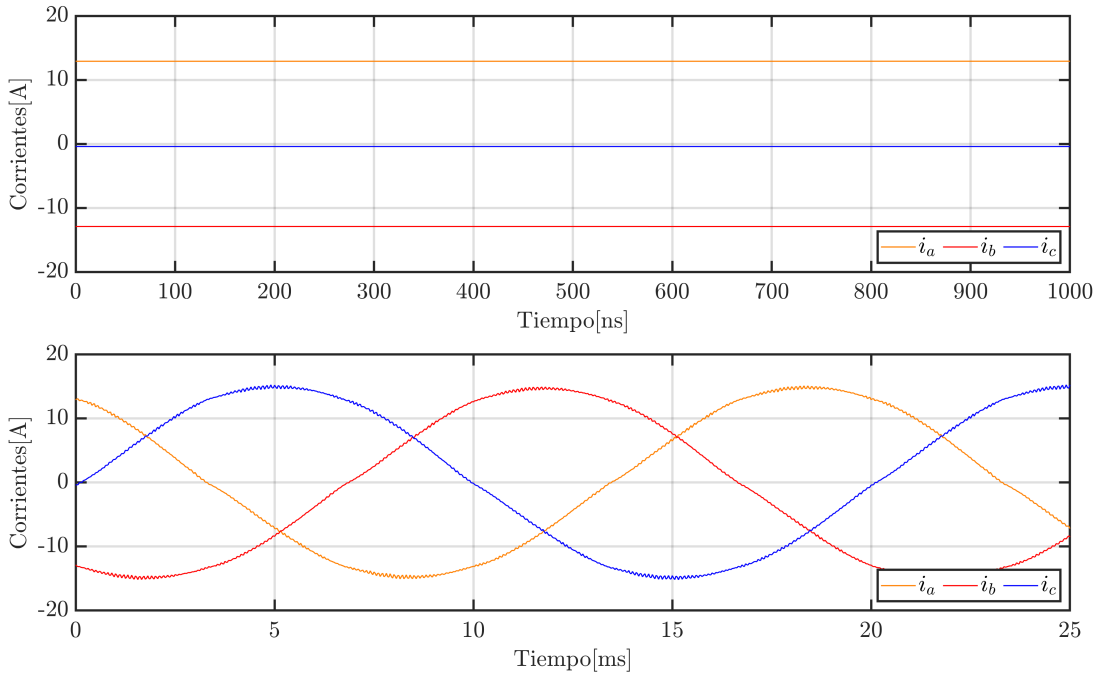


Figura 5.8: Señales de corriente filtradas.

5.6. Pruebas con carga RL

Se prueban ambas modulaciones con una carga RL, con un índice de modulación de 0.51, 0.7 y 1 en distintas frecuencias de conmutación: 2 kHz, 5 kHz y 10 kHz. Luego se estima el valor RMS, la amplitud, y se comparan los resultados experimentales obtenidos con la simulación para determinar los errores y validar los resultados experimentales.

5.6.1. Level Shifted CB-PWM

A continuación se muestran los gráficos conseguidos de corriente. tensiones de fase y tensiones de línea con modulación CB-PWM en una ventana de tiempo de 100 ms.

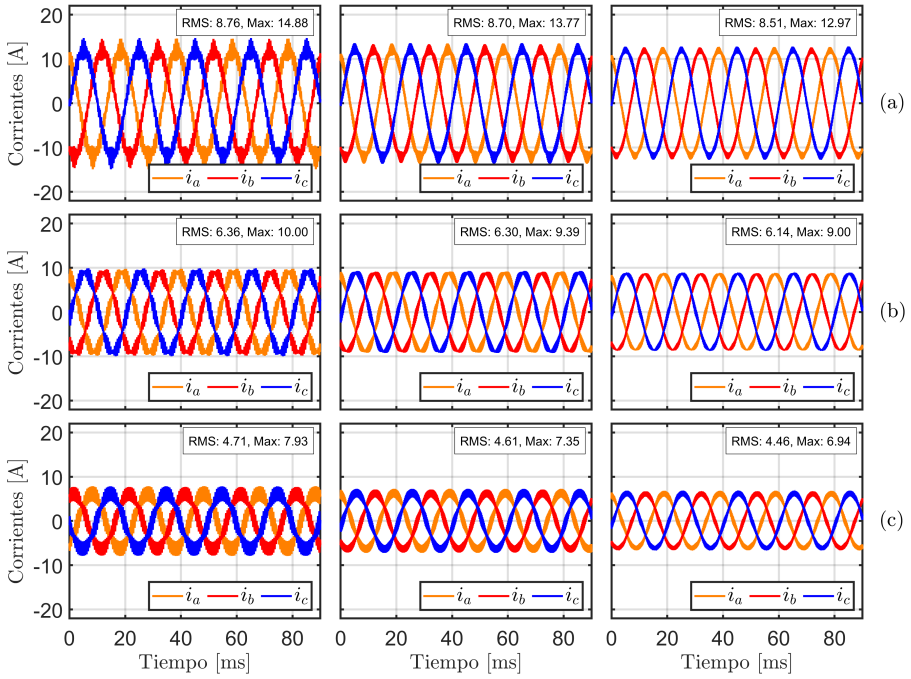


Figura 5.9: Formas de onda experimentales de corriente con carga RL, CB-PWM. (a) ma = 1, fs= (2, 5, 10 kHz). (b) ma = 0.7, fs= (2, 5, 10 kHz). (c) ma = 0.51, fs= (2, 5, 10 kHz).

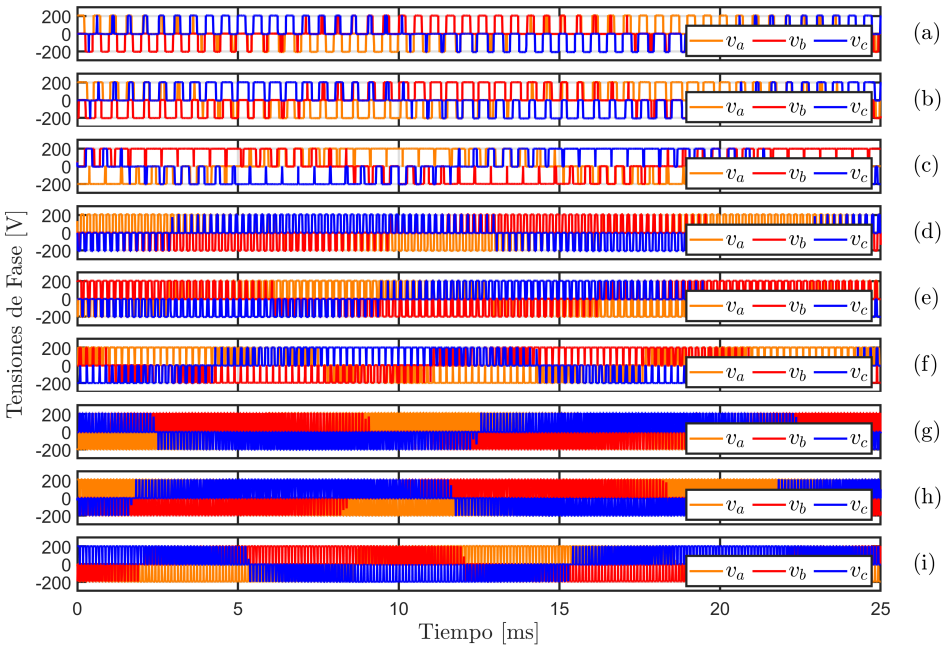


Figura 5.10: Formas de onda experimentales de tensiones de fase con carga RL, modulación CB-PWM. (a-b-c) fs = 2 kHz, ma= (0.51, 0.7, 1). (d-e-f) fs = 5kHz, ma= (0.51, 0.7, 1). (g-h-i) fs = 10 kHz, ma= (0.51, 0.7, 1).

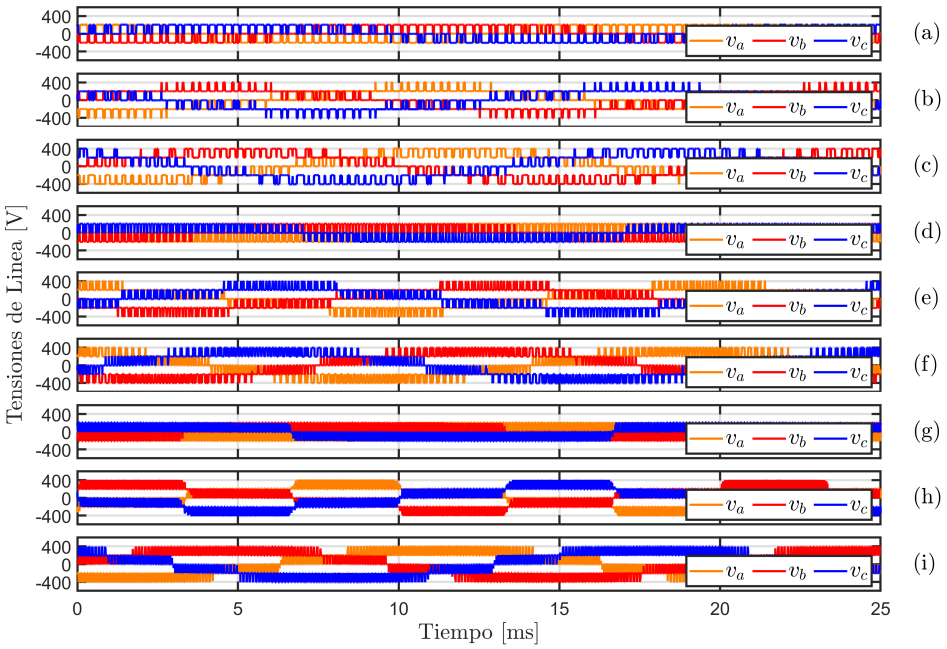


Figura 5.11: Formas de onda experimentales de tensiones de línea con carga RL, modulación CB-PWM. (a-b-c) fs = 2 kHz, ma= (0.51, 0.7, 1). (d-e-f) fs = 5kHz, ma= (0.51, 0.7, 1). (g-h-i) fs = 10 kHz, ma= (0.51, 0.7, 1).

5.6.2. Space Vector Modulation

En esta sección se muestran los gráficos utilizando modulación SVM, con los mismos indices de modulación y frecuencia que en las pruebas anteriores. Los gráficos conseguidos de corriente se presentan en la figura 5.12, los de tensiones de fase (figura 5.13) y las tensiones de línea en la figura 5.14.

En las imágenes se aprecia que la corriente sigue una forma sinusoidal con valores RMS y de amplitud aproximados a los estimados en simulación. Se observa una forma de onda que sigue mejor la referencia en la medida que aumenta la frecuencia de muestreo, sin embargo, esto produce un aumento la reactancia inductiva, trayendo como consecuencia mayores pérdidas, lo que se ve reflejado en menores RMS. Por otra parte, al disminuir el índice de modulación desde 1 a 0.51, las magnitudes siguen una caída aproximadamente lineal en la medida que se cambia m_a.

Las tensiones de fase se visualizan como pulsos rectangulares, con espaciado entre estos que depende de m_a, en donde pulsos más separados indican un índice menor, debido a que los ciclos de trabajo PWM disminuyen. Las tensiones de línea presentan cinco niveles, en vez de los tres que tienen las tensiones de fase, lo cual es apreciable a partir de un m_a mayor a 0.5.

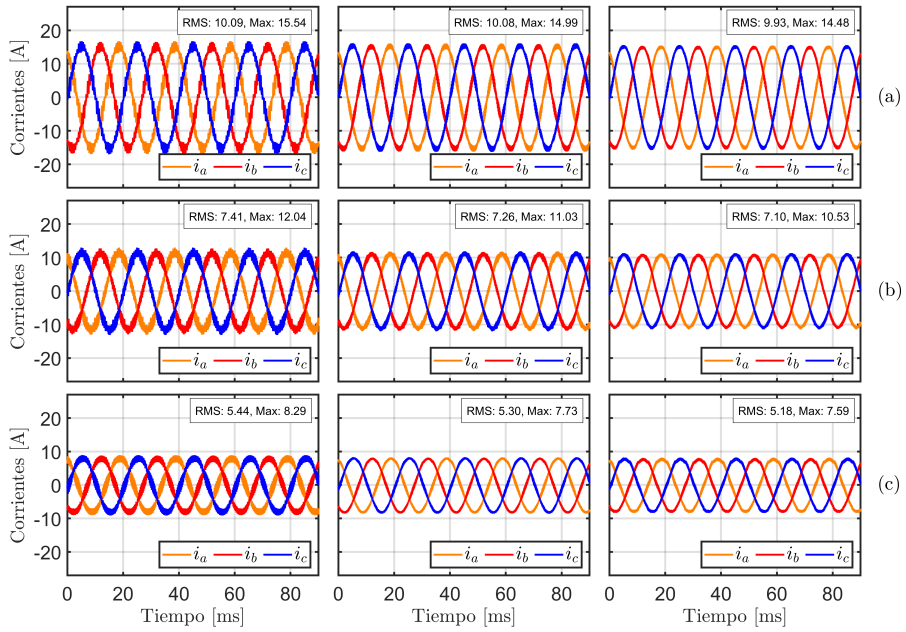


Figura 5.12: Formas de onda experimentales de corriente con carga RL, modulación SVM. (a-b-c) ma = 1, fs= (2, 5, 10 kHz). (d-e-f) ma = 0.7, fs= (2, 5, 10 kHz). (g-h-i) ma = 0.51, fs= (2, 5, 10 kHz).

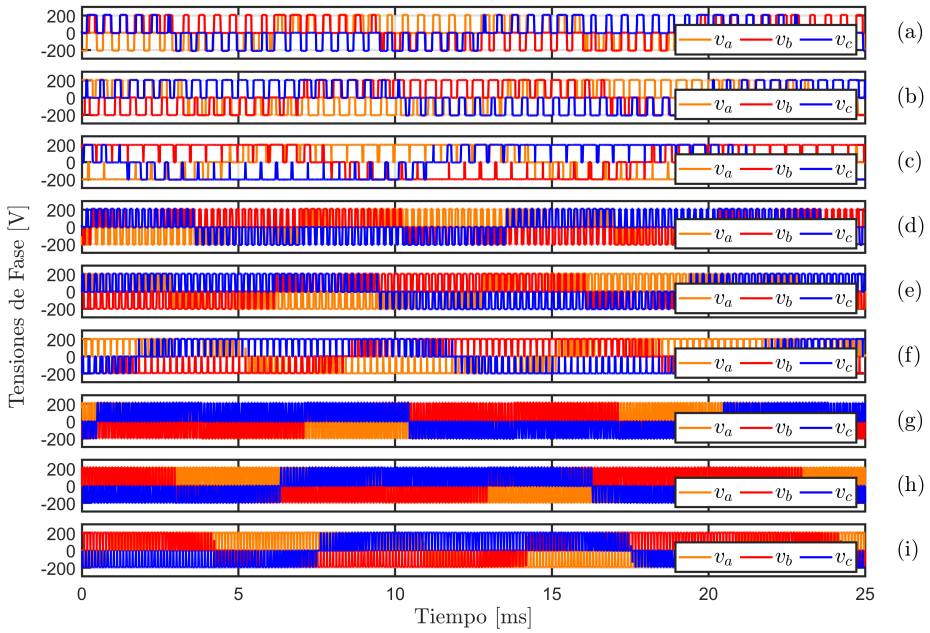


Figura 5.13: Formas de onda experimentales de tensiones de fase con carga RL, modulación SVM. (a-b-c) fs = 2 kHz, ma= (0.51, 0.7, 1). (d-e-f) fs = 5kHz, ma= (0.51, 0.7, 1). (g-h-i) fs = 10 kHz, ma= (0.51, 0.7, 1).

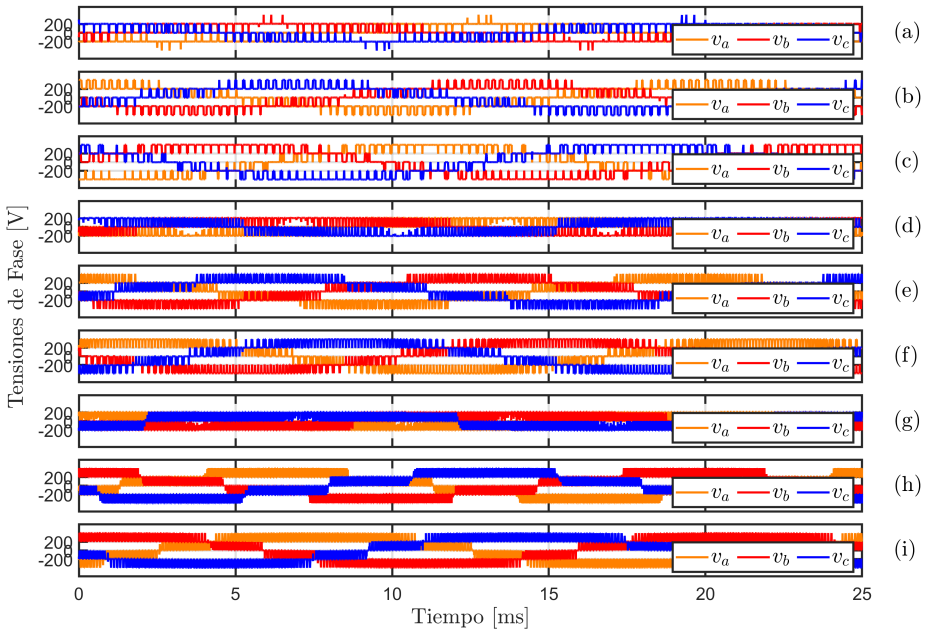


Figura 5.14: Formas de onda experimentales de tensiones de línea con carga RL, modulación SVM.(a-b-c) fs = 2 kHz, ma= (0.51, 0.7, 1). (d-e-f) fs = 5kHz, ma= (0.51, 0.7, 1). (g-h-i) fs = 10 kHz, ma= (0.51, 0.7, 1).

Se comparan los cocientes de los valores RMS entre las corrientes de la modulación SVM y la modulación CB-PWM. Los resultados se presentan en la tabla 5.2, obteniendo un valor medio de 1.1575, que al ser comparado con la relación esperada teórica de 1.1547, representa un error de 0.2425 %, lo que se muestra en la ecuación 5.9.

Tabla 5.2: Razón entre corrientes SVM y CB-PWM

Frecuencia (kHz)	$m_a = 1$	$m_a = 0{,}7$	$m_a = 0{,}51$
2	1.151	1.158	1.166
5	1.165	1.152	1.156
10	1.154	1.149	1.161

$$\text{error promedio} = \left(\frac{|1{,}1575 - 1{,}1547|}{1{,}1547} \right) \times 100 \approx 0{,}2425\,\% \tag{5.6}$$

De igual forma, las diferencias entre los RMS de los gráficos deducidos en la simulación con los conseguidos en la parte experimental, se deben a múltiples factores, que pueden ser errores instrumentales, imprecisión en los valores especificados de los componentes,

la inclusión de impedancia propia del convertidor y los implementos de medición como cables y circuitos de protección. Los resultados se exponen en la tabla 5.3, estimándose una media de 2.37 %, según la ecuación (5.8).

Tabla 5.3: Diferencia entre corrientes SVM experimentales vs simuladas [%]

Frecuencia (kHz)	$m_a = 1$	$m_a = 0{,}7$	$m_a = 0{,}51$
2	3.35	3.08	4.61
5	0.41	1.22	3.40
10	0.93	1.12	3.18

$$\text{diferencia promedio} = \frac{1}{9}\sum_{i=1}^{9}\left(\frac{|I_{\text{simulado},i} - I_{\text{experimental},i}|}{I_{\text{simulado},i}} \times 100\right) = 2{,}37\,\% \tag{5.7}$$

Los errores de baja magnitud estimados, demuestran que la implementación de la modulación por vectores espaciales es concordante con lo esperado, ya que se logra extraer aproximadamente un 15 % más de corriente del bus DC, aumentando las prestaciones del convertidor, lo que conlleva a ventajas como la reducción del estrés térmico y disponer de mayor potencia útil.

5.7. Contenido armónico

El espectro armónico de las corrientes de salida, tensiones de fase y de línea con $m_a = \{0{,}51, 0{,}7 \text{ y } 1\}$, y frecuencias = {2 kHz} se muestran en la figura 5.15. Se grafican en p.u. tomando como base la amplitud a la frecuencia fundamental.

Los armónicos se concentran alrededor de $f_s = 2$ kHz, apareciendo como armónicos múltiplos de la portadora y sus bandas laterales, y como componentes de 3ª de la fundamental, ya que son de modo común para todas las fases. Estas son canceladas en modo diferencial, por lo que no aparecen en las tensiones de línea ni producen corriente.

Para las corrientes domina la 5ª y 7ª armónica, las que equivalen a menos del 1 % de la fundamental en el rango de la frecuencia de Nyquist, presentando valores muy similares a los esperados. Esto se constata en la tabla 5.4 de errores, cuyas discrepancias se deben a la implementación del control con componentes reales, retraso de respuestas y asimetrías en el control digital, lo que introduce ruido de alta frecuencia, afectando la respuesta del sistema.

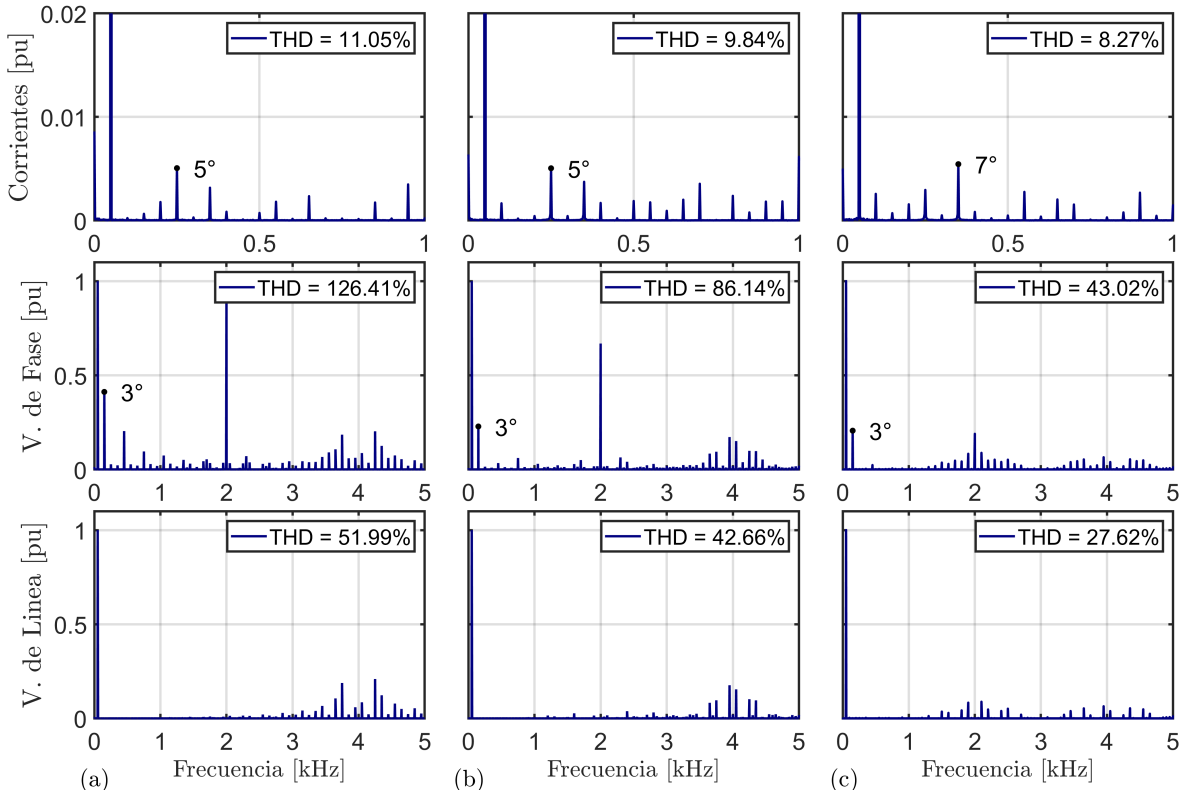


Figura 5.15: Espectro armónico y THD experimental para corrientes, tensiones de fase y tensiones de línea, fs 2 kHz. (a)(b)(b) $m_a = \{0{,}51, 0{,}7, 1\}$.

Tabla 5.4: Diferencia entre los THD [%] simulados y experimentales.

Magnitud	$m_a = 1$	$m_a = 0{,}7$	$m_a = 0{,}51$
Corrientes	0.16	0.19	0.18
Tensiones de fase	4.66	2.44	5.36
Tensiones de línea	4.27	0.82	3.21

5.8. Control escalar

Se prueba el controlador V/f usando un tiempo de aceleración de 50 Hz por segundo, partiendo del reposo con la misma carga RL y alimentado por 400 Vdc.

En los gráficos de la figura 5.16 se observa que las corrientes y tensiones alcanzan sus valores nominales luego de 1 s, empezando desde una referencia de velocidad 0 hasta llegar progresivamente a 50 Hz, en pasos de tensión proporcionales a la frecuencia, manteniendo la relación V/f constante.

Se observa una respuesta coincidente con lo alcanzado en la etapa de simulación, ya que inicia con ondas de períodos más amplios que se van acortando en el tiempo hasta llegar al valor nominal. El control conectado a una máquina de inducción no se implementó, dejando su ejecución para trabajos futuros.

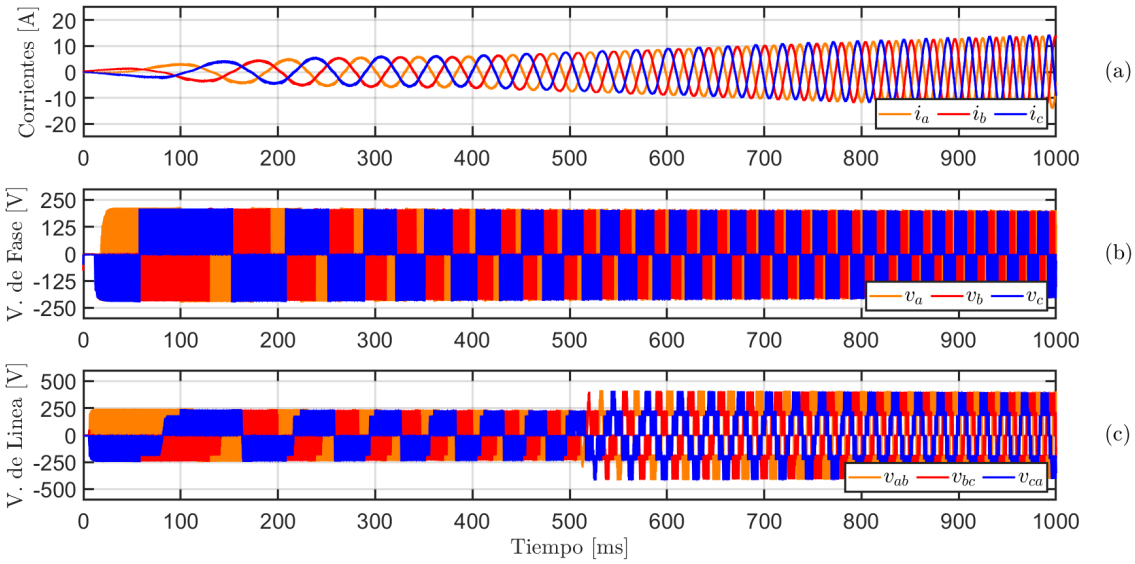


Figura 5.16: Curva V/f conectado a carga RL.

Capítulo 6

Conclusiones y trabajo futuro

- Se pudo armar y probar el correcto funcionamiento del prototipo de convertidor NPC, obteniendo resultados adecuados que coinciden con lo esperado teóricamente.
- Las técnicas de modulación que se implementaron resultaron satisfactorias, ya que se pudo extraer 1,15 más corriente con SVM que con CB-PWM, gracias al mejor aprovechamiento del bus DC.
- Se obtuvo una señal de alta calidad, con errores bajos en relación a las magnitudes y los THD esperados.
- Los esquemas de protección, si bien fueron probados en laboratorio con resultados acordes a lo planeado, y también en simulación, deben implementarse en una PCB en el futuro para ser incorporados de forma íntegra al convertidor, y de esta forma, aumentar la seguridad en la operación de este.
- El control escalar ideado no se pudo probar conectado a una máquina de inducción, por lo que queda pendiente para futuros proyectos. Además, se podrán probar esquemas de control de mayor desempeño, como el control por campo orientado y estrategias más avanzadas como el control predictivo.

Referencias

[1] A. Mora, "Optimal switching sequence model predictive control for power electronics," Doctoral Thesis, Universidad de Chile, 2019, 117 h.

[2] ——, *Apuntes sobre Control Vectorial de Máquinas de Inducción*, Universidad Técnica Federico Santa María, October 2021, accionamientos Eléctricos.

[3] P. Lezana, *Manejo de la Plataforma Digital BRAIn para el control de Accionamientos*, Universidad Técnica Federico Santa María, 2022, version 0.9, Valparaíso, Chile.

[4] T. Geyer, *Model Predictive Control of High Power Converters and Industrial Drives*. John Wiley & Sons, 2017.

[5] S. Kouro *et al.*, "Recent advances and industrial applications of multilevel converters," *IEEE Transactions on Industrial Electronics*, vol. 57, no. 8, pp. 2553–2580, Aug 2010.

[6] J. Rodriguez, S. Bernet, B. Wu, J. O. Pontt, and S. Kouro, "Multilevel voltage-source-converter topologies for industrial medium-voltage drives," *IEEE Transactions on Industrial Electronics*, vol. 54, no. 6, pp. 2930–2945, Dec 2007.

[7] W. Bin, *High Power Inverters and AC Drives*. Wiley/IEEE Press, 2006.

[8] F. Sebaaly, H. Vahedi, H. Y. Kanaan, N. Moubayed, and K. Al-Haddad, "Design and implementation of space vector modulation-based sliding mode control for grid-connected 3l-npc inverter," *IEEE Transactions on Industrial Electronics*, vol. 63, no. 12, pp. 7854–7863, Dec 2016.

[9] M. Cansino, "Design and testing of a flexible multilevel power converter prototype," 2018, s17-073 Final Report.

[10] L. G. Franquelo, J. Rodriguez, J. I. Leon, S. Kouro, R. C. Portillo, and M. A. M. Prats, "The age of multilevel converters arrives," *IEEE Industrial Electronics Magazine*, vol. 2, no. 2, pp. 28–39, 2008.

[11] A. Nabae, I. Takahashi, and H. Akagi, "A new neutral-point-clamped pwm inverter," *IEEE Transactions on Industry Applications*, vol. IA-17, pp. 518–523, Sep 1981.

[12] J. I. Leon, S. Kouro, L. G. Franquelo, J. Rodriguez, and B. Wu, "The essential role and the continuous evolution of modulation techniques for voltage-source inverters in the past, present, and future power electronics," *IEEE Transactions on Industrial Electronics*, vol. 63, no. 5, pp. 2688–2701, 2016.

[13] J. Holtz, "Pulsewidth modulation for electronic power conversion," *Proceedings of the IEEE*, vol. 82, no. 8, pp. 1194–1214, 1994.

[14] K. Zhou and D. Wang, "Relationship between space-vector modulation and three-phase carrier-based pwm: a comprehensive analysis [three-phase inverters]," *IEEE Transactions on Industrial Electronics*, vol. 49, no. 1, pp. 186–196, 2002.

[15] V. G. Agelidis and M. Calais, "Application specific harmonic performance evaluation of multicarrier pwm techniques," in *PESC 98 Record. 29th Annual IEEE Power Electronics Specialists Conference (Cat. No. 98CH36196)*, vol. 1, 1998, pp. 172–178.

[16] J. Holtz and N. Oikonomou, "Neutral point potential balancing algorithm at low modulation index for three-level inverter medium-voltage drives," *IEEE Transactions on Industry Applications*, vol. 43, pp. 761–768, May 2007.

[17] N. Celanovic and D. Boroyevich, "A comprehensive study of neutral-point voltage balancing problem in three-level neutral-point-clamped voltage source pwm inverters," *IEEE Transactions on Power Electronics*, vol. 15, no. 2, pp. 242–249, March 2000.

[18] T. Bruckner and D. G. Holmes, "Optimal pulse-width modulation for three-level inverters," *IEEE Transactions on Power Electronics*, vol. 20, pp. 82–89, Jan 2005.

[19] D.-W. Chung, J.-S. Kim, and S.-K. Sul, "Unified voltage modulation technique for real-time three-phase power conversion," *IEEE Transactions on Industry Applications*, vol. 34, no. 2, pp. 374–380, Mar./Apr. 1998.

[20] F. Yamamoto, T. Kawabata, and F. Kurokawa, "Space vector pwm as a modified form of sine-triangle pwm for simple analog or digital implementation," *IEEJ Transactions on Industry Applications*, vol. 116, no. 8, pp. 820–827, 1996. [Online]. Available: https://www.jstage.jst.go.jp/article/ieejias1987/116/8/116_8_820/_article

[21] Z. Q. Zhu and D. Howe, "Electrical machines and drives for electric, hybrid, and fuel cell vehicles," *Proceedings of the IEEE*, vol. 95, no. 4, pp. 746–765, April 2007.

[22] J. Müller, *Apuntes para la asignatura Máquinas Eléctricas I.* Universidad Técnica Federico Santa María, 2006.

[23] H. Johnson and M. Graham, *High-Speed Digital Design: A Handbook of Black Magic.* Prentice Hall, 1993.

[24] T. Geyer, "A comparison of control and modulation schemes for medium-voltage drives: Emerging predictive control concepts versus pwm-based schemes," *IEEE Transactions on Industry Applications*, vol. 47, pp. 1380–1389, May 2011.

[25] N. Mohan, T. M. Undeland, and W. P. Robbins, *Power Electronics: Converters, Applications, and Design*, 3rd ed. Hoboken, NJ, USA: John Wiley & Sons, 2003.

Anexo A

A.1. Tablas de secuencia de conmutación 7S-SS

Tabla A.1: Secuencias de conmutación de siete segmentos para los sectores I y II.

Sectores I - II						
Segmento	**11**	**21**	**12**	**22**	**13**	**23**
1	0- -	00-	0–	00-	0–	00-
2	00-	000	00-	+0-	+–	+0-
3	000	+00	+0-	+00	+0-	++-
4	+00	++0	+00	++0	+00	++0
5	000	+00	+0-	+00	+0-	++-
6	00-	000	00-	+0-	+–	+0-
7	0–	00-	0–	00-	0–	00-

Tabla A.2: Secuencias de conmutación de siete segmentos para los sectores III y IV.

Sectores III - IV						
Segmento	**31**	**41**	**32**	**42**	**33**	**43**
1	00-	0-0	00-	0-0	00-	0-0
2	000	00-	+0-	00-	+0-	+-0
3	+0+	000	+0+	+0-	++-	+0-
4	++0	+0+	++0	+0+	++0	+0+
5	+0+	000	+0+	+0-	++-	+0-
6	000	00-	+0-	00-	+0-	+-0
7	00-	0-0	00-	0-0	00-	0-0

Tabla A.3: Secuencias de conmutación de siete segmentos para los sectores V y VI.

Sectores V - VI						
Segmento	**51**	**61**	**52**	**62**	**53**	**63**
1	0-0	00+	0-0	00+	0-0	00+
2	00+	000	00+	+0+	+-0	+0+
3	000	+0+	+0+	+0+	+0+	++0
4	+0+	0++	+0+	0++	+0+	0++
5	000	+0+	+0+	+0+	+0+	++0
6	00+	000	00+	+0+	+-0	+0+
7	0-0	00+	0-0	00+	0-0	00+

Tabla A.4: Secuencias de conmutación de siete segmentos para los sectores VII y VIII.

Sectores VII - VIII						
Segmento	**71**	**81**	**72**	**82**	**73**	**83**
1	00+	0-0	00+	0-0	00+	0-0
2	000	00+	000	00+	000	00+
3	+0+	000	+0+	000	+0+	000
4	++0	+0+	++0	+0+	++0	+0+
5	+0+	000	+0+	000	+0+	000
6	000	00+	000	00+	000	00+
7	00+	0-0	00+	0-0	00+	0-0

Tabla A.5: Secuencias de conmutación de siete segmentos para los sectores IX y X.

Sectores IX - X						
Segmento	**91**	**101**	**92**	**102**	**93**	**103**
1	0-0	0-0	0-0	0-0	0-0	0-0
2	000	000	00+	000	00+	00+
3	+0+	000	+0+	000	+0+	+0+
4	+0+	+0+	+0+	+0+	+0+	+0+
5	+0+	000	+0+	000	+0+	+0+
6	000	000	00+	000	00+	00+
7	0-0	0-0	0-0	0-0	0-0	0-0

Tabla A.6: Secuencias de conmutación de siete segmentos para los sectores XI y XII.

Sectores XI - XII						
Segmento	**111**	**121**	**112**	**122**	**113**	**123**
1	0-0	0–	0-0	0–	0-0	0–
2	000	0-0	00-	0-0	00-	00-
3	+0+	000	+0+	000	+0+	+0+
4	+0+	+0+	+0+	+0+	+0+	+0+
5	+0+	000	+0+	000	+0+	+0+
6	000	0-0	00-	0-0	00-	00-
7	0-0	0–	0-0	0–	0-0	0–

A.2. Código de Modulación

```
void bkpoint(){}
extern void ADC_fpgaSyncInterrupt_isr(void){
    // Clear flag that caused the interruption
    INT0CLRFLG = INT0_ADC0_MASK;

    theta = theta + PI2*(f_ref/4000);
    if (theta >= PI2) {
        theta = theta - PI2;
    }
    Vs_ref = (f_ref/f) * Vs * v_amp;

    Med_ADC0_A1 =  ADC0CHA1;
    Med_ADC0_A2 =  ADC0CHA2;
    Med_ADC0_B1 =  ADC0CHB1;

    ia = (int) Med_ADC0_A1;
    ib = (int) Med_ADC0_A2;
    ic = (int) Med_ADC0_B1;

    ia = ia * currents_scaling_factor * gain;
    ib = ib * currents_scaling_factor * gain;
    ic = ic * currents_scaling_factor * gain;

    if (ib >= 22){ ref_enable = M_MAX + 1; }
    if (ia >= 22){ ref_enable = M_MAX + 1; }
    if (ic >= 22){ ref_enable = M_MAX + 1; }

    ia_array[index] = ia;
    ib_array[index] = ib;
    ic_array[index] = ic;
    index++;

    V_alpha = Vs_ref * cos(theta);
    V_beta = Vs_ref * sin(theta);

    va_ref_svm = 1 * V_alpha;
    vb_ref_svm = -0.5 * V_alpha + dsq3_2 * V_beta;
    vc_ref_svm = -0.5 * V_alpha - dsq3_2 * V_beta;

    va = va_ref_svm;
    vb = vb_ref_svm;
    vc = vc_ref_svm;
```

```
if (vb <= 0 && vc < 0 && vb > vc)
{ sector = 0; angulo = theta; }
else if (va > 0 && vb > 0 && va >= vb)
sector = 1; angulo = theta; }
else if (va >= 0 && vb > 0 && va < vb)
{ sector = 2; angulo = theta - PI/3; }
else if (va < 0 && vc < 0 && va > vc)
{ sector = 3; angulo = theta - PI/3; }
else if (va < 0 && vc <= 0 && va < vc)
{ sector = 4; angulo = theta - PI2/3; }
else if (vb > 0 && vc > 0 && vb >= vc)
{ sector = 5; angulo = theta - PI2/3; }
else if (vb >= 0 && vc > 0 && vb < vc)
{ sector = 6; angulo = theta - PI; }
else if (vb < 0 && va < 0 && vb >= va)
{ sector = 7; angulo = theta - PI; }
else if (vb < 0 && va <= 0 && vb < va)
{ sector = 8; angulo = theta + PI2/3; }
else if (va > 0 && vc > 0 && vc >= va)
{ sector = 9; angulo = theta + PI2/3; }
else if (va > 0 && vc >= 0 && vc < va)
{ sector = 10; angulo = theta + PI/3; }
else if (vb < 0 && vc < 0 && vc >= vb)
{ sector = 11; angulo = theta + PI/3; }

// Modulation index y region

ma = Vs_ref * dsq3_2;
ma1 = ma * (cos(angulo) - d1_sq3 * sin(angulo));
ma2 = d2_sq3 * ma * sin(angulo);
ma1_2 = ma1 + ma2;

if (ma1 < 0.50 && ma2 < 0.50) {
    if (ma1_2 <= 0.50){
        region = 0;
    } else {
        region = 1;
    }
} else {
    region = 2;
}

V_alpha = d2_3 * ma * cos(angulo);
V_beta = d2_3 * ma * sin(angulo);
```

```
t1 = M[sector][region][0] * V_alpha + M[sector][region][1]
* V_beta + M[sector][region][2];
t2 = M[sector][region][3] * V_alpha + M[sector][region][4]
* V_beta + M[sector][region][5];
t3 = M[sector][region][6] * V_alpha + M[sector][region][7]
* V_beta + M[sector][region][8];
t4 = t1;

// Referencias y ajuste de l mites
caso = region + sector * 3;
switch(caso) {
//sector 0 ; 11,12,13
 case 0:
     ref_sa=  (0.50*t4);
     ref_sb= -(0.50*t1 );
     ref_sc= -(0.50*t1 + t2) ;
     break;
 case 1:
     ref_sa=  (0.50*t4 + t3);
     ref_sb= -(0.50*t1 );
     ref_sc= -(0.50*t1 + t2 + t3) ;
     break;
 case 2:
     ref_sa=  (0.50*t4 + t3 + t2);
     ref_sb= -(0.50*t1 + t2);
     ref_sc= -(0.50*t1+ t2 + t3) ;
     break;
//sector 1; 21 22 23
 case 3:
     ref_sa=  (0.50*t4 + t3);
     ref_sb=  (0.50*t4);
     ref_sc= -(0.50*t1 );
     break;
 case 4:
     ref_sa=  (0.50*t4 + t3 + t2);
     ref_sb=  (0.50*t4);
     ref_sc= -(0.50*t1 + t2);
     break;
 case 5:
     ref_sa=  (0.50*t4 + t3 + t2);
     ref_sb=  (0.50*t4 + t3);
     ref_sc= -(0.50*t1 + t2 + t3 ) ;
     break;
//sector 2;31 32 33
```

```
case 6:
     ref_sa=  (0.50*t4) ;
     ref_sb=  (0.50*t4 + t3);
     ref_sc= -(0.50*t1 ) ;
     break;
//sector 7 ; 81 82 83
 case 21:
     ref_sa= -(0.50*t1 + t2);
     ref_sb= -(0.50*t1 );
     ref_sc=  (0.50*t4);
     break;
 case 22:
     ref_sa= -(0.50*t1 +t2 + t3);
     ref_sb= -(0.50*t1 );
     ref_sc=  (0.50*t4 + t3);
     break;
 case 23:
     ref_sa= -(0.50*t1 + t2+ t3);
     ref_sb= -(0.50*t1 + t2);
     ref_sc=  (0.50*t4 + t3 + t2);
     break;
//secotr 8 ; 91 92 93
 case 24:
     ref_sa= -(0.50*t1);
     ref_sb= -(0.50*t1 + t2);
     ref_sc= (0.50*t4);
     break;
 case 25:
     ref_sa= -(0.50*t1 );
     ref_sb= -(0.50*t1 + t2+ t3);
     ref_sc= (0.50*t4 + t3);
     break;
 case 26:
     ref_sa= -(0.50*t1 + t2);
     ref_sb= -(0.50*t1 + t2 + t3);
     ref_sc=  (0.50*t4 + t3 + t2);
     break;
//sector 9 ; 101 102 103
 case 27:
     ref_sa=  (0.50*t4);
     ref_sb= -(0.50*t1 );
     ref_sc=  (0.50*t4 + t3);
     break;
 case 28:
     ref_sa=  (0.50*t4);
```

```
        ref_sb= -(0.50*t1 + t2);
        ref_sc=  (0.50*t4 + t3 + t2);
        break;
 case 29:
        ref_sa=  (0.50*t4 + t3);
        ref_sb= -(0.50*t1 + t2 + t3);
        ref_sc=  (0.50*t4 + t3 + t2);
        break;
//sector 10 ; 111 112 113
 case 30:
        ref_sa=  (0.50*t4 + t3) ;
        ref_sb= -(0.50*t1 );
        ref_sc=  (0.50*t4);
        break;
 case 31:
       ref_sa=  (0.50*t4 + t3 + t2);
       ref_sb= -(0.50*t1 + t2) ;
       ref_sc=  (0.50*t4);
       break;
 case 32:
       ref_sa=  (0.50*t4+ t3 + t2);
       ref_sb= -(0.50*t1 + t2 + t3);
       ref_sc=  (0.50*t4 + t3) ;
       break;
//sector 11 ; 121 122 123
 case 33:
        ref_sa=  (0.50*t4 );
        ref_sb= -(0.50*t1 + t2) ;
        ref_sc= -(0.50*t1 );
        break;
 case 34:
        ref_sa=  (0.50*t4 + t3) ;
        ref_sb= -(0.50*t1 + t2 + t3);
        ref_sc= -(0.50*t1 );
        break;
case 35:
        ref_sa=  (0.50*t4 + t3 + t2);
        ref_sb= -(0.50*t1 + t2 + t3);
        ref_sc= -(0.50*t1 + t2);
       break;
 }
}
if (ref_sa > 1.0) { ref_sa = 0.99; }
if (ref_sb > 1.0) { ref_sb = 0.99; }
if (ref_sc > 1.0) { ref_sc = 0.99; }
```

```
    if (ref_sa < -1.0) { ref_sa = -0.99; }
    if (ref_sb < -1.0) { ref_sb = -0.99; }
    if (ref_sc < -1.0) { ref_sc = -0.99; }

    if (ref_sa >= 0) {
        ref_sa13 = (int)(ref_sa * M_MAX);
        ref_sa24 = M_MAX + 1;
    } else {
        ref_sa13 = 0;
        ref_sa24 = (int)(M_MAX * ref_sa + M_MAX);
    }
    if (ref_sb >= 0) {
        ref_sb13 = (int)(ref_sb * M_MAX);
        ref_sb24 = M_MAX + 1;
    } else {
        ref_sb13 = 0;
        ref_sb24 = (int)(M_MAX * ref_sb + M_MAX);
    }
    if (ref_sc >= 0) {
        ref_sc13 = (int)(ref_sc * M_MAX);
        ref_sc24 = M_MAX + 1;
    } else {
        ref_sc13 = 0;
        ref_sc24 = (int)(M_MAX * ref_sc + M_MAX);
    }
    //estado no deseado igbt
     if(ref_sa13 >0 && ref_sa24==0){ref_sa13 = 0;
     ref_enable = M_MAX +1;}
     if(ref_sb13 >0 && ref_sb24==0){ref_sb13 = 0;
     ref_enable = M_MAX +1;}
     if(ref_sc13 >0 && ref_sc24==0) {ref_sc13 = 0;
     ref_enable = M_MAX +1;}
    M2CMPR3 = ref_sa13;
    M3CMPR1 = ref_sa24;
    M2CMPR1 = ref_sb13;
    M2CMPR2 = ref_sb24;
    M1CMPR2 = ref_sc13;
    M1CMPR3 = ref_sc24;
    M0CMPR1 = ref_enable;

    if (index >= N_samples){
        index = 0;
        bkpoint();
    }
}
```

A.3. Esquemático PCB ENABLE 12V

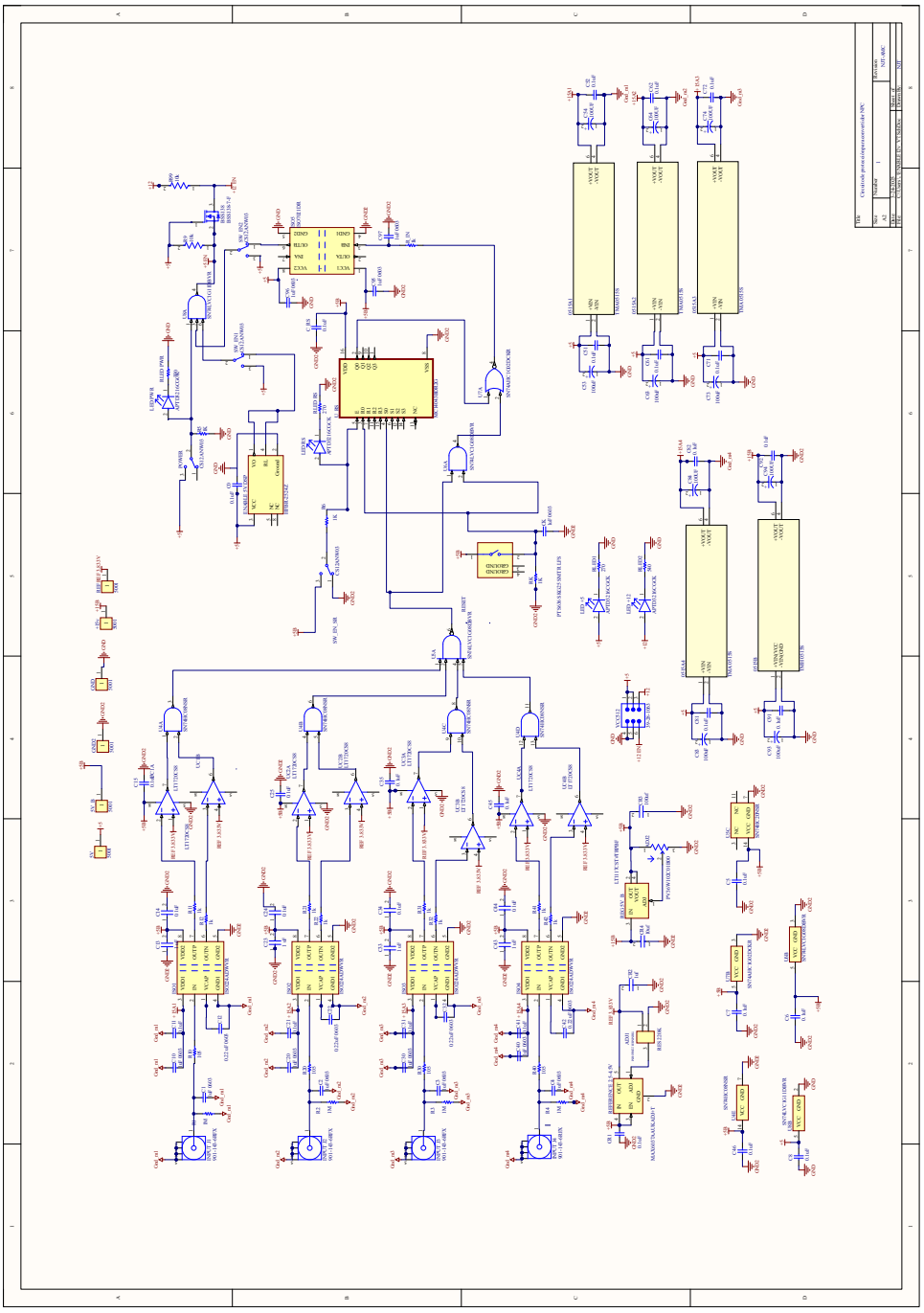


Figura A.1: Esquemático del circuito de protección ENABLE 12V.

A.4. Lista de componentes PCB ENABLE 12V

Tabla A.7: Component Table (Parte 1)

Comment	Description	Designator	Quantity
0.1uF	[NoValue], 1uF 0603	C0, C5, C6, C7, C8, C11, C15, C21, C25, C31, C35, C41, C45, C46, C51, C52, C61, C62, C71, C72, C81, C82, C91, C92, C_RS, CR1	26
0.1uF	General Purpose Ceramic Capacitor, 1206, 1nF, 10 %, X7R, 15 %, 100V	C14, C24, C34, C44	4
0.22uF 0603		C12, C22, C32, C42	4
1uF	General Purpose Ceramic Capacitor, 1206, 1nF, 10 %, X7R, 15 %, 100V	C13, C23, C33, C43	4
100uF	CAP ALUM 100UF 20 % 35V SMD	C53, C54, C63, C64, C73, C74, C83, C84, C93, C94	10
100uF	100uf 0805	CR3	1
105	Chip Resistor, 10KOhm, +/1 1 %, 0.25W, -55 to 155°C, 1206	R10, R20, R30, R40	4
10k	RES SMD 0 OHM JUMPER 1/4W 1206	R9, R99	2
10uF	10uf 0805	CR4	1
1K	RT0603BRD072KL	R5, R6, RK	3
1k	Chip Resistor, 10KOhm, +/1 1 %, 0.25W, -55 to 155°C, 1206	R11, R12, R21, R22, R31, R32, R41, R42, R_IN	9
1M	Chip Resistor, 10KOhm, +/1 1 %, 0.25W, -55 to 155°C, 1206	R1, R2, R3, R4	4
1uF	1uf 0805	CR2	1
1uF 0603		C1, C2, C3, C4, C10, C20, C30, C40, C95, C96, C97, CK	12
270	Chip Resistor, 10KOhm, +/1 1 %, 0.25W, -55 to 155°C, 1206	RLED1, RLED PWR, RLED RS	3
39-28-1063	4.2mm Pitch Mini-Fit Jr.Power Connector	VCC512	1
5001	PC TEST POINT MINIATURE BLACK	+15V, 5V, 5V_B, GND, GND2, REF	6
540	Chip Resistor, 10KOhm, +/1 1 %, 0.25W, -55 to 155°C, 1206	RLED2	1

Tabla A.8: Component Table (Parte 2)

Comment	Description	Designator	Quantity
901-143-6RFX	Coaxial connector, 50 Ohm, -65 to 165°C	INPUT J1, INPUT J2, INPUT J3, INPUT J4	4
APTD3216CGCK	LED GREEN CLEAR 2SMD	LED +5, LED +12, LED PWR, LED RS	4
BSS138-7-F		BSS138	1
CS12ANW03	SWITCH SLIDE SPDT 3A 125V	POWER, SW_EN1, SW_EN2, SW_EN_SR	4
HFBR-2524Z	RECEIVER FIBER OPTIC 600NM 1MBD	ENABLE 5V DSP	1
ISO224ADWVR	IC ISOLATED 8SOIC	ISO1, ISO2, ISO3, ISO4	4
ISO7021DR	DGTL ISO 3000VRMS 2CH GP 8SOIC	ISO5	1
LT1117CST#TRPBF	0.8A Low Dropout Positive Regulator	REG 5V_B	1
LT1720CS8	4.5ns Comparator with Rail-to-Rail Outputs	UC1, UC2, UC3, UC4	4
MAX6037AAUKADJ+T	Precision Micropower Voltage Reference	REFERENCE 2.5-4.5V	1
MC14043BDR2G		U_RS	1
PTS636 SKG25 SMTR LFS	TACT 6.0×3.5, 2.5MM H, 250GF	RESET	1
PV36W102C01B00	TRIMMER 1K OHM 0.5W PC PIN TOP	ADJ2	1
RES 220K	Trimmer	ADJ1	1
SN74AHC1G02DCKR	Single 2-Input Positive-NOR Gate	U7	1
SN74HC08NSR	Quadruple 2-Input Positive-AND Gates	U4	1
SN74HC20NSR	Dual 4-Input Positive-NAND Gates	U5	1
SN74LVC1G08DBVR	Single 2-Input Positive-AND Gate	U6	1
SN74LVC1G11DBVR	Single 3-Input Positive-AND Gate	U8	1
TMA 0515S	DC-DC 5VIN 1-OUT 15V 0.65A 1W	0515A1, 0515A2, 0515A3, 0515A4	4
TMH 0515S	2 Watt DC/DC converter, SIP-7 package	0515B	1

A.5. Esquemáticos NPC 3-L

A.5.1. Módulo MOTHERBOARD

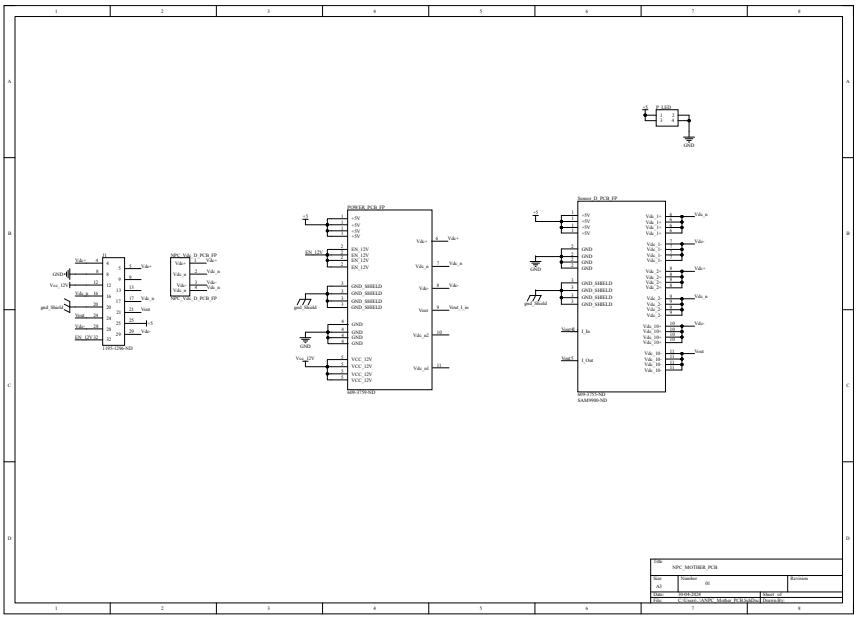


Figura A.2: Esquemático del circuito de protección ENABLE 12V.

A.5.2. Módulo POWER

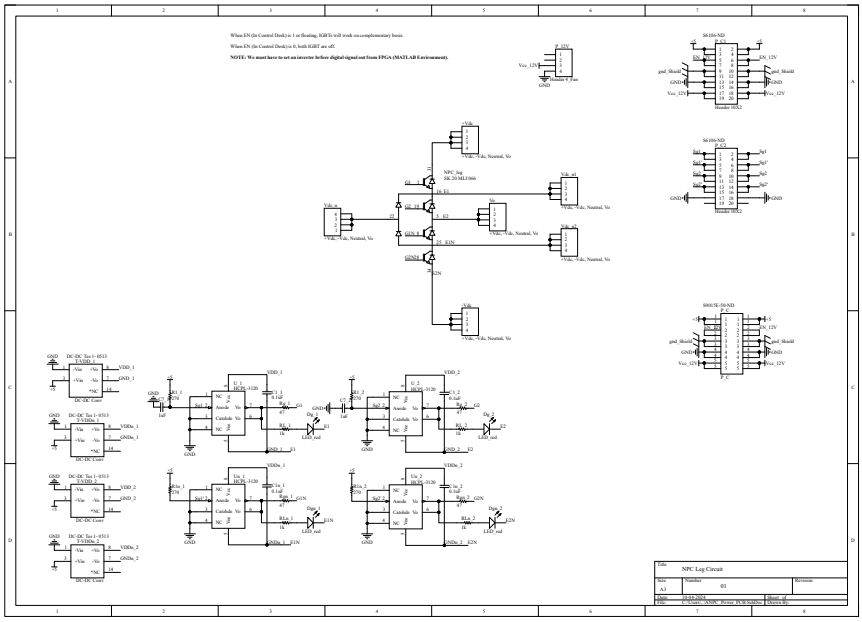


Figura A.3: Esquemático del circuito de protección ENABLE 12V.

A.5.3. Módulo DTC

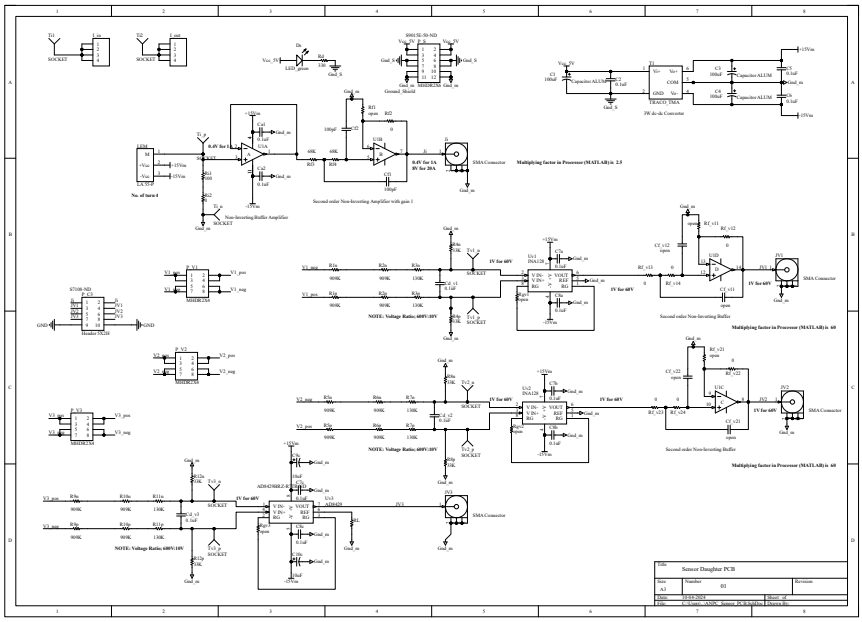


Figura A.4: Esquemático del circuito de protección ENABLE 12V.

A.5.4. Módulo SENSOR

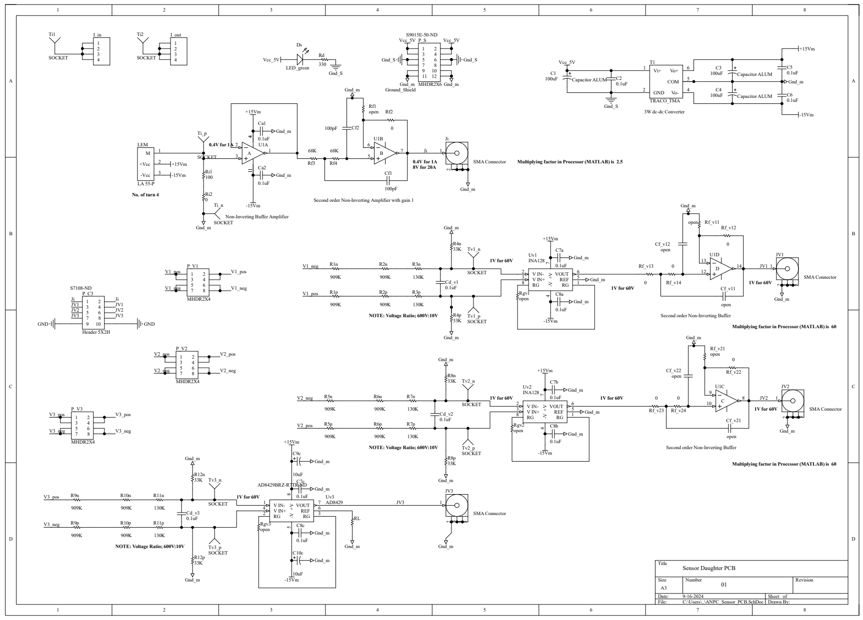


Figura A.5: Esquemático del circuito de protección ENABLE 12V.

A.5.5. Módulo VDC

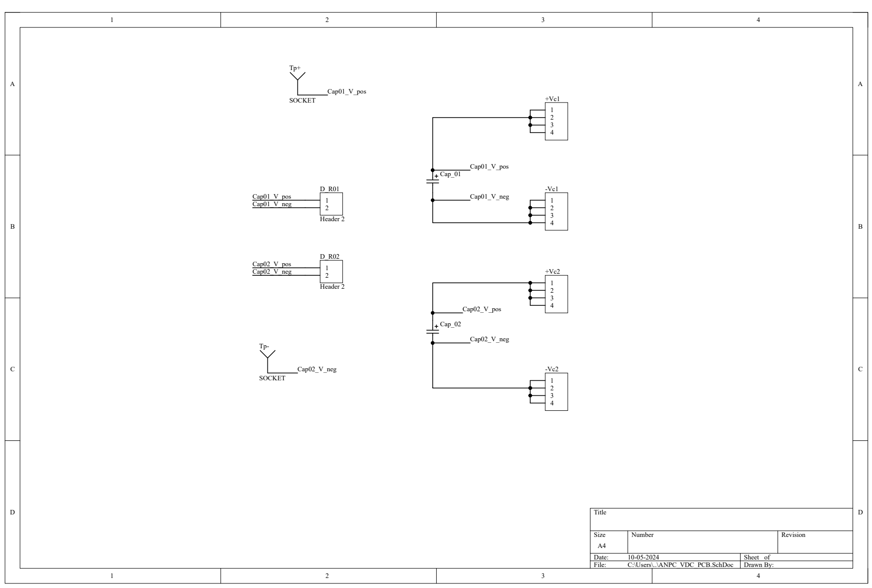


Figura A.6: Esquemático del circuito de protección ENABLE 12V.

A.6. Listado de componentes NPC 3L

A.6.1. Módulo MOTHERBOARD

Tabla A.9: NPC BASE PCB

Comment	Description	Designator	Quantity	Vendor Part Number
1195-1296-ND	DIN-POWER H015MS-3	J1	1	1195-1296-ND
	Vdc+, Vdc-, Vdc_n, Vout, I_out, I_in		12	
609-3759-ND	2x10 female 20pins	P_C	1	609-3759-ND
609-3755-ND	2x6 female 12pins	P_S	1	609-3755-ND
Conn header 1.27mm	2x2 female 4pins	Vdc_1, Vdc_2	6	S9009E-02-ND
	P_LED		1	

A.6.2. Módulo VDC

Tabla A.10: VDC Board

Comment	Description	Designator	Quantity	Vendor Part Number
Screw_connector	TERM PCB SNAP-IN VERT M3 THREAD	+Vdc, -Vdc, Vdc_n1, Vdc_n2, Vdc_n	4	36-7788-ND
Radial Thick Film Resistor	stock #: 625-3575, 10W 33K 5 % Tol	D_R01, D_R02	2	BPC-333J LF
Radial, Can-Snap-In-4Lead through hole	1800uF 350V Aluminum Electrolytic Cap	Cap_01, Cap_02	2	P10059-ND
2mm hole	test points	Tp+, Tp-	2	

A.6.3. Módulo POWER

Tabla A.11: NPC Leg Circuit - (POWER Module board)

Comment	Description	Designator	Quantity	Vendor Part Number
Resistor 1KΩ	Resistor 1 kOhm	RL_1, RL_2, RLn_1, RLn_2	4	311-1.00KFRCT-ND
Resistor 47Ω	Resistor	Rg_1, Rg_2, Rgn_1, Rgn_2	4	311-47ERCT-ND
Capacitor	0.1µF ±5 % 25V Ceramic Capacitor X7R 1206 (3216 Metric)	C1_1, C1_2, C1n_1, C1n_2	4	399-11180-1-ND
LED_red	LED RED CLEAR 2SMD R/A	Dg_1, Dg_2, Dgn_1, Dgn_2	4	160-2029-1-ND
Screw_connector	TERM PCB SNAP-IN VERT M3 THREAD	+Vdc, -Vdc, Vo, Vdc_n1, Vdc_n2, Vdc_n	6	36-7788-ND
SK 20 MLI 066	Three level NPC converter module	NPC_leg	1	905-6061
Header 4_Fan	4 Positions Header, Unshrouded Connector 0.100"(2.54mm) Through Hole Tin	P_12V	1	WM4330-ND
MHDR2X10	100 Positions Male Header, Unshrouded Connector 0.050"(1.27mm) Through Hole Gold	P_C	1	S9015E-50-ND
HDR2x10	20pins Female 2.54mm pitch mating	P_C1, P_C2	2	S6106-ND
DC-DC Tes 1- 0513	DCDC CONVERTER 15VOUT 1W	T-VDD_1, T-VDD_2, T-VDDn_1, T-VDDn_2	4	941-1284-ND
HCPL-3120	OPTOISO 3.75KV GATE DRVR 8DIP GW	U_1, U_2, Un_1, Un_2	4	516-1789-1-ND
Resistor 270Ω	Resistor	R1_1, R1_2, R1n_1, R1n_2	4	311-270ERCT-ND
Cap Semi 1uF	Capacitor (Semiconductor SIM Model)	C7_1, C7_2	2	399-1255-1-ND

A.6.4. Módulo DTC

Tabla A.12: Dead Time Control Circuit

Comment	Description	Designator	Quantity	Vendor Part Number
SN74LS09DR_AND	Quadruple 2-Input Positive-AND Gate	OC1	1	296-14880-1-ND
SN74LS04DR_INV	IC HEX INVERTER	UN1	1	296-14875-1-ND
OPA366AIDG4	Operational Amplifier	OP1_1, OP1_2, OP1n_1, OP1n_2, OP2_1, OP2_2, OP2n_1, OP2n_2	8	OPA365AIDG4-ND
Resistor 270Ω	Resistor	R4_1, R4_2, R4n_1, R4n_2	4	311-270ERCT-ND
Resistor_DTC 6.8KΩ	Resistor for dead time circuit	R3_1, R3_2, R3n_1, R3n_2	4	RMCF1206FT2K20CT-ND
Resistor 1KΩ	Resistor	R2_1, R2_2, R2n_1, R2n_2	4	311-1.00KFRCT-ND
Cap Semi 1uF	Capacitor (Semiconductor SIM Model)	C4_1, C4_2, C4n_1, C4n_2, C6_1, C6_2, C6n_1, C6n_2	8	399-1255-1-ND
Capacitor 0.1uF, 0603	0.10µF ±5 % 50V X7R Ceramic Capacitor	Cr1, Cr2	2	399-7844-1-ND
Cap Pol3 470pF	Polarized Capacitor (Surface Mount)	C2_1, C2_2, C2n_1, C2n_2	4	399-1212-1-ND
ZLLS500TA	Diode Schottky	D1_1, D1_2, D1n_1, D1n_2	4	ZLLS500CT-ND, BAS40TPMSDKR-ND
MMSZ5221BT1	Diodo Zener 2.5 V	DZ1_1, DZ1_2, DZ1n_1, DZ1n_2	4	MMSZ2V4T1GOSCT-ND
2x10 male header	10pin dual row right angle 2.54mm	P_C1, P_C2	2	TSW-110-22-S-D-RA-ND
2x5 male header	5pin dual row right angle 2.54mm	P_C3	1	732-2676-ND
npn transistor	TRANS NPN 40V 1A SOT-23	Q_EN	1	MMBT2222AFSCT-ND
c3216-1206	resistor 10KΩ	R_EN1	1	311-10KERCT-ND
c3216-1206	resistor 1KΩ	R_EN2	1	311-1.00KFRCT-ND
c3216-1206	open	R_EN3	1	
c3216-1206	Resistor 0Ω	0K	2	408-1660-1-ND
2mm hole	test points	Tp_GND, Tp_Rx1, Tp_Rx2	3	
1206 SMD	green LED	Ds	1	L62305CT-ND
c3216-1206	RES SMD 0.1 % 1/4W 1206 resistor 330Ω	Rd	1	P330BCCT-ND
Non-Inverting Receiver optical receiver Vertical	Fiber Optic Transmitters, Receivers, Transceivers Versatile Link Tiltd	RX1, RX2	2	630-AFBR-2634Z

A.6.5. Módulo SENSOR

Tabla A.13: SENSOR board

Comment	Description	Designator	Quantity	Vendor Part Number
Conn header 0.100"	2x5 female 10pins 2.54mm	P_C3	1	S7108-ND
Conn recept 0.050"	2x6 female 12pins 1.27mm	P_S	1	S9015E-50-ND
DC/DC converter +/-15V 1W	Isolated Module DC-DC 2 output	T1	1	1470-1351-5-ND
2mm hole	test points	Ti1, Ti2, Ti_n, Ti_p, Tv1_n, Tv1_p, Tv2_n, Tv2_p, Tv3_n, Tv3_p	10	
RF-Coaxial	CONN SMA JACK R/A 50Ω	Ji, JV1, JV2, JV3	4	WM5537-ND
c3216-1206	Resistor 0Ω	Ri2, Rf2, Rf_v12, Rf_v22, Rf_v13, Rf_v14, Rf_v23, Rf_v24, Rf3, Rf4	10	408-1660-1-ND
c3216-1206	Open	Rf1, Rf_v11, Rf_v21, Rgv1, Rgv2, Rgv3	6	
c3216-1206	Resistor 100Ω	Ri1	1	311-100FRCT-ND
C6432-2512	Resistor 909KΩ	R1n, R1p, R2n, R2p, R5n, R5p, R6n, R6p, R9n, R9p, R10n, R10p	12	541-909KAFCT-ND
c3216-1206	Resistor 33KΩ	R4n, R4p, R8n, R8p, R12n, R12p	6	P33KBCCT-ND
c3216-1206	Resistor 130KΩ	R3n, R3p, R7n, R7p, R11n, R11p	6	541-130KFCT-ND
	Cf_v11, Cf_v12, Cf_v21, Cf_v22	4		
c3216-1206	Resistor 10KΩ	RL	1	311-10KERCT-ND
Conn recept 0.050"	2x2 female 12pins 1.27mm	P_V1, P_V2, P_V3	6	S9015E-50-ND
c3216-1206	LED Green	Ds	1	L62305CT-ND
c3216-1206	Resistor 330Ω	Rd	1	P330BCCT-ND
Sensor Current Hall 50A AC/DC	50A 1 channel bidirectional	LEM	1	398-1010-ND
3MHz SOIC14	J-FET amplifier 4 circuit	U1	1	296-1285-1-ND
1.3MHz SOIC8	Instrumentation Amplifier	Uv1, Uv2	2	296-26057-1-ND
15MHz SOIC8	Instrumentation Amplifier	Uv3	1	AD8429BRZ-R7CT-ND
Radial Can- SMD	100uF 35V Aluminum electrolytic capacitors	C1, C3, C4	3	PCE5016CT-ND
c3216-1206	100pF Ceramic Capacitor C0G	Cf1, Cf2	2	1276-1053-1-ND
c1608-0603	0.1uF 50V Ceramic capacitor X7R	C2, C5, C6, C7a, C7b, C7c, C8a, C8b, C8c, Ca1, Ca2, Cd_v1, Cd_v2, Cd_v3	14	399-7844-1-ND
c2012-0805	10uF 10V ceramic capacitor X5R	C9c, C10c	2	399-4925-1-ND
Power Tap through hole	term screw M3 4pin	I_in, I_out	2	36-7788-ND