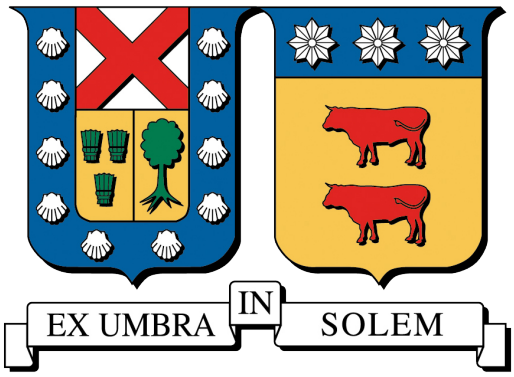
**Universidad Técnica Federico Santa María**

*Departamento de Ingeniería Eléctrica*

*Valparaíso - Chile*

---




# "Construcción de inversor trifásico tipo Active Neutral Point Clamped de cinco niveles".

---

**José Miguel Ignacio Mena Ahumada**

---

MEMORIA DE TITULACIÓN PARA OPTAR AL TÍTULO DE

**INGENIERO ELECTRICISTA**

Profesora Guía

**Dra. Margarita Norambuena Valdivia**

Profesor Co-rreferente

**Dr. Pablo Lezana Illesca**

2 de octubre de 2024

**Universidad Técnica Federico Santa María**

*Departamento de Ingeniería Eléctrica*

*Valparaíso - Chile*

---

# "Construcción de inversor trifásico tipo Active Neutral Point Clamped de cinco niveles".

---

**José Miguel Ignacio Mena Ahumada**

---

2024

*"Labor Improbus Omnia Vincit"*
Virgilio

*Material de referencia, su uso no involucra responsabilidad del autor o de la Institución.*

# Agradecimientos

A mis padres; por su amor, apoyo incondicional y paciencia, sin ustedes nada sería posible. A Cindy por ser mi compañera de vida, por estar conmigo en las buenas y en las malas. A mi hijo Maximiliano por ser mi gran motivación. A mi tío Wladimir (Q.E.P.D), sus consejos los llevo siempre.

A mis compañeros y amigos por las experiencias de vida compartidas, gracias por tanto.

A todos los maestros que la vida me ha dado. Los que me han enseñado la rigurosidad de las ciencias y las técnicas de la Ingeniería Eléctrica, como lo son los profesores Margarita Norambuena y Pablo Lezana, por su apoyo fundamental al desarrollo de esta Memoria.

Finalmente agradecer al centro AC3E, Proyecto Basal FB0008, por la financiación de los insumos implementados.

# Nomenclatura

| | | |
|---|---|---|
| **AC** | : | Régimen corriente alterna |
| **ANPC** | : | Active Neutral Point Clamped |
| **CHB** | : | Cascade H-Bridge |
| **CSI** | : | Inversor de tipo fuente de corriente |
| **DC** | : | Régimen corriente directa o continua |
| **DSP** | : | Digital Signal Processor |
| **FPGA** | : | Field-programmable gate array |
| **HPI** | : | Host Processor Interfase |
| **IGBT** | : | Transistores bipolares de puerta aislada |
| **LS-PWM** | : | Level Shifted Pulse Width Modulation |
| **MLI** | : | Multilevel Inverter |
| **NPC** | : | Neutral Point Clamped |
| **PWM** | : | Pulse Width Modulation |
| **PS-PWM** | : | Phase Shifted Pulse Width Modulation |
| **RMS** | : | Root of the Mean Square |
| **THD** | : | Total Harmonic Distortion |
| **VSI** | : | Inversor de tipo fuente de tensión |

# Índice general

**1. Introducción** **2**

**2. Marco Teórico** **3**

2.1. Convertidores de potencia . . . . . 3

2.2. Circuito básico del inversor fuente de tensión . . . . . 4

2.3. Convertidores Multinivel . . . . . 8

2.3.1. Inversor Neutral Point Clamped (NPC) . . . . . 10

2.3.2. Inversor Flying Capacitor (FC) . . . . . 12

2.3.3. Inversor Cascade H-bridge Converter (CHB) . . . . . 14

2.3.4. Inversor Active Neutral Point Clamped (ANPC) . . . . . 16

2.4. Esquemas de Modulación para convertidores . . . . . 17

2.4.1. Multicarrier PWM . . . . . 18

2.4.2. Hybrid Modulation . . . . . 21

2.5. Técnicas para la ampliación del rango lineal de modulación . . . . . 23

2.5.1. Modulación Min-Max . . . . . 23

2.5.2. Modulación de Tercera Armónica (THIPWM) . . . . . 24

**3. Análisis de la topología 5L-ANPC** **25**

3.1. Modelo del inversor 5L-ANPC . . . . . 25

3.2. Proceso de carga y descarga en los capacitores . . . . . 29

3.3. Técnicas de modulación a implementar . . . . . 31

3.4. Resultados en simulación . . . . . 37

3.4.1. Tensión fase-neutro del inversor . . . . . 37

3.4.2. Balance natural en los capacitores . . . . . 40

3.4.3. Corriente en el neutro del inversor . . . . . 43
3.4.4. Corrientes de fase . . . . . 43

**4. Implementación y Validación Experimental** **46**
4.1. Implementación del circuito trifásico del inversor . . . . . 46
4.1.1. DC-Link . . . . . 48
4.1.2. Carga trifásica conectada . . . . . 50
4.1.3. Plataforma DSP+FPGA . . . . . 50
4.2. Pruebas Preliminares . . . . . 51
4.2.1. Pruebas de IGBT . . . . . 51
4.2.2. "Estados Fijos" . . . . . 51
4.2.3. Implementación de las modulaciones Min-Max y THIPWM . . . . . 52
4.2.4. Implementación del tiempo muerto . . . . . 52
4.3. Resultados . . . . . 53
4.3.1. Pulsos de disparo . . . . . 53
4.3.2. Tensiones fase neutro del inversor con carga trifásica . . . . . 57
4.3.3. Corrientes de fase . . . . . 58
4.3.4. Corrientes en neutro del inversor . . . . . 60

**5. Conclusiones** **62**

**A. Plataforma DSP+FPGA** **66**
A.0.1. Timers . . . . . 67
A.0.2. Tarjetas de disparo . . . . . 70

**B. Implementación en DSP** **72**
B.1. Señales portadoras triangulares . . . . . 72
B.2. Min-Max . . . . . 73
B.3. THIPWM . . . . . 74

# Índice de figuras


2.1. IGBT canal N [9]. . . . . 4
2.2. Circuito básico de un inversor [10]. . . . . 5
2.3. IGBT en el circuito básico [10]. . . . . 6
2.4. Aplicación del tiempo muerto en señales de disparo. . . . . 7
2.5. Inversor trifásico de puente completo (2L) [11]. . . . . 7
2.6. Clasificación de los inversores multinivel industriales [11]. . . . . 10
2.7. Inversor trifásico tipo 3L-NPC [15]. . . . . 11
2.8. Inversor trifásico tipo 3L-FC [11]. . . . . 13
2.9. Inversor tipo CHB de dos celdas (5L-CHB) [11]. . . . . 15
2.10. Inversor trifásico 5L-ANPC. . . . . 17
2.11. Clasificación de métodos de modulación multinivel [5]. . . . . 18
2.12. Modulación básica tipo CBM. . . . . 20
2.13. Modulación PS-PWM para cuatro niveles. . . . . 21
2.14. Técnicas LS-PWM. . . . . 22
2.15. Técnica híbrida PS-IPD-PWM. . . . . 22
2.16. Señales de una fase para modulación Min-Max (M=1.0). . . . . 23
2.17. Señales de una fase para modulación THIPWM (M=1.0). . . . . 24

3.1. Esquema trifásico 5L-ANPC. . . . . 25
3.2. Esquemas de circuito del inversor . . . . . 27
3.3. Estados del inversor para una fase. . . . . 28
3.4. Estados de la tensión fase-neutro del inversor [26]. . . . . 29
3.5. Implementación de la modulación en el inversor . . . . . 33
3.6. Señales moduladas y pulsos de disparo en modulación Min-Max. . . . . 35

3.7. Señales moduladas y pulsos de disparo en modulación THIPWM. . . . . 36
3.8. Tensión $V_{aN}$ en simulación con carga, modulación Min-Max y THIPWM. . . . . 39
3.9. Balance de los capacitores del dc-link con modulaciones THIPWM y Min-Max. . . . 40
3.10. Tensiones dc-link en estado transitorio. . . . . 41
3.11. Tensiones del capacitor flotante en estado transitorio. . . . . 42
3.12. Tensiones del capacitor flotante en estado transitorio. . . . . 42
3.13. corriente por fase $I_a$ en simulación, modulación Min-Max y THIPWM. . . . . 43
3.14. corriente por fase $I_a$ en simulación, modulación Min-Max y THIPWM. . . . . 45

4.1. Esquema sistema inversor 5L-ANPC. . . . . 46
4.2. Configuración de terminales de los módulos en el inversor. . . . . 47
4.3. Prototipo de laboratorio del inversor trifásico 5L-ANPC. . . . . 48
4.4. Diagrama circuital rectificador trifásico. . . . . 49
4.5. Prueba para determinar el estado de los módulos IGBT. . . . . 51
4.6. Implementación del tiempo muerto en 1[$\mu$s]. . . . . 52
4.7. Pulsos de disparo experimental y simulado, Min-Max, M=0.2. . . . . 53
4.8. Pulsos de disparo experimental y simulado, Min-Max, M=0.8. . . . . 54
4.9. Tensiones fase neutro con fuente de tensión, $V_{dc} = 40[V]$, modulación Min-Max. . . 54
4.10. Pulsos de disparo experimental y simulado, THIPWM, M=0.2. . . . . 55
4.11. Pulsos de disparo experimental y simulado, THIPWM, M=0.8. . . . . 55
4.12. Tensiones fase neutro con fuente de tensión, $V_{dc} = 40[V]$, modulación THIPWM. . . 56
4.13. Tensiones fase neutro del inversor con carga trifásica balanceada con rectificador, $V_{dc} = 80[V]$, modulación Min-Max. . . . . 57
4.14. Tensiones fase neutro del inversor con carga trifásica balanceada con rectificador, $V_{dc} = 80[V]$, modulación THIPWM. . . . . 58
4.15. Corrientes de fase, modulación Min-Max. . . . . 59
4.16. Corrientes de fase, modulación THIPWM. . . . . 59
4.17. Corrientes en neutro del inversor, modulación Min-Max. . . . . 61
4.18. Corrientes en neutro del inversor, modulación THIPWM. . . . . 61

A.1. Tarjetas utilizadas para la Plataforma DSP+FPGA. . . . . 67

A.2. Funcionamiento del módulo Timer [31]. . . . . 69

A.3. Distribución de los pines de los moduladores PWM [31]. . . . . 69

A.4. Tarjeta de disparo. . . . . 71

# Índice de Tablas


2.1. Propiedades de materiales semiconductores [6]. . . . . 4

2.2. Estados de conmutación del inversor trifásico de puente completo. . . . . 8

2.3. Cuadro comparativo del inversor NPC. . . . . 11

2.4. Estados de conmutación del inversor 3L-NPC. . . . . 12

2.5. Cuadro comparativo del inversor FC. . . . . 13

2.6. Estados de conmutación del inversor 3L-FC. . . . . 13

2.7. Cuadro comparativo del inversor CHB. . . . . 14

2.8. Estados de conmutación del inversor CHB de dos celdas (5L-CHB). . . . . 15

2.9. Cuadro comparativo del inversor ANPC. . . . . 16

2.10. Estados de conmutación para una fase de 5L-ANPC [22]. . . . . 17

3.1. Tensiones de bloqueo en inv. 5L-ANPC en una fase. . . . . 26

3.2. Tensiones de bloqueo en inv. 5L-ANPC en una fase. . . . . 27

3.3. Estados de capacitores según estados de conmutación por fase del 5L-ANPC. ▲ : Carga, ▼ : Descarga, -: Sin efecto. . . . . 30

3.4. Parámetros para simulación en op. con carga. . . . . 37

3.5. Cantidad de encendidos de los semiconductores en un periodo según índice de modulación y tipo de modulación. $f_o = 50[Hz]$, $f_c = 5[kHz]$. . . . . 38

3.6. Tensión inicial de los capacitores. . . . . 40

3.7. Corriente en neutro del inversor simulada. . . . . 43

4.1. Datos característicos de los componentes del cto. rectificador y capacitores del inversor. 49

4.2. Datos característicos de la carga trifásica conectada al inversor. . . . . 50

4.3. Valores RMS de tensiones fase neutro del inversor con fuente de tensión $V_{dc} = 40[V]$. 56

4.4. Valores RMS de tensiones fase neutro del inversor con carga trifásica balanceada. . . 58

4.5. Valores e índices de las corrientes de fase. . . . . 60

4.6. Valores RMS y promedio de corriente por el neutro del inversor. . . . . 60

A.1. Asignación de las señales de disparo para los conmutadores. . . . . 70

# Resumen

La presente memoria de titulación tiene por finalidad la construcción y validación de un prototipo de laboratorio del inversor trifásico de cinco niveles tipo Active Neutral Point Clamped (ANPC-5L) desarrollado en el Laboratorio de Investigación de Accionamientos Eléctricos (LIAcE).

Esta memoria consta de tres etapas. La primera consiste en presentar el marco teórico en el que se basa el prototipo de laboratorio del inversor a construir. La segunda etapa es un análisis del inversor 5L-ANPC y la simulación de éste mediante el software Plecs bajo los dos métodos de modulación empleados en el inversor. La tercera y última etapa consiste en la construcción en el laboratorio y su validación experimental utilizando plataforma de control Digital DSP+FPGA (Digital Signal Processor + Field Programmable Gate Array).

Se implementa en el inversor una modulación híbrida basada en ancho de pulsos, Pulse Width Modulation (PWM), i) tipo Phase-Shift PWM (PS-PWM) y ii) Level-Shifted PWM (LS-PWM). En ella se emplean dos métodos distintos de modulación: Min-Max e inyección de tercera armónica; Third Harmonic Inyection PWM (THIPWM). Para el balance de los capacitores se comprueba el balance natural de éstos mediante las modulaciones implementadas.

La validación experimental se realiza según los resultados de simulación y los obtenidos de forma experimental. Los resultados experimentales indican que en ambos métodos se cumple con el balance natural del inversor y que, además, ambas modulaciones poseen resultados similares. Para la mayor parte de los casos el método Min-Max presenta un menor THD de corriente que THIPWM.

# Capítulo 1

# Introducción

Desde hace décadas los países han adoptado distintas medidas para frenar el cambio climático, e.g. el Acuerdo de París [1], dentro de éstas medidas se encuentra la “descarbonización"; el reemplazo de las fuentes fósiles (carbón, petróleo y sus derivados) en la generación eléctrica por fuentes renovables con el menor impacto ambiental posible como lo son las generadoras eólicas, solares, geotérmicas, etc, comúnmente denominadas Energías Renovables No Convencionales (ERNC). Por ejemplo, Chile contempla el proceso de descarbonización en la elaboración y ejecución de un plan de retiro de centrales a carbón [2]. Esto conlleva a la incorporación de distintas fuentes ERNC en el SEN (Sistema Eléctrico Nacional), los cuales al mes de octubre de 2021 representan un 26 % de la producción total y un 42 % de la capacidad instalada del SEN e irán en aumento progresivamente [3].

Según la tecnología asociada a cada ERNC, se genera energía con tensión alterna (AC) o continua (DC). En el caso de generar en DC y ésta poder ser transmitida a un sistema de potencia AC (predominante por sobre DC) se requiere de los convertidores DC-AC conocidos como inversores; dispositivos desarrollados en el área de la electrónica de potencia, que realizan la conversión desde una fuente primaria DC a una AC.

Los inversores se pueden clasificar según su fuente primaria DC; inversor fuente de corriente (Current Source Inverter, CSI) o inversor fuente de tensión (Voltage Source Inverter, VSI). Típicamente, un inversor es VSI si hay un capacitor a través del bus de DC y es un CSI si es un inductor en serie con la fuente DC [4]. Además se distinguen según su topología, una de ellas es el tema de análisis de esta memoria: el inversor ANPC.

El inversor ANPC es una de las topologías de convertidores en constante investigación y está presente en variadas aplicaciones en la industria, como por ejemplo, en generadores solares, eólicos y automóviles eléctricos [5]. Esta memoria se enfoca en la construcción y validación de un prototipo de laboratorio de un inversor trifásico VSI tipo Active Neutral Point Clamped de cinco niveles de tensión (ANPC-5L), el cual consta de ocho conmutadores, dos capacitores en el DC-link (entre la fuente de tensión continua y el neutro) y un capacitor flotante a la salida por fase.

# Capítulo 2

# Marco Teórico

## 2.1. Convertidores de potencia

La electrónica de potencia se puede definir como la aplicación de la electrónica de estado sólido para adaptar, controlar y convertir la potencia eléctrica. Tal conversión incluye cambios de tensión (AC-DC, DC-AC, DC-DC, AC-AC) y frecuencia (AC-AC). La eficiencia de la conversión de potencia de un sistema es típicamente entre un 85 y 95 %, con el restante 15-5 % de energía perdida como calor. Los componentes semiconductores de potencia son el componente fundamental de todo sistema de electrónica de potencia y en la mayoría de los casos, el responsable de la mayor parte de las pérdidas en el sistema [6].

Los semiconductores son cruciales para el inversor; por medio de sus estados de prendido y apagado permiten dirigir la potencia de una fuente continua, por ejemplo, de un rectificador con capacitores, a un circuito de una topología establecida, formando parte del proceso de conversión DC/AC.

Desarrollar convertidores de estado sólido más potentes y eficientes es el objetivo de las investigaciones que, además, presentan una bifurcación; por un lado, las múltiples aplicaciones existentes en el mercado requieren semiconductores capaces de soportar la mayor potencia posible con una relación tamaño/peso reducido, lo que ha llevado al diseño de módulos de potencia compactos, integrando múltiples dispositivos en un formato relativamente pequeño [7], [8].

Por otro lado, las investigaciones se enfocan en el estudio y fabricación de semiconductores de banda prohibida, también conocido como “intervalo de energía prohibida”, el cual es la diferencia de energía a nivel atómico y que permite clasificar materiales como aislantes, semiconductores y conductores eléctricos. La Tabla 2.1 evidencia las propiedades de interés para los los materiales semiconductores.

El prototipo de inversor construido para esta memoria utiliza semiconductores tipo IGBT (acrónimo del inglés *insulated-gate bipolar transistor*) de canal N (Fig. 2.1). El IGBT o transistor bipolar de puerta aislada es la combinación de los dispositivos transistor de unión bipolar (en inglés *bipolar junction transistor* - BJT) y MOSFET. Posee tres terminales llamados Colector (C), Emisor (E) y Puerta (G). “Puerta aislada” se refiere a la entrada “G” que es de similares características que las de un MOSFET; posee una impedancia muy alta por lo que el terminal Puerta separa al circuito de potencia

| **Propiedad** | **Silicio** | **4H-SiC** | **GaN** |
|---|---|---|---|
| Banda prohibida [$eV$] | 1.1 | 3.26 | 3.45 |
| Ruptura Dieléctrica [x$10^6 Vcm^{-1}$] | 0.3 | 3 | >1 |
| Movilidad portadora [$cm^2V^{-1}s^{-1}$] | | | |
| Electrón | 1500 | 1140 | 1250 |
| Hueco | 600 | 50 | 850 |
| Conductividad Térmica [$Wcm^{-1}K^{-1}$] | 1.5 | 4.9 | 1.3 |
| Punto de Fusión [$K$] | 1693 | 3103 | 2773 |
| Expansión Térmica [x$10^6 K^{-1}$] | 2.6 | 4.2 - 4.68 | 5.6 |

Tabla 2.1: Propiedades de materiales semiconductores [6].

con el circuito de control. Mediante cierta tensión aplicada entre Puerta y Emisor ($V_{GE}$) se crea la señal de disparo que controla al semiconductor para determinar su estado de conducción. Es por esto por lo que el dispositivo prácticamente no consume corriente y con ello se puede construir un inversor de tipo VSI.

Que el transistor sea "bipolar" se refiere a la parte de salida del BJT que tiene una naturaleza bipolar donde el flujo de corriente se debe a dos tipos de portadores de carga. Se crean dos tipos de flujo de corriente: uno se realiza por medio de los electrones libres presentes en semiconductor, el otro portador de carga se debe a los huecos que deja el movimiento de los electrones.

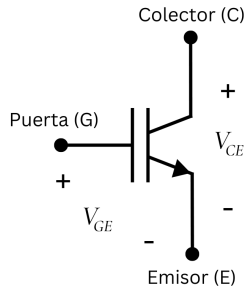



Figura 2.1: IGBT canal N [9].

## 2.2. Circuito básico del inversor fuente de tensión

El circuito básico que forma un VSI se muestra en la Fig. 2.2 [10]. Este circuito básico recibe el nombre de pierna o celda y permite transformar la tensión de entrada DC a una **tensión alterna con forma de onda escalonada** $V_{pg-}$ llamada tensión de salida. En este caso esta tensión tiene dos posibles valores, obteniendo así una tensión de forma cuadrada. Por lo tanto, al poseer dos posibles valores de tensión en la salida, se puede clasificar como un **inversor de dos niveles**. A mayores niveles de tensión la forma de la tensión de salida tenderá a una forma de onda sinusoidal como la onda de color

azul de la Fig. 2.2.

El circuito básico se constituye de un par de interruptores que trabajan de forma **complementaria**: en todo instante ambos semiconductores poseen estados distintos: cuando uno está conduciendo el otro está en circuito abierto y viceversa, los cuales realizan un número de conmutaciones según cierto patrón previamente definido acorde a la frecuencia requerida de la tensión alterna de salida $V_p$.

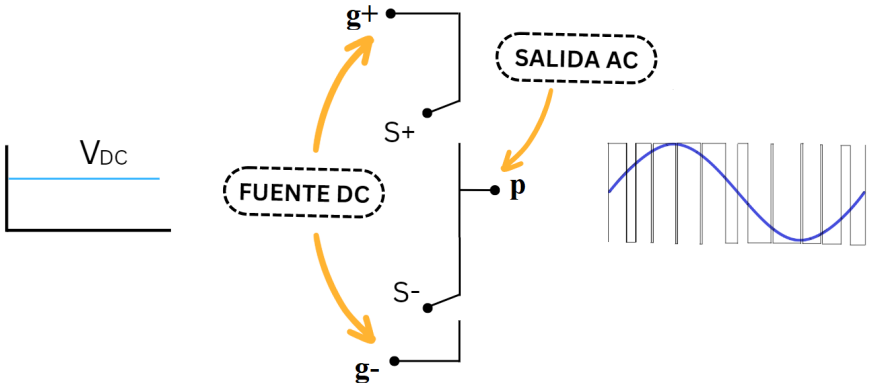



Figura 2.2: Circuito básico de un inversor [10].

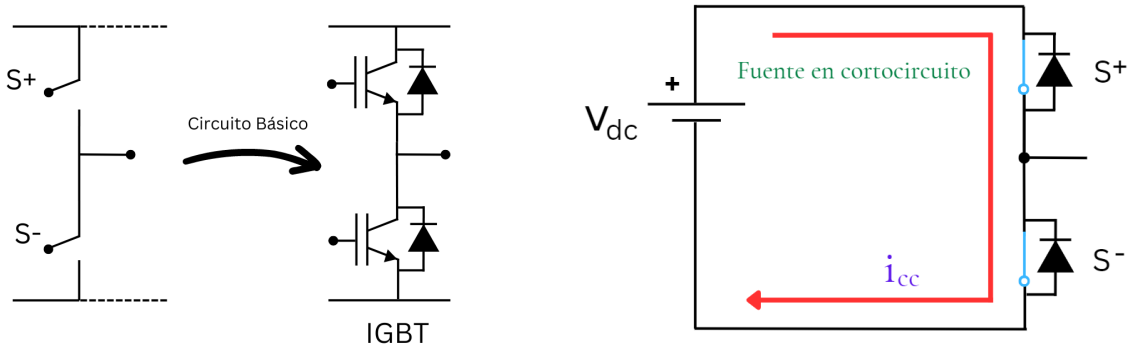
Así, los semiconductores S+ y S- tienen dos estados; prendido y/o apagado, expresado como ecuación en la ec. (2.1). Se debe considerar, también, que al ser complementarios operan de forma simultánea (ec. (2.2)). Siendo,

$$S+ = \begin{cases} 1 : \text{Semiconductor prendido} \\ 0 : \text{Semiconductor apagado} \end{cases} \tag{2.1}$$

$$S+ = \overline{S-} \tag{2.2}$$

Los dispositivos de conmutación más comúnmente utilizados para el circuito básico son el tiristor desactivado por disparo (en inglés *Gate Turn-Off Thyristor* - GTO), el tiristor controlado por puerta integrada (del inglés *integrated gate-commutated thyristor* - IGCT), el IGBT o el MOSFET, los cuales están disponibles en el mercado hoy en día. Estos dispositivos se seleccionan principalmente según la potencia requerida y la frecuencia de conmutación de operación. Los tiristores en general tienen una capacidad de manejo de alta potencia (alrededor de 1 [GW]), pero su frecuencia de conmutación es muy baja, por debajo de 1 [kHz] [11].

El IGBT es el dispositivo utilizado preferentemente para las aplicaciones de potencia media a alta. Algunos de los IGBT tienen frecuencias de conmutación de hasta 100 [kHz], aunque la mayoría normalmente están por debajo de los 20 [kHz]. El MOSFET, que puede admitir una alta frecuencia de conmutación superior a 100 [kHz], es el dispositivo más adecuado para aplicaciones de pequeña potencia.




(a) IGBT como elemento de conmutación.

(b) Condición de cortocircuito.

Figura 2.3: IGBT en el circuito básico [10].

Empleando al IGBT como interruptor en el circuito básico se le puede adicionar un diodo en antiparalelo para ser utilizado en conjunto como dispositivo de conmutación (Fig. 2.3 a) y b)). Esta configuración posee las características de conducción bidireccional y bloqueo unidireccional. Es decir que el diodo permite proporcionar una ruta alternativa para la corriente de carga cuando el interruptor se apaga. En la práctica se da que la condición de la ec. (2.2) **no es exacta** debido a que el tiempo en las transiciones de encendido o apagado no es instantáneo ya que los semiconductores poseen estados transitorios, siendo la transición prendido/apagado más lenta que apagado/prendido. Es por esto que ambos semiconductores se les clasifica como **cuasi complementarios**. Un método para evitar cortocircuitos es agregar un tiempo de retardo cuando el semiconductor pasa de apagado a prendido llamado **tiempo muerto**.

Los tiempos muertos son períodos durante los cuales los interruptores (o transistores de potencia) del inversor, los cuales son complementarios, están apagados, es decir, no conducen corriente. Estos tiempos muertos son cruciales para evitar cortocircuitos y garantizar la operación segura y eficiente del inversor. Específicamente, se previenen cortocircuitos entre la fuente de alimentación y el sistema de carga. Con esto se previene el deterioro de los componentes del inversor, como los MOSFETs o IGBTs, debido a la conducción simultánea.

Por lo tanto, la señal de disparo debe ser ajustada de modo que se verifique que nunca dos semiconductores que operan de manera complementaria lleguen a conducir de forma simultánea. Con el tiempo muerto, el par no opera de esta forma, sino que siempre habrá la siguiente secuencia: uno que conduce, no conduce ninguno, y luego conduce el segundo. Para aplicaciones de mediana potencia con semiconductores IGBT es común tener tiempos muertos de 1-3[$\mu s$] [10]. La Fig. 2.4 ilustra lo mencionado, mostrando las señales $S_1$ y $S_2$ como complementarias a las cuales se les aplica un tiempo muerto de $\Delta t$ durante el cual ambos tiempos de disparo están apagados.

A partir de distintos ensambles del circuito básico se pueden implementar los inversores, como es el caso del inversor trifásico de puente completo, también denominado inversor trifásico de dos niveles, que se presenta en la Fig. 2.5. Consta de una celda por fase con neutro N en el polo negativo de la

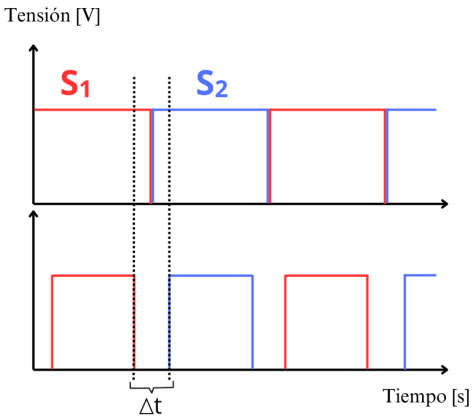



Figura 2.4: Aplicación del tiempo muerto en señales de disparo.

tensión continua. Siendo éste un inversor base para la elaboración de los demás inversores.

Las tensiones de salida dependen de los seis semiconductores del inversor. Debido a la complementariedad de los semiconductores por pierna son tres las señales de disparo, $S_a$, $S_b$ y $S_c$, los que definen la tensión de salida línea a línea cuyos valores son presentados en la Tabla 2.2 dando como resultado $2^3 = 8$ salidas. En cuanto a las tensiones fase-neutro ($V_{xN}$, siendo $x$ cualquiera de las tres fases) son de magnitudes $\{0, V_{dc}\}$, por lo tanto, es un **inversor de dos niveles** (2L). Para las tensiones entre líneas se tendrán tres niveles: $\{-V_{dc}\ \ 0,\ V_{dc}\}$. Todas las tensiones de fase del inversor pueden obtenerse como:

$$V_{xN} = S_x V_{dc},\ \ S_x \in \{0, 1\},\ \ x = \{a, b, c\} \tag{2.3}$$

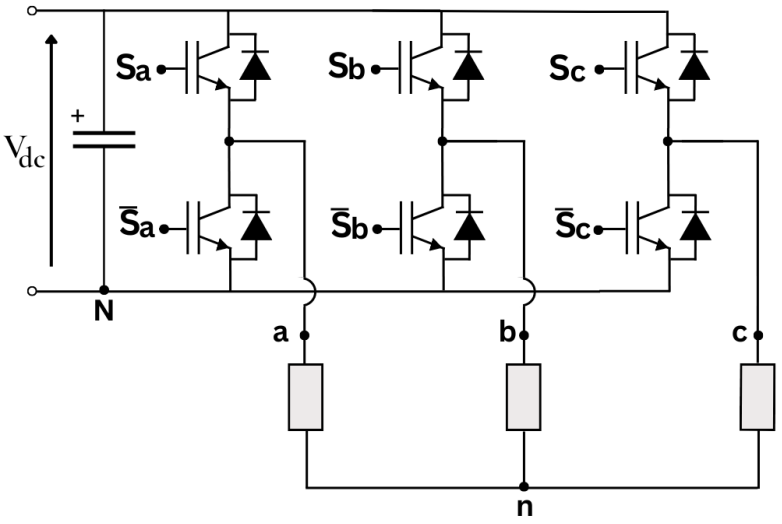



Figura 2.5: Inversor trifásico de puente completo (2L) [11].

| Estados | | | Tensiones de salida | | | | | |
|---|---|---|---|---|---|---|---|---|
| $S_a$ | $S_b$ | $S_c$ | $V_{aN}$ | $V_{bN}$ | $V_{cN}$ | $V_{ab}$ | $V_{bc}$ | $V_{ca}$ |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | $V_{dc}$ | 0 | $-V_{dc}$ | $V_{dc}$ |
| 0 | 1 | 0 | 0 | $V_{dc}$ | 0 | $-V_{dc}$ | $V_{dc}$ | 0 |
| 0 | 1 | 1 | 0 | $V_{dc}$ | $V_{dc}$ | $-V_{dc}$ | 0 | $-V_{dc}$ |
| 1 | 0 | 0 | $V_{dc}$ | 0 | 0 | $V_{dc}$ | 0 | $-V_{dc}$ |
| 1 | 0 | 1 | $V_{dc}$ | 0 | $V_{dc}$ | $V_{dc}$ | $-V_{dc}$ | 0 |
| 1 | 1 | 0 | $V_{dc}$ | $V_{dc}$ | 0 | 0 | $V_{dc}$ | $-V_{dc}$ |
| 1 | 1 | 1 | $V_{dc}$ | $V_{dc}$ | $V_{dc}$ | 0 | 0 | 0 |

Tabla 2.2: Estados de conmutación del inversor trifásico de puente completo.

## 2.3. Convertidores Multinivel

Los convertidores multinivel son sistemas de conversión de potencia compuestos por semiconductores y fuentes de tensión capacitivas los cuales originan las distintas topologías, las cuales crean tensiones con formas escalonadas pudiendo ser controlada su frecuencia, fase y amplitud.

La fuente de tensión capacitiva se conoce como dc-link (enlace de continua) el cual consta de una o varias fuentes DC conectados en paralelo a capacitores y que, como su nombre lo indica, es el enlace de los inversores para pasar de la fuente de tensión continua a una tensión de salida alterna mediante el encendido y apagado de los semiconductores los cuales determinan el flujo de corriente desde la fuente DC a las cargas conectadas en las fases de la salida.

Mediante el conexionado de celdas es posible construir un conjunto de topologías. El ensamble de celdas origina una determinada topología de inversor y con ello se establece el nivel de tensión de un inversor en particular. Por regla general, mientras más semiconductores se tengan, mayores son los niveles de tensión que se pueden obtener. Los niveles de tensión dependen de la aplicación en particular del inversor, siendo los más comunes de 3, 4 y 5 niveles.

Las principales virtudes de tener mayores niveles de tensión se refleja en los siguientes factores relevantes en un inversor:

1. Mejora en la calidad de la energía, es decir, reducción del índice de distorsión total, el cual permite ponderar las componentes armónicas sobre la fundamental (en inglés *Total Harmonic Distortion* - THD). Puede ser medido tanto en corriente ($I$) como en tensión ($V$), expresadas

en las ecuaciones (2.4a) [12] y (2.4b) respectivamente, en donde el subíndice 1 se refiere a la componente fundamental de la onda.

$$THD_I = \frac{\sqrt{I^2 - I_1^2}}{I_1} \qquad (2.4a) \qquad THD_V = \frac{\sqrt{V^2 - V_1^2}}{V_1} \qquad (2.4b)$$

2. Reducción de la razón *dv/dt*, la cual en caso de no poder ser reducida puede tener como consecuencias fallas mecánicas por corrosión en los motores conectados a los inversores [9] [13].

3. Aumento de la potencia de salida respecto a convertidores de dos niveles.

En contraparte, las principales desventajas de los inversores multinivel son: i) tener mayor cantidad de semiconductores, ii) lo anterior acarrea complejizar el sistema de control aplicado, y además, al aumento de pérdidas por conducción, iii) el aumento de niveles de tensión conlleva para ciertos convertidores a tener mayor cantidad de fuentes de tensión en el dc-link el cual al ser elementos almacenadores de energía, requieren ser balanceados en tensión. Todo esto se sintetiza en aumentar el presupuesto estimado para el inversor. En resumen, el número de niveles de tensión necesarios depende de los requerimientos de la aplicación.

En la Fig. 2.6 [11] se esquematiza la clasificación de las topologías de los inversores multinivel más comunes en la industria mediante tres grupos según su topología: I) Diodo anclado al neutro (*Neutral Point Clamped* - NPC), II) Capacitor Flotante (*Flying Capacitor Converter*), III) Puente H en cascada (*Cascade H-bridge Converter* - CHB) y adicionalmente otro grupo conformado por topologías novedosas que se han incorporado en los últimos años. Según las características de cada topología va a depender la tensión aplicada a cada uno de los semiconductores que lo conforman. En el esquema de la Fig. 2.6 en cada topología se señala los tipos de semiconductores con que operan comúnmente, siendo éstos clasificados según su nivel de tensión; alta, media y baja tensión (HV, MV, LV respectivamente), usando dos tipos de dispositivos que regularmente se ocupan en la industria: IGCT e IGBT.

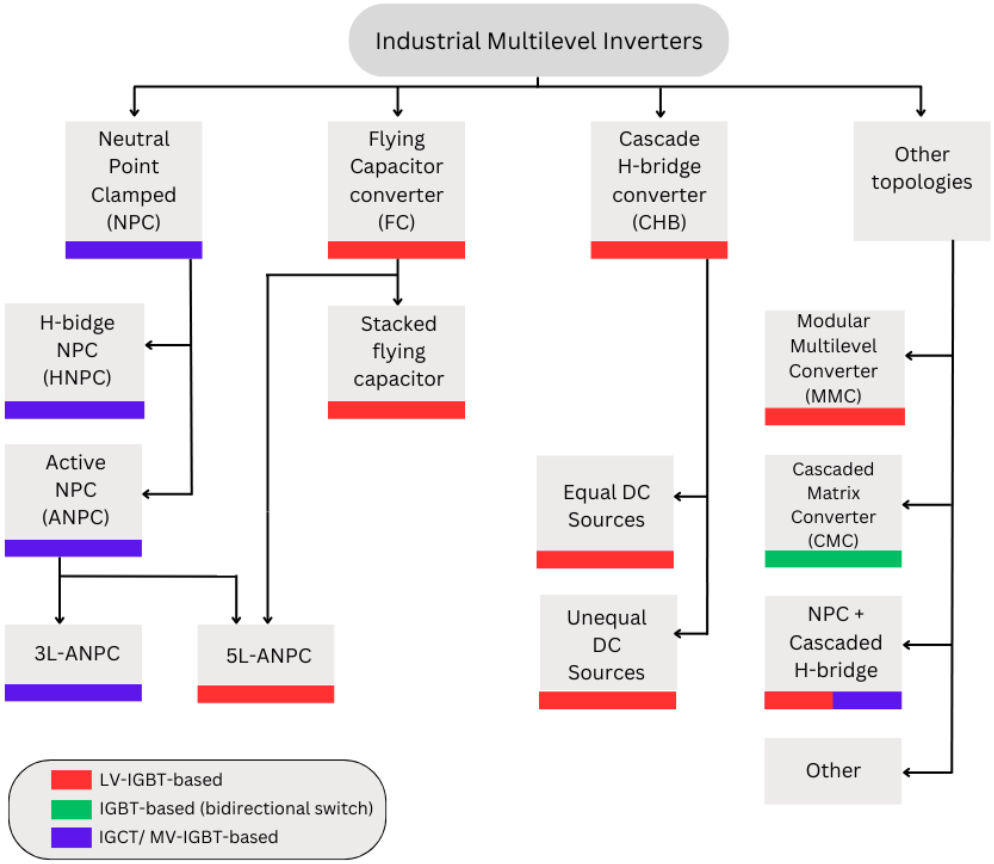



Figura 2.6: Clasificación de los inversores multinivel industriales [11].

### 2.3.1. Inversor Neutral Point Clamped (NPC)

El inversor multinivel NPC se origina a principios de la década de 1980 [14], siendo éste inversor una modificación de la topología clásica del inversor trifásico de dos niveles (Fig. 2.5). El convertidor NPC de tres niveles (3L-NPC), ilustrado en la Fig. 2.7, se crea agregando dos semiconductores y dos diodos anclados por fase que están conectados al punto neutro O, lo cual divide la tensión $V_{dc}$ del dc-link a la mitad en donde ambos capacitores poseen una tensión continua de magnitud $V_{dc/2}$. Usando esta topología, la tensión máxima de bloqueo de cada semiconductor es $V_{dc/2}$, lo cual permite aumentar la tensión del dc-link con respecto al inversor trifásico de dos niveles de la Fig. 2.5 en donde cada semiconductor debe soportar una tensión de $V_{dc}$.

Aumentar un nivel de tensión para este inversor implica la adición de elementos tanto en la parte continua (dc-link) como en la parte alterna del inversor; por el lado de continua se debe agregar un capacitor y para la parte alterna se debe agregar dos semiconductores y dos diodos por fase, los cuales son anclados mediante un neutro adicional al capacitor asociado a tal nivel de tensión. La potencia fluye del dc-link mediante las barras extremas y los diodos para llegar a los semiconductores. De

| NPC | |
|---|---|
| **Ventajas** | **Desventajas** |
| ➢ Topología sencilla para inspeccionar los niveles de tensión y verificar cada uno de sus componentes.<br>➢ Utilizando la misma tecnología que los componentes de un inversor de dos niveles duplica la potencia de éste.<br>➢ Ocupa una sola fuente dc independiente de los niveles de tensión, por ende, utiliza menos capacitores | ➢ Distribución desigual de las pérdidas en semiconductores lo cual aumenta las probabilidades de una menor vida útil de éstos.<br>➢ Los diodos no bloquean las mismas tensiones, por lo tanto, para altas tensiones se requieren de diodos en serie.<br>➢ A medida que aumenta los niveles de tensión se complejiza el balance en el neutro. Debido a esto es que preferentemente esta topología se limita a tres niveles [15]. |

Tabla 2.3: Cuadro comparativo del inversor NPC.

forma generalizada, para una topología de nivel *n* se tendrán *n-1* semiconductores en serie operando por pierna, dando como resultado que la fase esté conectada a la tensión en serie de los capacitores del dc-link. Algunas de las propiedades características de las ventajas y desventajas de este inversor se presentan en la Tabla 2.3. La Tabla 2.4 presenta los estados conmutación posibles para este inversor.

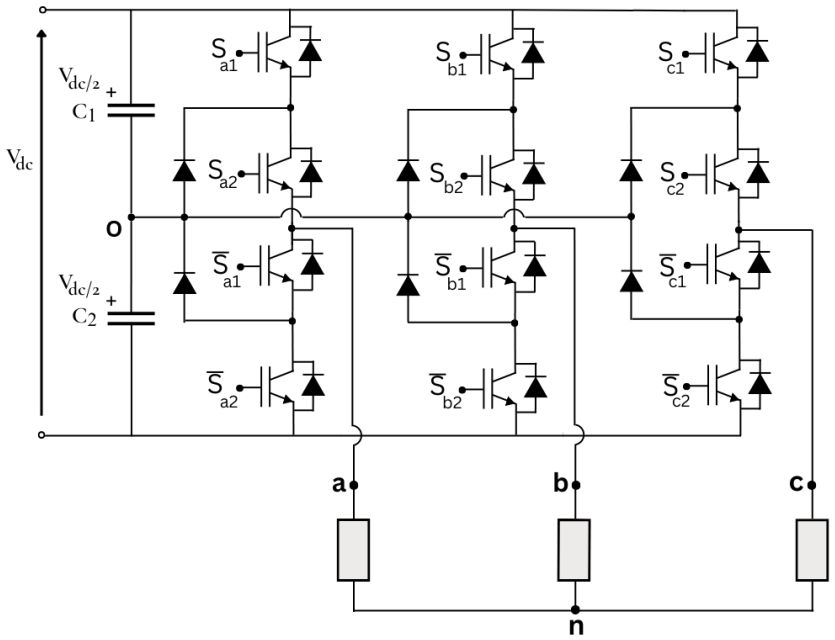



Figura 2.7: Inversor trifásico tipo 3L-NPC [15].

| Estados | | Tensión fase-neutro |
|---|---|---|
| $S_{x1}$ | $S_{x2}$ | $V_{xO}$ |
| 1 | 1 | $V_{dc}/2$ |
| 1 | 0 | 0 |
| 0 | 1 | 0 |
| 0 | 0 | $-V_{dc}/2$ |

Tabla 2.4: Estados de conmutación del inversor 3L-NPC.

### 2.3.2. Inversor Flying Capacitor (FC)

El inversor FC también denominado inversor de capacitor flotante se origina a principios de la década de 1990 [16]. Es una topología similar al NPC con la diferencia de que los diodos son reemplazados por capacitores que "flotan"; éstos **no están conectados al neutro del dc-link**, por lo tanto, el dc-link está conectado al resto del circuito por medio de los extremos (sin las conexiones intermedias mediante diodos como en el NPC), este aspecto cobra mayor relevancia cuando se compara la corriente de entrada entre ambos inversores ya que para el FC los condensadores están en serie, es decir, la corriente solo posee un camino bidireccional.

En cuanto a las tensiones fase-neutro ($V_{xN}$), estas se determinan mediante la suma o resta de la tensión del dc-link con las tensiones de los capacitores flotantes por fase (despreciando las tensiones en los semiconductores) de forma que las tensiones de los capacitores están en serie. Debido a que no hay conexión al neutro del dc-link.

Un FC con $m$ niveles de tensión requiere de $(m-2)$ capacitores flotantes y de $2\times(m-1)$ semiconductores. En forma general, para que los semiconductores tengan una tensión de bloqueo equitativa, se requiere que los $m-2$ capacitores flotantes tengan una tensión según la ec. (2.5).

$$V_k = \frac{kV_{DC}}{(m-1)}, \quad k = 1, ..., m-2 \tag{2.5}$$

Los estados de conmutación quedan determinados por los semiconductores que están arriba (o abajo) de la fase, los pares complementarios se dan desde los extremos hasta llegar al centro (fase). Los estados de conmutación y sus respectivas salidas están presentes en la Tabla 2.6. La Tabla 2.5 resume las características de ventajas y desventajas del inversor.

| FC | |
|---|---|
| **Ventajas** | **Desventajas** |
| ➢ La topología permite tener la misma tensión con diferentes estados de conmutación (estados redundantes) lo que garantiza una mayor holgura para establecer tensiones balanceadas en los capacitores flotantes mediante una modulación apropiada [17]. | ➢ La topología posee mayoritariamente elementos capacitivos, por lo que para aplicaciones con alta frecuencia de conmutación esta debe limitarse a niveles de tensión menores o iguales a cuatro [15]. |
| ➢ La energía almacenada en un FC es aproximadamente 10 y 20 veces mayor para un 3L-FC y 4L-FC respectivamente, que un 3L-NPC [15]. Los capacitores flotantes operan con distintas magnitudes de tensión. | ➢ Es necesario que los capacitores estén precargados [15]. Para obtener igual tensión de bloqueo en los semiconductores se requiere que las tensiones de los capacitores flotantes posean distintas magnitudes (ec. (2.5)). |
| ➢ Cada pierna de fase posee mayor independencia respecto a otras topologías [17]. | ➢ Al reemplazar diodos por capacitores el inversor FC será más costoso que un NPC. |

Tabla 2.5: Cuadro comparativo del inversor FC.

| Estados | | Tensión fase-neutro del inversor |
|---|---|---|
| $S_{x1}$ | $S_{x2}$ | $V_{xO}$ |
| 1 | 1 | $V_{dc}/2$ |
| 1 | 0 | 0 |
| 0 | 1 | 0 |
| 0 | 0 | $-V_{dc}/2$ |

Tabla 2.6: Estados de conmutación del inversor 3L-FC.

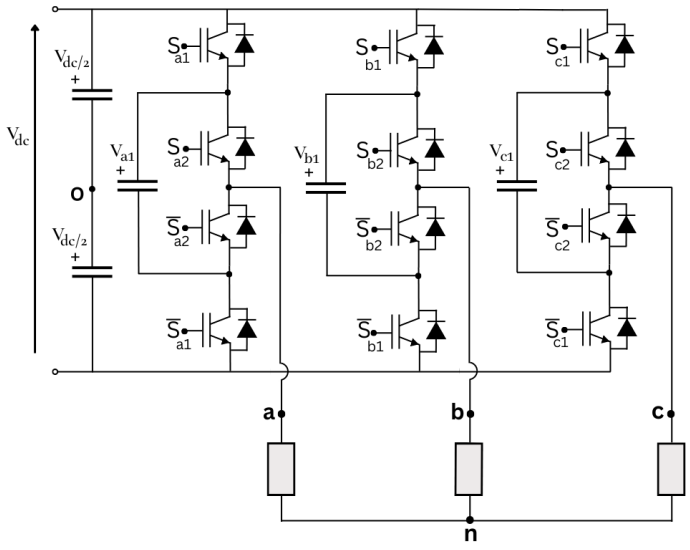



Figura 2.8: Inversor trifásico tipo 3L-FC [11].

### 2.3.3. Inversor Cascade H-bridge Converter (CHB)

El inversor puente H en cascada se crea a mediados de la década de 1970 [18]. La celda tipo H es el elemento básico de este inversor, las cuales crean la configuración en cascada al conectarse los terminales "a" y "O" en serie como se señala en la Fig. 2.9. Cada una de las celdas posee su respectivo capacitor como fuente de tensión el cual actúa de manera independiente de las demás celdas.

El número de los niveles de tensión ($m$) está determinado por la cantidad de celdas tipo H ($H$) que posee el inversor, tal que: $m = 2H + 1$. Lo anterior indica que celdas tipo H en serie solo pueden crear niveles impares de tensión. Para niveles de tensión pares se deben adicionar como celda en cascada el inversor trifásico de puente completo (Fig. 2.5), en tal caso la topología de cascada no es exclusivamente de celdas H. En cuanto a la tensión de salida fase-neutro será la suma de cada celda; en el caso de 3L-CHB de la Fig. 2.9: $V_{aO} = V_{c1} + V_{c2}$, cuyos estados de conmutación y sus respectivas salidas están en la Tabla 2.7. En la Tabla 2.8 se exponen las principales ventajas y desventajas del inversor.

| CHB | |
|---|---|
| **Ventajas** | **Desventajas** |
| ➢ Las fuentes DC independientes pueden ser de distintos valores (tensión asimétrica de celdas), lo que permite incrementar el nivel de tensión sin alterar la topología existente en comparación a utilizar fuentes DC del mismo valor [19].<br>➢ Al ser una topología en cascada y de celdas idénticas facilita el ensamblaje y la producción masiva lo que permite reducir tiempos de fabricación y abaratar costos [12].<br>➢ Es una topología que entrega buena calidad de energía [11]. | ➢ Todas las fuentes DC requieren ser de tensiones aisladas. Comúnmente se utilizan transformadores desfasadores con múltiples secundarios o varios transformadores lo que equivale a un costo y volumen significativo [15], [19].<br>➢ Al compartir tensión en múltiples celdas se requiere utilizar semiconductores de baja tensión (LV-IGBT) con capacitores de mayor capacitancia que en otras topologías.<br>➢ Se necesita una gran cantidad de cables para armar el circuito del inversor [20]. |

Tabla 2.7: Cuadro comparativo del inversor CHB.

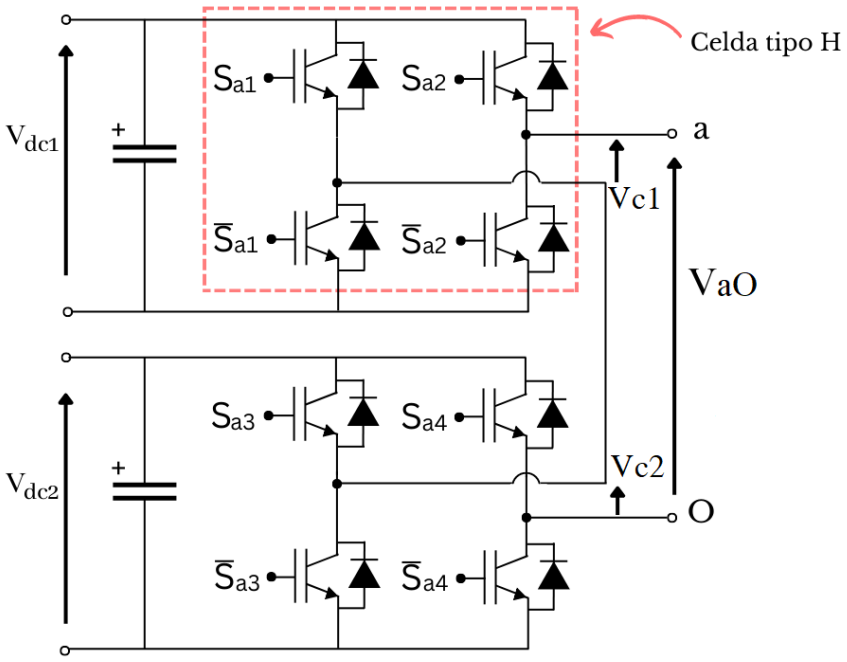



Figura 2.9: Inversor tipo CHB de dos celdas (5L-CHB) [11].

| Celda 1 | | Celda 2 | | Tensión Celda | | Tensión de Fase |
|---|---|---|---|---|---|---|
| $S_{a1}$ | $S_{a2}$ | $S_{a3}$ | $S_{a4}$ | $V_{c1}$ | $V_{c2}$ | $V_{aO} = V_{c1} + V_{c2}$ |
| 1 | 0 | 1 | 0 | $V_{dc}$ | $V_{dc}$ | $2V_{dc}$ |
| 1 | 0 | 0 | 0 | $V_{dc}$ | 0 | $V_{dc}$ |
| 1 | 0 | 1 | 1 | $V_{dc}$ | 0 | $V_{dc}$ |
| 0 | 0 | 1 | 0 | 0 | $V_{dc}$ | $V_{dc}$ |
| 1 | 1 | 1 | 0 | 0 | $V_{dc}$ | $V_{dc}$ |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | $V_{dc}$ | $-V_{dc}$ | 0 |
| 0 | 1 | 1 | 0 | $-V_{dc}$ | $V_{dc}$ | 0 |
| 0 | 1 | 0 | 0 | $-V_{dc}$ | 0 | $-V_{dc}$ |
| 0 | 1 | 1 | 1 | $-V_{dc}$ | 0 | $-V_{dc}$ |
| 0 | 0 | 0 | 1 | 0 | $-V_{dc}$ | $-V_{dc}$ |
| 1 | 1 | 0 | 1 | 0 | $-V_{dc}$ | $-V_{dc}$ |
| 0 | 1 | 0 | 1 | $-V_{dc}$ | $-V_{dc}$ | $-2V_{dc}$ |

Tabla 2.8: Estados de conmutación del inversor CHB de dos celdas (5L-CHB).

### 2.3.4. Inversor Active Neutral Point Clamped (ANPC)

El inversor Active Neutral Point Clamped (ANPC) traducido al español como inversor *de punto neutro activo fijado*, es creado en el año 2005 [21]. Esta topología procede del NPC y como su nombre lo indica se distingue de aquel al **reemplazar los diodos de anclaje por semiconductores controlados** obteniendo así caminos bidireccionales de conducción para llegar al punto neutro del dc-link.

En el caso del inversor 3L-ANPC la topología es similar al NPC con la diferencia de los semiconductores anclados. Como se observa en la Fig. 2.6 a partir del quinto nivel el ANPC es una topología híbrida entre NPC y FC, ya que posee un capacitor flotante como se puede observar en la Fig. 2.10, en donde los dos capacitores del dc-link, C21 y C22, deben tener la misma tensión ($V_{dc}/2$) y los capacitores flotantes C1x (con x como cualquiera de las fases a,b o c) deben tener una tensión de $V_{dc}/4$. Cabe destacar que la topología 5L-ANPC puede variar respecto a la cantidad de elementos que lo constituyen, en el caso de la topología de la Fig. 2.6 se destaca por ser un inversor tipo 5L-ANPC simplificado al reducir el número de capacitores flotantes a uno por fase, lo cual lo hace ser una topología más atractiva al ahorrar espacio y cantidad de capacitores.

De forma generalizada, para un ANPC simplificado de nivel $m$ se tendrán $m+3$ semiconductores con diodos en antiparalelo, $(m-1)/2$ capacitores del dc-link y $(m-3)/2$ capacitores flotantes por fase. En la Tabla 2.9 se presentan ciertas ventajas y desventajas características del inversor. Los estados de conmutación y las correspondientes tensiones fase-neutro del inversor para el ANPC-5L están presentes en la Tabla 2.10. En cuanto a las tensiones línea a línea,$V_{LL}$ (ec. 2.6), se tienen nueve niveles ya que éstas son el resultado de la suma y resta de las tensiones $VaO$ las cuales son:

$$V_{LL} = \{-V_{dc}, -\frac{3V_{dc}}{4}, -\frac{V_{dc}}{2}, -\frac{V_{dc}}{4}, 0, \frac{V_{dc}}{4}, \frac{V_{dc}}{2}, \frac{3V_{dc}}{4}, V_{dc}\} \tag{2.6}$$

| ANPC | |
|---|---|
| **Ventajas** | **Desventajas** |
| ➢ Distribución de temperatura de juntura en los semiconductores más equitativa que NPC [19]. | ➢ Se requiere de estrategias de control para el balance de los capacitores. |
| ➢ La tensión de bloqueo para los semiconductores anclados al neutro es la mitad que en el caso de los diodos del NPC . | ➢ La amplitud de tensión fase-neutro es la mitad que el NPC para el mismo nivel de tensión. |
| ➢ Posee menos componentes que las topologías anteriores. | ➢ 5L-ANPC tiene menos estados redundantes que los inversores 5L-NPC y 5L-CHB. |

Tabla 2.9: Cuadro comparativo del inversor ANPC.

| Tensión | Estados | | | | | | | | Tensión de Fase |
|---|---|---|---|---|---|---|---|---|---|
| $V_n(n=1-8)$ | $S_{1a}$ | $S_{2a}$ | $S_{3a}$ | $S_{4a}$ | $S_{21a}$ | $S_{32a}$ | $S_{22a}$ | $S_{31a}$ | $V_{aO}$ |
| V1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | $-V_{dc}/2$ |
| V2 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | $-V_{dc}/4$ |
| V3 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | $-V_{dc}/4$ |
| V4 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| V5 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| V6 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | $V_{dc}/4$ |
| V7 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | $V_{dc}/4$ |
| V8 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | $V_{dc}/2$ |

Tabla 2.10: Estados de conmutación para una fase de 5L-ANPC [22].

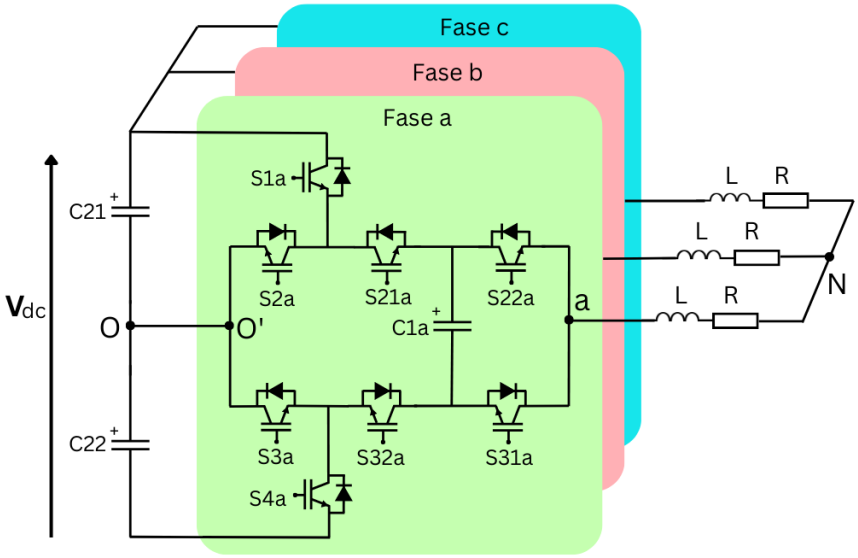



Figura 2.10: Inversor trifásico 5L-ANPC.

## 2.4. Esquemas de Modulación para convertidores

La modulación para los convertidores corresponde a su sistema de control; permite comandar a los interruptores a un estado de conmutación deseado por medio de señales de disparo hacia los semiconductores según la técnica de modulación que se establezca en la estrategia de control del inversor. La modulación permite generar de forma alternada los niveles de tensión disponibles del inversor, de tal manera que la tensión fundamental se aproxime a cierta tensión de referencia.

Existen variados métodos de modulación con diferentes enfoques en donde cada uno de ellos posee diversos principios de funcionamiento, implementación y rendimiento, los cuales se categorizan según su frecuencia de operación: alta, media y baja frecuencia. La selección del tipo de modulación implementada dependerá de la topología del convertidor, de la naturaleza de la carga conectada (requisitos dinámicos), de la capacidad de cálculo que se tenga disponible y del tiempo empleado para aquello, además, lo anterior debe ir en concordancia con la tecnología y potencia del sistema y con lo planteado al comienzo de la sección 2.3 . El objetivo es, entonces, establecer una estrategia de control que cumpla con los requerimientos según el criterio adoptado.

Los distintos métodos de modulación se pueden clasificar según el esquema de la Fig. 2.11 en donde existen dos grandes grupos: modulaciones en alta y baja frecuencia de conmutación. En esta memoria se desarrolla modulación híbrida, la cual posee frecuencias de ambas categorías. Para el primer grupo podemos destacar las modulaciones *Multicarrier PWM* o también conocidas como *Carrier-based Modulation (CBM)*, traducido al español como *Modulación por ancho de pulso basada en señales portadoras* ya que la modulación híbrida implementada está basada en CBM. Todas las técnicas de modulación poseen ventajas y desventajas, por lo que la mejor opción dependerá de cuál técnica aborda de mejor manera la estrategia de control adoptada.

A continuación se describen las modulaciones Multicarrier PWM e Hybrid Modulation, las cuales son implementadas en esta memoria.

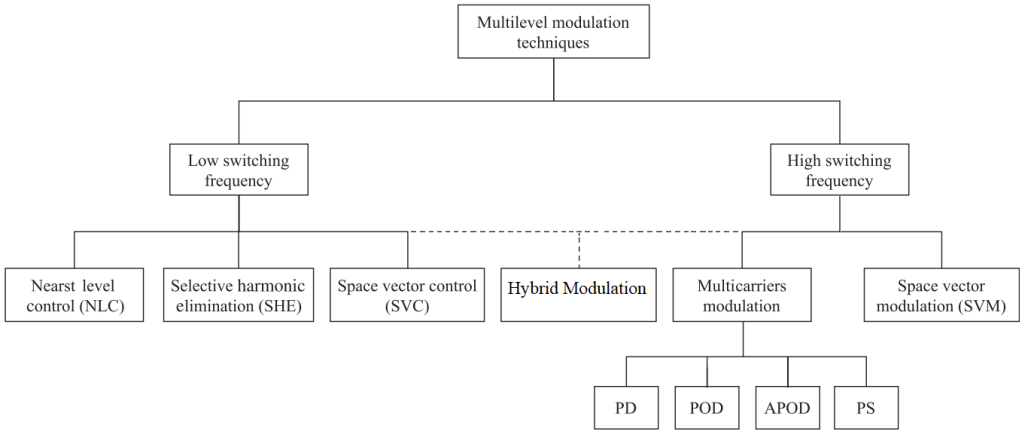



Figura 2.11: Clasificación de métodos de modulación multinivel [5].

### 2.4.1. Multicarrier PWM

La modulación Multicarrier PWM, también conocida Carrier-based Modulation (CBM) o como Sinusoidal Pulse-width Modulation (SPWM), es la modulación más común, de mayor desarrollo y aplicación para los convertidores de potencia en la industria [11] debido principalmente a su simple implementación de manera tanto análoga como digital. Las desventajas que posee es la necesidad de una alta frecuencia de conmutación lo que afecta a la eficiencia del convertidor al incrementar

pérdidas de conmutación, aunque por otro lado, si se considerase una frecuencia de conmutación baja, la superficie, volumen y costos económicos de los filtros (comúnmente inductancias) necesarios incrementarían. Por lo tanto, se debe sopesar ambas escenarios: entre pérdidas de potencia y el costo de implementar filtros.

En este método de modulación las señales de disparo se originan comparando la onda de referencia sinusoidal con señales portadoras triangulares las cuales deben poseer al menos una frecuencia 21 veces mayor que la referencia [10]. Cuando la señal de referencia es de mayor amplitud que la triangular, la señal permite al semiconductor conducir; el estado lógico es un 1. Caso contrario (amplitud de señal triangular es mayor que la referencia sinusoidal), el semiconductor no conduce; el estado lógico es un 0. Por lo tanto, el ciclo de trabajo que tendrá el semiconductor dependerá de la modulación aplicada. La modulación básica es entre la onda sinusoidal $V_{ref}(t)$ en comparación con la señal triangular $V_{tri}(t)$ (portadora o *carrier*), para lo cual tendrá como salida el estado de conmutación $S_x(t)$, lo cual puede ser expresado según la ec. (2.7) y graficado en la Fig. 2.12.

$$S_x(t) = \begin{cases} 1, & \text{si } V_{ref} > V_{tri(t)} \\ 0, & \text{si } V_{ref} < V_{tri(t)} \end{cases} \tag{2.7}$$

El número de señales triangulares ($n$) necesarias para un convertidor de $l$ niveles es:

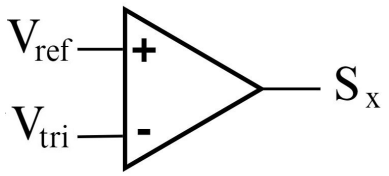
$$n = l - 1 \tag{2.8}$$

La razón entre la amplitud de la referencia ($|V_{ref}|$) con respecto a la magnitud de las triangulares (todas con la misma magnitud $|V_{tri}|$) puede variar. El índice que determina tal proporción se denomina **índice de modulación** ($M$), (ec. 2.9a). Lo mismo ocurre con razón entre las frecuencias de ambas señales; en tal caso se denomina **razón de frecuencia** ($M_f$), (ec. 2.9b):

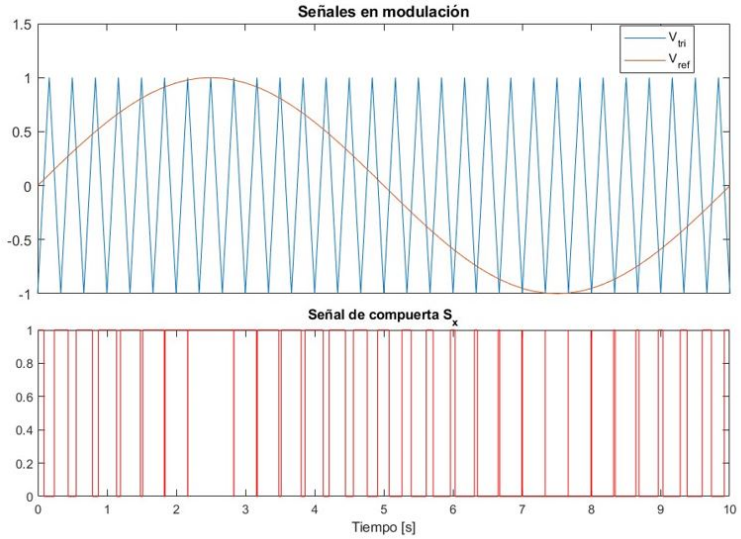
$$M = \frac{|V_{ref}|}{|\ V_{tri}\ |} \tag{2.9a}$$

$$M_f = \frac{f_{tri}}{f_{ref}} \tag{2.9b}$$

En rango de $0 \leq M \leq 1$ es llamado rango de modulación lineal o zona lineal ya que el inversor puede generar una tensión linealmente proporcional a la referencia. Cuando $M > 1$ se considera sobremodulación. Además, cuando un índice de modulación es bajo y por lo cual no es posible obtener todos los niveles del inversor se habla de una sub-modulación. Por ejemplo, para un convertidor de 5 niveles la sub-modulación se da para M<0.5 [23]. En cuanto a $M_f$, según lo expuesto anteriormente, para que la componente fundamental de la tensión de salida del inversor varíe linealmente con respecto a la referencia ($V_{ref}$), se tendrá $M_f \geq 21$ [10].




(a) Implementación como circuito lógico.




(b) Señales de compuerta

Figura 2.12: Modulación básica tipo CBM.

#### 2.4.1.a. Phase Shifted PWM (PS-PWM)

La modulación Phase Shifted PWM (PS-PWM) es un método que requiere de dos o más señales portadoras (*multicarrier*). Consiste en desfasar en un ángulo $\phi_{cr}$ a las señales portadoras, las cuales poseen igual amplitud y frecuencia, y ser comparadas por una o más señales de referencia (por lo general una señal de referencia por fase). El desfase medido entre señales portadoras adyacentes para un inversor de $l$ niveles está dado por la ec. (2.10).

$$\phi_{cr} = 360^{\circ}/(l-1) \tag{2.10}$$

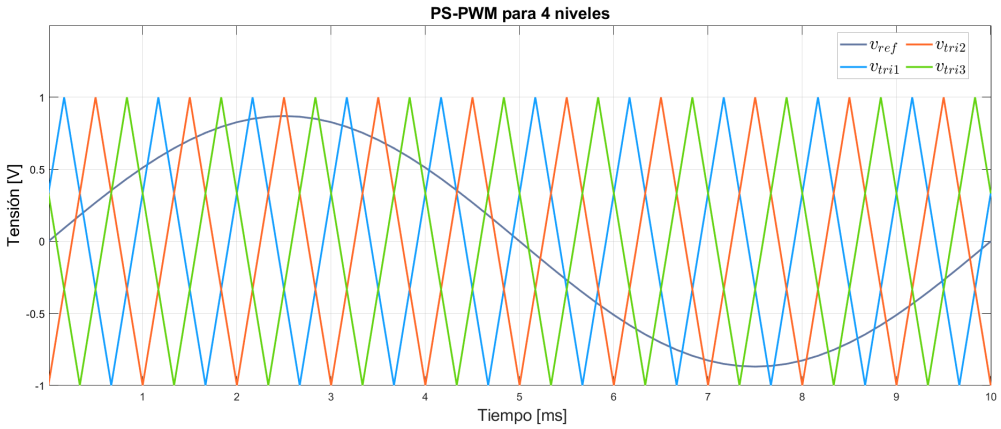



Figura 2.13: Modulación PS-PWM para cuatro niveles.

#### 2.4.1.b. Level Shifted PWM (LS-PWM)

El nombre *Level-Shifted* hace referencia a que las señales portadoras poseen distintos niveles de tensión; este método consiste en que cada una de las señales triangulares poseen una tensión continua particular (*offset*). Existen tres técnicas dentro de este conjunto: a) In-Phase Disposition (IPD): en donde todas las triangulares están en fase, b) Alternative Phase Opposite Disposition (APOD): dentro del cual todas las triangulares están en contrafase, (c) Phase Opposite Disposition (POD): en la cual existen dos triangulares en contrafase para un offset de 0[V] mientras que las demás señales portadoras tendrán distintos offset y estarán en fase de acuerdo a éstas dos triangulares. La Fig. 2.14 ilustra las tres técnicas de LS-PWM.

El número de señales triangulares ($n_c$) para un inversor de $l$ niveles está dado por la ec. (2.11).

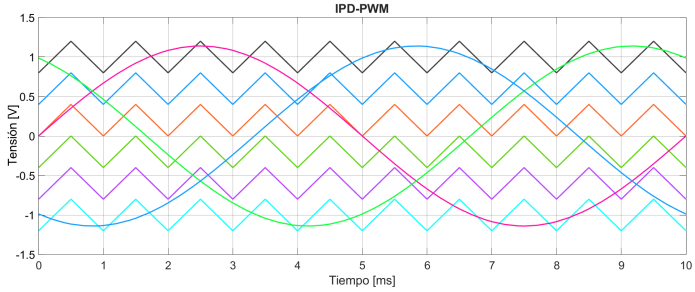
$$n_c = l - 1 \tag{2.11}$$

### 2.4.2. Hybrid Modulation

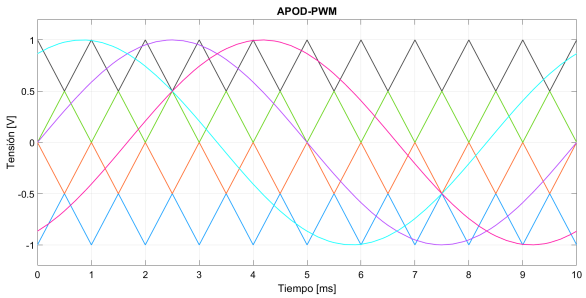
Bajo el nombre de Hybrid Modulation (traducido como Modulación Híbrida) se clasifican las técnicas que nacen de la combinación de las técnicas basadas en modulación . Para esta Memoria se aplica la modulación híbrida nacida a partir de la modulación PS-PWM e IPD-PWM.

Para analizar esta técnica, se presenta la Fig. 2.15 en donde se ilustra la técnica híbrida PS-IPD-PWM para un convertidor de 5 niveles (con $M = 1$). Se presenta una señal de referencia de frecuencia fundamental y dos señales portadoras de alta frecuencia (en la práctica están a una razón de 21 veces, para mayor claridad en la Fig. 2.15 la frecuencia de las señales portadoras están a una razón de 10).

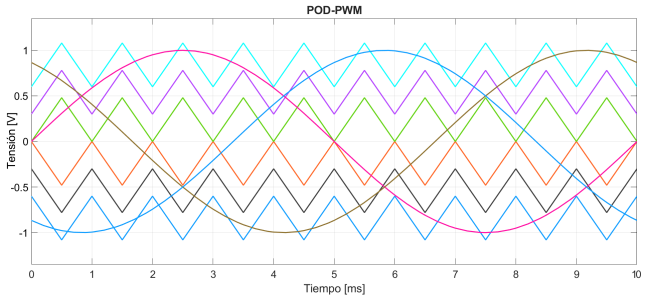
Esta técnica se caracteriza por tener siempre señales con polaridad positiva, por lo tanto, la señal




(a) IPD-PWM, l=7.




(b) APOD-PWM, l=5.




(c) POD-PWM, l=7.

Figura 2.14: Técnicas LS-PWM.

de referencia se modifica al momento de cruzar por cero. Además, esta técnica reduce el número de señales portadoras, por ejemplo, para un inversor de cinco niveles es necesario solo dos de estas señales.

Se emplea esta modulación para el inversor construido experimentalmente en esta Memoria.

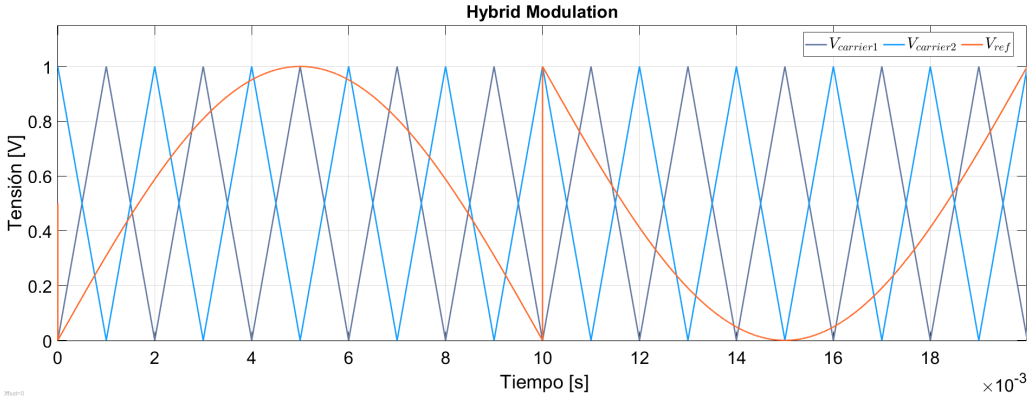



Figura 2.15: Técnica híbrida PS-IPD-PWM.

## 2.5. Técnicas para la ampliación del rango lineal de modulación

Las técnicas de modulación anteriormente mencionadas se han ido desarrollando y adaptando para encontrar mejores resultados respecto al desempeño del inversor, como por ejemplo, mejorar la calidad de la salida para índices de modulación altos y, además, ampliar el rango lineal. Es entonces que se originan las modulaciones aquí presentadas: modulación Min-Max y modulación de Tercera Armónica.

### 2.5.1. Modulación Min-Max

Esta técnica es una de la más aplicadas dentro de las que inyectan secuencia cero en CBM. Su forma de inyectar secuencia cero es comparar las tres señales de referencias trifásicas y obtener la suma del máximo y mínimo instantáneo de las tres señales de manera que la secuencia cero está dada por la ec. (2.12).

$$V_{cero} = -\frac{V_{max} + V_{min}}{2} \tag{2.12}$$

Luego de obtener $V_{cero}$ ésta debe ser sumada (inyectada) a cada una de las fases dando como resultado $V_{ref}$ que se ilustra en la Fig. 2.16.

Este tipo de modulación es equivalente a la que se podría obtener mediante SVPWM.

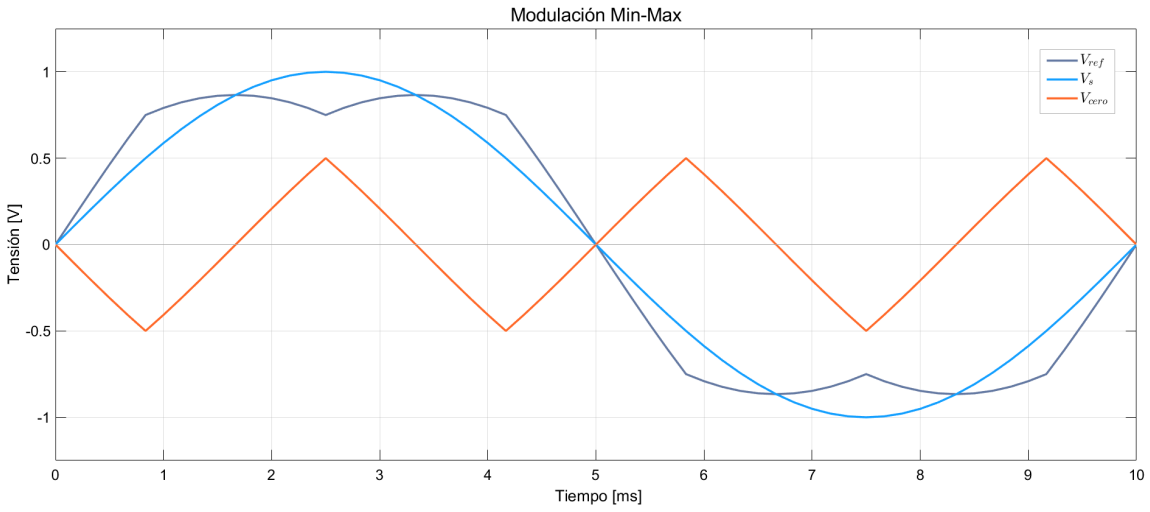



Figura 2.16: Señales de una fase para modulación Min-Max (M=1.0).

### 2.5.2. Modulación de Tercera Armónica (THIPWM)

La inyección de tercera armónica (en inglés *third harmonic inyection PWM (THIPWM)*), tal como su nombre lo indica, agrega una componente de tercera armónica a la tensión de referencia, ilustrada en la Fig. 2.17 y según la ec. (2.13):

$$V_{ref} = M \cdot (sen(wt) + \frac{1}{6} sen(3wt)) \tag{2.13}$$

La componente de tercera armónica es 1/6 de la fundamental siendo éste el valor óptimo para maximizar la tensión fundamental. Este método logra incrementar la tensión trifásica de salida del inversor hasta en un 15,47 % sin salir de la zona lineal [10] ($M = 1{,}1547$).

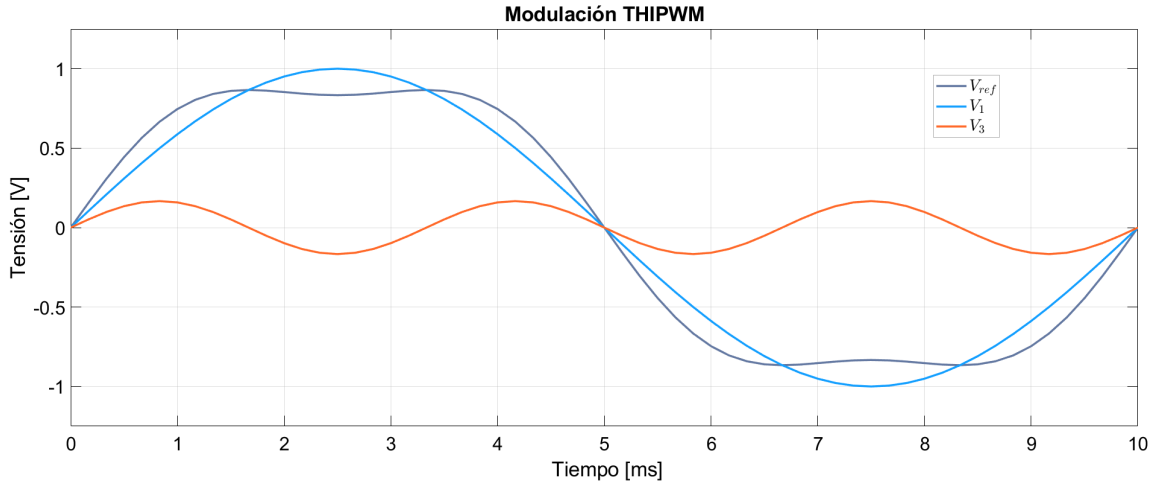



Figura 2.17: Señales de una fase para modulación THIPWM (M=1.0).

Ambas técnicas de modulación presentes en esta sección se pueden clasificar como tipo CBM ya que parten de la señal de referencia sinusoidal y ésta se modifica al inyectar secuencia cero para luego ser comparada con las señales triangulares de cada fase. La inyección de tensión de secuencia cero no afectan a las tensiones ni corrientes de salida pero si lo hace para las tensiones de modo común y las de referencia en los semiconductores [24].

Para la modulación Min-Max su implementación se hace en el dominio del tiempo mientras que para la modulación THIPWM su dominio es la frecuencia.

Se implementan ambas modulaciones en el inversor construido en el laboratorio.

# Capítulo 3

# Análisis de la topología 5L-ANPC

En este capítulo ahondaremos en la topología 5L-ANPC (Fig. 3.1) con el objetivo de contener los fundamentos teóricos para el Capítulo 4: “Implementación y Validación Experimental”. El análisis se desarrolla enfocado al diseño del modelo del inversor y su desempeño con los dos tipos de modulación implementados en lazo abierto: i) Min-Max y ii) THIPWM.

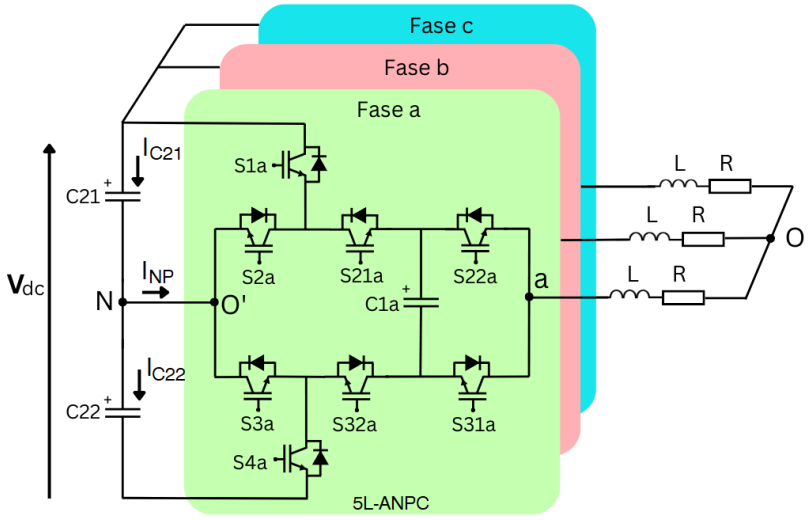



Figura 3.1: Esquema trifásico 5L-ANPC.

## 3.1. Modelo del inversor 5L-ANPC

El modelo del inversor por analizar es el de la Fig. 3.2 presentado para la fase “a”. El inversor consta de ocho semiconductores por fase los cuales son de tipo IGBT con diodos en conexión antiparalelo y un capacitor volante. En cuanto al dc-link éste lo conforman dos capacitores con un neutro entre ambos conectados al inversor.

Los semiconductores del inversor para una fase pueden ser clasificados en dos conjuntos como se muestra en la Fig. 3.2; los cuatro más cercanos al dc-link operan con la frecuencia fundamental de la

salida de tensión, por lo que están agrupados como $S_{f_1}$ donde $f_1 = 50[Hz]$. En cuando a los cuatros semiconductores restantes se agrupan en el conjunto $S_{f_2}$ donde $f_2$ es una frecuencia relativamente alta; $f_2 = 5[kHz]$. Por lo tanto, $S_{f_1} = \{S_{1a}, S_{2a}, S_{3a}, S_{4a}\}$; $S_{f_2} = \{S_{21a}, S_{22a}, S_{31a}, S_{32a}\}$. La tensión fase-neutro del inversor se puede expresar según la ec. (3.1) [25]:

$$V_{xN} = (S_{1x} + S_{2x} + S_{21x} + S_{22x} - 2) \cdot \frac{V_{dc}}{4} \tag{3.1}$$

De acuerdo con la idea de los semiconductores complementarios según lo expuesto en la sección 2.2, en este inversor existen cuatro semiconductores independientes y otros cuatro complementarios a éstos por cada fase. Los estados independientes y sus complementarios correspondientes se aprecian en la Tabla 3.1.

| Estados de conmutación | |
|---|---|
| $S_{1x} = \overline{S_{2x}}$ | $S_{3x} = \overline{S_{4x}}$ |
| $S_{21x} = \overline{S_{32x}}$ | $S_{22x} = \overline{S_{31x}}$ |
| $x \in \{a, b, c\}$ | |

Tabla 3.1: Tensiones de bloqueo en inv. 5L-ANPC en una fase.

Un aspecto de relevancia, el cual es una desventaja del inversor 5L-ANPC, es el hecho de que ambos grupos de semiconductores poseen distintas tensiones de bloqueo entre los terminales colector-emisor ($V_{CE}$) de cada IGBT ($V_{S1a}, V_{S2a}, \ldots, V_{S32a}$, en la Fig. 3.2), lo cual puede ser descrito a través de las ecuaciones (3.2a) y (3.2b). Una manera de tener las mismas tensiones de bloqueo para todos los semiconductores y que éstas sean $V_{dc}/4$ es duplicar el número de semiconductores para el grupo $S_{f_1}$, lo que conlleva a la desventaja de tener que sincronizar los semiconductores adicionales.

$$V_{S_{f_1}} = \frac{V_{dc}}{2} \cdot (1 - S_{f_1}) \tag{3.2a}$$

$$V_{S_{f_2}} = \frac{V_{dc}}{4} \cdot (1 - S_{f_2}) \tag{3.2b}$$

La Tabla 3.2 resume las tensiones de bloqueo para los semiconductores según los posibles estados de conmutación del inversor en términos de los cuatro semiconductores independientes. En consecuencia, la Fig. 3.3 contiene las configuraciones de los ocho posibles estados del inversor para la fase "a", lo cual es replicable para las demás fases. Para hallar las tensiones de bloqueo es necesario realizar LVK entorno a las tensiones conocidas, estas son, las de los capacitores en el dc-link y la del capacitor flotante cerrando el lazo por medio de los semiconductores. Para conocer la tensión de salida por fase $V_{xN}$ se debe cerrar el lazo desde la fase hasta el neutro recorriendo los semiconductores cerrados.

La Fig. 3.4 ilustra los estados de las tensiones fase-neutro del inversor y sus respectivas transiciones. Se observa que éstas tensiones transitan por los cinco niveles mediante una tensión de magnitud $\pm V_{dc}/4$.

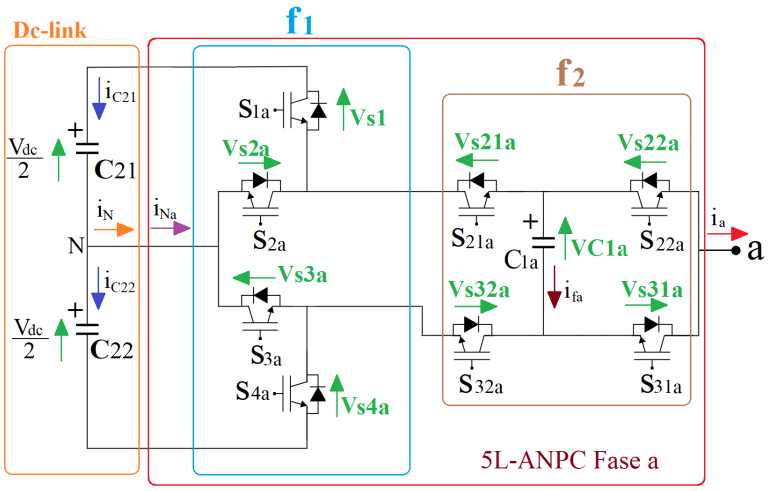
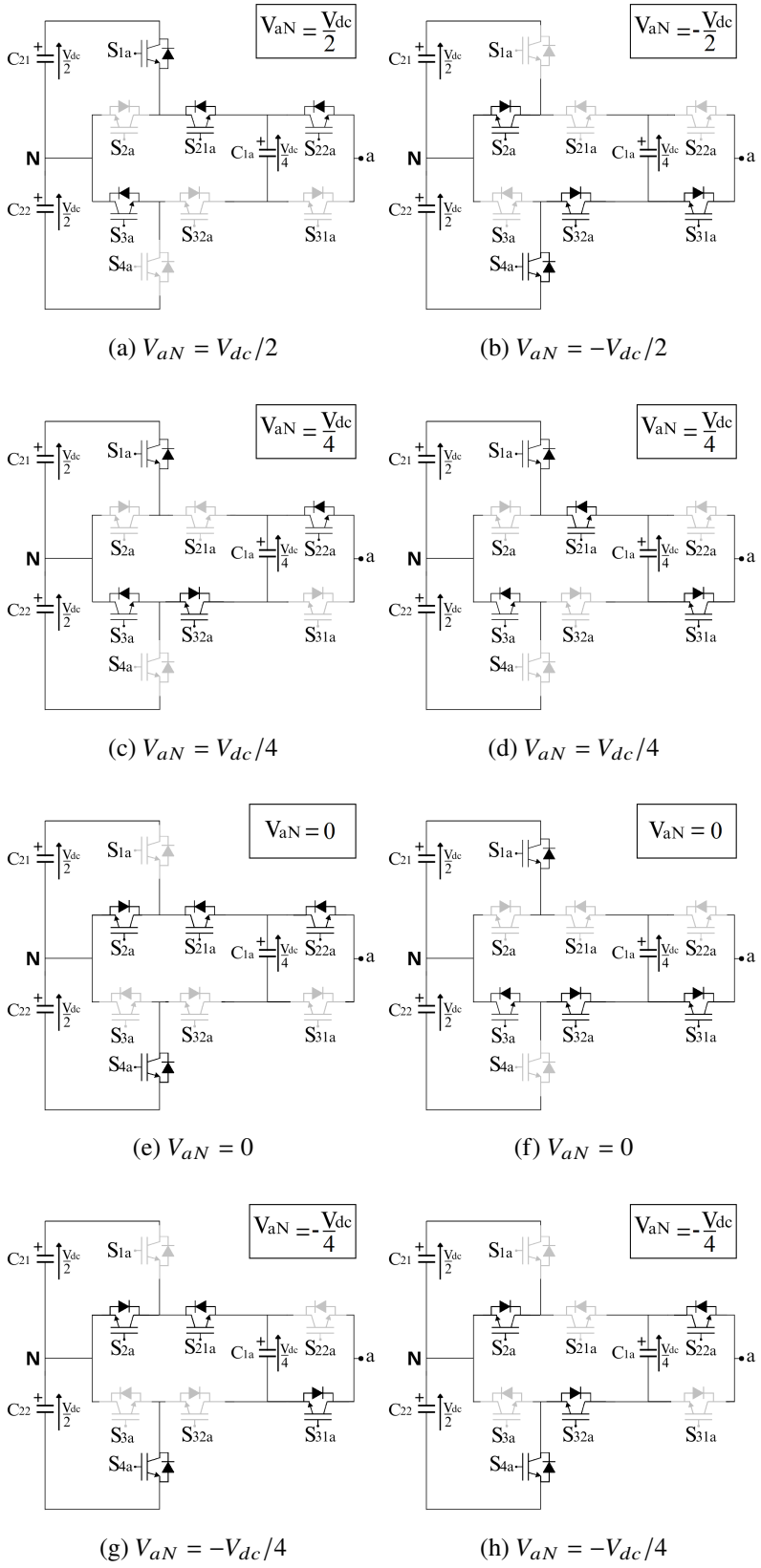



Figura 3.2: Esquemas de circuito del inversor

| Tensión de fase | Estados | | | | Tensión de bloqueo | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|
| $V_{aN}$ | $S_{1a}$ | $S_{3a}$ | $S_{21a}$ | $S_{22a}$ | $V_{S1a} = V_{S3a}$ | $V_{S2a} = V_{S4a}$ | $V_{S21a}$ | $V_{S32a}$ | $V_{S22a}$ | $V_{S31a}$ |
| $V1 = -V_{dc}/2$ | 0 | 0 | 0 | 0 | $V_{dc}/2$ | 0 | $V_{dc}/4$ | 0 | $V_{dc}/4$ | 0 |
| $V2 = -V_{dc}/4$ | 0 | 0 | 1 | 0 | $V_{dc}/2$ | 0 | 0 | $V_{dc}/4$ | $V_{dc}/4$ | 0 |
| $V3 = -V_{dc}/4$ | 0 | 0 | 0 | 1 | $V_{dc}/2$ | 0 | $V_{dc}/4$ | 0 | 0 | $V_{dc}/4$ |
| $V4 = 0$ | 0 | 0 | 1 | 1 | $V_{dc}/2$ | 0 | 0 | $V_{dc}/4$ | 0 | $V_{dc}/4$ |
| $V5 = 0$ | 1 | 1 | 0 | 0 | 0 | $V_{dc}/2$ | $V_{dc}/4$ | 0 | $V_{dc}/4$ | 0 |
| $V6 = V_{dc}/4$ | 1 | 1 | 0 | 1 | 0 | $V_{dc}/2$ | $V_{dc}/4$ | 0 | 0 | $V_{dc}/4$ |
| $V7 = V_{dc}/4$ | 1 | 1 | 1 | 0 | 0 | $V_{dc}/2$ | 0 | $V_{dc}/4$ | $V_{dc}/4$ | 0 |
| $V8 = V_{dc}/2$ | 1 | 1 | 1 | 1 | 0 | $V_{dc}/2$ | 0 | $V_{dc}/4$ | $V_{dc}/4$ | 0 |

Tabla 3.2: Tensiones de bloqueo en inv. 5L-ANPC en una fase.

Para las tensiones de los extremos, es decir, $\pm V_{dc}/2$ existe un estado para cada una, caso contrario a las tensiones intermedias donde poseen un estado redundante por tensión.




(a) $V_{aN} = V_{dc}/2$ (b) $V_{aN} = -V_{dc}/2$

(c) $V_{aN} = V_{dc}/4$ (d) $V_{aN} = V_{dc}/4$

(e) $V_{aN} = 0$ (f) $V_{aN} = 0$

(g) $V_{aN} = -V_{dc}/4$ (h) $V_{aN} = -V_{dc}/4$

Figura 3.3: Estados del inversor para una fase.

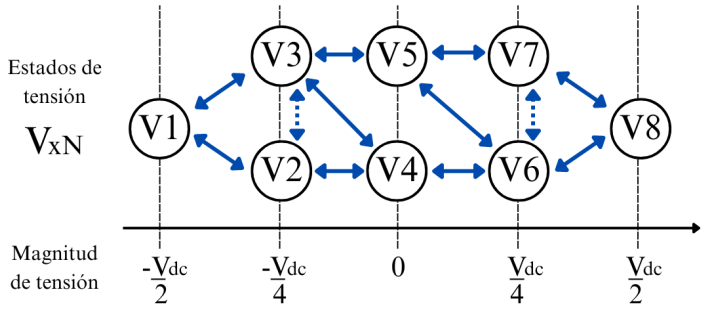



Figura 3.4: Estados de la tensión fase-neutro del inversor [26].

## 3.2. Proceso de carga y descarga en los capacitores

El rol que cumple los capacitores en los inversores VSI es el de conservar energía proveniente de la fuente dc-link en forma de tener una tensión perdurable en el tiempo por medio de su capacidad de almacenamiento de energía con el objetivo de tener una buena respuesta dinámica del sistema. En el caso de este trabajo, la magnitud de tensión de los capacitores del dc-link debe ser de $V_{dc/2}$ y de $V_{dc/4}$ para los capacitores flotantes. Idealmente la tensión de los capacitores es siempre fija, lo cual en la práctica no es así ya que al ser un elemento almacenador de energía existen oscilaciones en la tensión debido a las transferencias de energía. Es por esto que comprender el proceso de carga y descarga en los capacitores, tanto de los que forman el dc-link como el de los capacitores flotantes por fase es primordial para su balance y el desempeño del inversor. El desequilibrio en el voltaje en los capacitores puede deberse a cuestiones como la tolerancia en los valores de los capacitores, fugas de corrientes, pérdidas desiguales de conmutación, conmutación asimétrica, transitorios en el sistema, corriente alterna asimétrica o una estrategia de control inadecuada. Una manera de equilibrar las tensiones de los capacitores del dc-link es mediante la inyección de tensión de secuencia cero [27]. Como se ha mencionado anteriormente, dos de las modulaciones que inyectan secuencia cero son las que se han de implementar en esta Memoria, **Min-Max y THIPWM**. En cuanto al capacitor flotante, su balance se garantiza ajustando los ciclos de trabajo de las señales PWM, las cuales varían escencialmente con el tiempo de operación de los estados redundantesen cada periodo de conmutación [28].

Para verificar si los capacitores están balanceados podemos observar la forma de onda de la tensión fase-neutro del inversor ($V_{xN}$, $x \in \{a, b, c\}$). Si los capacitores del dc-link ($C_{21}$ y $C_{22}$) están balanceados, se tendrá una tensión simétrica en los extremos: $V_{xN} = \{-V_{dc}/2, V_{dc}/2\}$. Del mismo modo si el capacitor flotante por fase ($C_{1x}$) está balanceado, $V_{xN}$ tendrá simetría en las tensiones intermedias, es decir, $V_{xN} = \{-V_{dc}/4, V_{dc}/4\}$.

La Tabla 3.3 resume el proceso de carga y descarga en los capacitores según los estados de conmutación. Al haber igual cantidad de estados de carga y descarga en ambos grupos de capacitores se desprende que, al mantener corriente, tiempos de conmutación de carga y descarga constante en un ciclo completo de frecuencia fundamental, ambos grupos de capacitores tendrán una tensión media

| Tensión | Estados | | | | $\Delta E_{C_{21}}$ | | $\Delta E_{C_{22}}$ | | $\Delta E_{C_{1x}}$ | |
|---|---|---|---|---|---|---|---|---|---|---|
| $V_{xN}$ | $S_{1x}$ | $S_{3x}$ | $S_{21x}$ | $S_{22x}$ | $i_x > 0$ | $i_x < 0$ | $i_x > 0$ | $i_x < 0$ | $i_x > 0$ | $i_x < 0$ |
| $V1 = -V_{dc}/2$ | 0 | 0 | 0 | 0 | ▼ | ▲ | ▲ | ▼ | - | - |
| $V2 = -V_{dc}/4$ | 0 | 0 | 1 | 0 | - | - | - | - | ▲ | ▼ |
| $V3 = -V_{dc}/4$ | 0 | 0 | 0 | 1 | ▼ | ▲ | ▲ | ▼ | ▼ | ▲ |
| $V4 = 0$ | 0 | 0 | 1 | 1 | - | - | - | - | - | - |
| $V5 = 0$ | 1 | 1 | 0 | 0 | - | - | - | - | - | - |
| $V6 = V_{dc}/4$ | 1 | 1 | 0 | 1 | - | - | - | - | ▼ | ▲ |
| $V7 = V_{dc}/4$ | 1 | 1 | 1 | 0 | ▼ | ▲ | ▲ | ▼ | ▲ | ▼ |
| $V8 = V_{dc}/2$ | 1 | 1 | 1 | 1 | ▼ | ▲ | ▲ | ▼ | - | - |

Tabla 3.3: Estados de capacitores según estados de conmutación por fase del 5L-ANPC. ▲ : Carga, ▼ : Descarga, -: Sin efecto.

constante. Utilizando apropiadamente los estados redundantes, el capacitor flotante se regula con una magnitud de tensión de $V_{dc}/4$. En cuanto a los capacitores del dc-link éstos se balancean con magnitud $V_{dc}/2$ cuando el tiempo de conmutación de S1 y S3 son iguales [29]. Específicamente, para una tensión nula, los capacitores de ambos grupos no tendrán efecto de carga o descarga. Cuando la tensión fase-neutro está en los extremos, los capacitores flotantes no operan; están sin efecto de carga o descarga, mientras que sí lo hacen cuando la tensión $V_{xN}$ tiene una magnitud de $V_{dc}/4$. Este proceso se denomina balance natural del inversor.

Para analizar cómo se produce el desbalance en el dc-link podemos hacer un LCK y LVK en el dc-link del inversor (Fig. 3.1). La ecuación (3.3) muestra que, dado que $V_{dc}$ es constante, una variación en una de las tensiones de los capacitores del dc-link provocará una variación correspondiente en la otra tensión, de manera que la suma de ambas siempre sea igual a $V_{dc}$. Siendo $V_1$ y $V_2$ las tensiones de los capacitores superior e inferior respetivamente, si $V_1$ aumenta, $V_2$ disminuye y viceversa.

$$\text{Tensión de los capacitores:} \quad V_{dc} = V_1 + V_2 \tag{3.3}$$

$$\text{Corrientes en el nodo N:} \quad I_N = I_{C21} - I_{C22} \tag{3.4}$$

$$= C_{21}\,\frac{dV_1}{dt} - C_{22}\,\frac{dV_2}{dt} \tag{3.5}$$

$$\text{Si } C_{21} = C_{22} = C\text{:} \qquad = C\,(\frac{dV_1}{dt} - \frac{dV_2}{dt}) \tag{3.6}$$

La ec. (3.6) indica que la corriente del punto neutro del inversor, $I_N$, que fluye desde N a las fases manifiesta variaciones entre $V_1$ y $V_2$.

Por las razones antes mencionadas, para una operación correcta del inversor la cual garantice el balance de tensiones en el dc-link se logra asegurando que la corriente promedio del punto neutro de cada fase en un periodo de la fundamental sea cero, es decir:

$$\overline{I_{\mathrm{Nx}}} = \frac{1}{2\pi}\int_0^{2\pi} I_{\mathrm{Nx}}(\theta)\, d\theta = 0 \tag{3.7}$$

$$\text{Por consiguiente,} \quad \overline{I_{\mathrm{N}}} = \overline{I_{\mathrm{Na}}} + \overline{I_{\mathrm{Nb}}} + \overline{I_{\mathrm{Nc}}} = 0 \tag{3.8}$$

En cuanto al capacitor flotante, la corriente instantánea puede ser descrita como:

$$i_{fx} = (S_{21x} - S_{22x}) \cdot i_x \tag{3.9}$$

Por lo tanto, la corriente promedio en un periodo de la señal portadora se puede expresar según la ec. (3.10) [28].

$$\overline{I_{fx}} = (D_{21x} - D_{22x}) \cdot i_x \tag{3.10}$$

En donde $D_{21x}$ y $D_{22x}$ son el ciclo de trabajo de $S_{21x}$ y $S_{22x}$ respectivamente. Para una modulación basada en SPWM, $D_{21x}$ y $D_{22x}$ son idénticas por lo que, de manera similar a los capacitores del dc-link, los capacitores flotantes se balancearán de forma natural en un ciclo de frecuencia fundamental. Cabe mencionar que el control del balance en ambos grupos de capacitores son independientes entre sí.

En esta Memoria se busca el balance de los capacitores mediante el balance natural del inversor. No obstante, las ecuaciones (3.6) y (3.10) puede ser el punto de partida para establecer una estrategia de control para obtener el balance en los capacitores.

## 3.3. Técnicas de modulación a implementar

Los dos métodos de modulación CBM utilizados para este trabajo, LS-PWM y PS-PWM, se implementan de manera simultánea, específicamente se utilizan IPD-PWM y PS-PWM. La señal de referencia sinusoidal se modifica para ser siempre positiva al igual que las señales triangulares. Es decir, para PS-PWM, cuando la señal de referencia es negativa ésta es desplazada para ser positiva mediante el tratamiento matemático descrito en esta sección.

La implementación se hace acorde a la Fig. 3.5, en donde la señal sinusoidal de referencia se modifica según la técnica a utilizar (THIPWM o Min-Max, ilustradas en la Fig. 3.5a). Luego, la modulación se realiza acorde al diagrama de bloques de la Fig. 3.5b para así generar los pulsos que

comandan a los ocho semiconductores por fase, es decir, la modulación genera veinticuatro pulsos de disparo, uno para cada IGBT del inversor trifásico.

Las señales en común implementadas, tanto para el método THIPWM y Min-Max son:

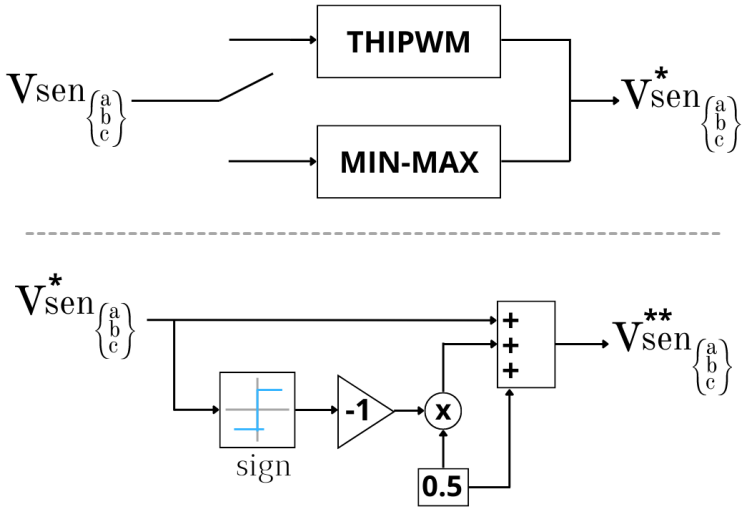
- $V_{sen}$: Tres señales sinusoidales con frecuencia de 50[Hz] desfasadas según el sistema trifásico:
  1. $V_{sen_a} = Sen(2\pi \cdot 50 \cdot t)$
  2. $V_{sen_b} = Sen(2\pi \cdot 50 \cdot t - 2\pi/3)$
  3. $V_{sen_c} = Sen(2\pi \cdot 50 \cdot t + 2\pi/3)$
- $F_{cr1}$: Señal triangular simétrica con comienzo ascendente de valor entre 0 y 1 de frecuencia de 5[KHz].
- $F_{cr2}$: Señal triangular simétrica con comienzo descendente de valor entre 0 y 1 de frecuencia de 5[KHz].

Las señales $V^*_{sen_a}$ y $V^{**}_{sen_a}$ dependen del método a utilizar. Acorde al circuito de la Fig. 3.2 y al diagrama de bloques de la Fig. 3.5b, el grupo de pulsos de disparo de frecuencia $f_1$ ($S_{1x}$, $S_{2x}$, $S_{3x}$, $S_{4x}$) es de la frecuencia de la señal $V^*_{sen}$ (de frecuencia fundamental: 50[Hz]), comanda a los semiconductores cercanos al dc-link, ésta se establece cuando las señales $V^*_{sen}$ cambian de signo, al ser simétricas respecto al eje de ordenadas el ciclo de trabajo de este grupo será de 50 % de forma permanente (independiente del método o índice de modulación: Fig. 3.6b para $S_{1x}$ en Min-Max y Fig. 3.7b para $S_{1x}$ en THIPWM). Cabe recalcar que este grupo de señales determina el desfase trifásico del inversor, por lo tanto, todas las señales de disparo están supeditadas a este grupo.

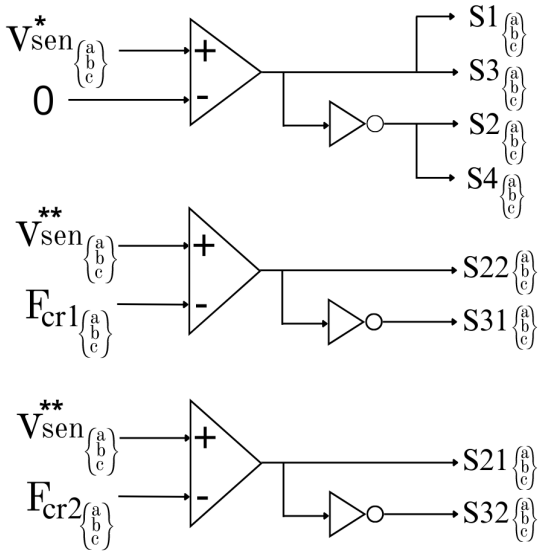
El grupo de semiconductores con frecuencia $f_2$ ($S_{21x}$, $S_{22x}$, $S_{31x}$, $S_{32x}$) posee pulsos de disparo de alta frecuencia respecto a la fundamental según la frecuencia de las señales triangulares, es decir, de 5[kHz], esta frecuencia es cien veces la fundamental. Es importante tener en cuenta que la alta frecuencia de las triangulares debe ser un número entero múltiplo de la fundamental de forma que las triangulares estén contenidas en el periodo de las señales de referencia y no tener problemas en la conmutación al presentarse distintos desfases por periodo. Al ser una conmutación de alta frecuencia, y las señales $V^{**}_{sen}$ poseer frecuencia fundamental de 50[Hz], a medida que la alta frecuencia sea mucho mayor que la fundamental, en cada ciclo de trabajo el comparador "verá" en sus terminales de entrada a una señal constante y una señal triangular.

- Método Min-Max: en base a la sección 2.5.1, el método Min-Max se realiza de acuerdo con la Fig. 3.6a.

  En este método se puede establecer una relación de simetría entre S21 y S22, respecto al valor medio de la referencia $V^{**}_{sen}$. Para elucidar este fenómeno se puede observar en la Fig. 3.6d en donde se aprecian ocho pulsos numerados por lado, en donde el cambio de signo de la señal




(a) Diagrama de bloques para el tratamiento de la señal de referencia.




(b) Diagrama de bloques para modulación PS/LS-PWM.

Figura 3.5: Implementación de la modulación en el inversor

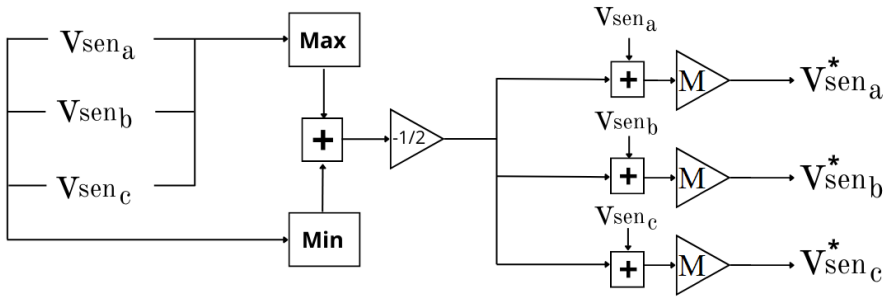
de referencia se convierte en el eje de simetría, el punto origen de esta simetría se establece en tal eje y en el valor medio de la referencia (0.5[V]). Las señales entre los pulsos originan una simetría conocida como "simetría de media onda".

- Método THIPWM: de manera análoga al método Min-Max y en base a la sección 2.5.2 se implementa el método THIPWM a la modulación del inversor según la Fig. 3.7a. La componente de tercera armónica proviene de la señal $V_{sen_a}$ de manera que $V_{sen_{3a}} = Sen(3 * (2\pi \cdot 50 \cdot t))$. La señal S21 se relaciona con la señal S22 de una forma similar a la modulación Min-Max ya que

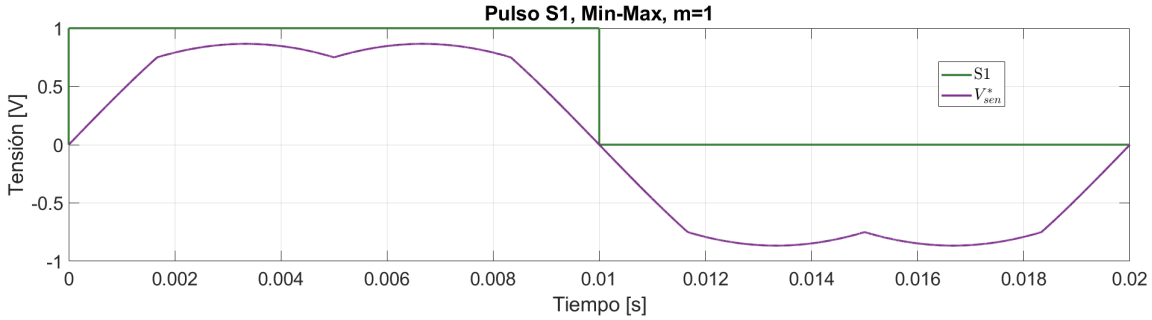
igualmente existe simetría de media onda como se puede ver en la Fig. 3.7d. Esto se debe a que las triangulares están en contrafase y son comparadas con la misma señal de referencia $V_{sen}^{**}$.

En síntesis, tanto para la modulación Min-Max como para THIPWM, S21 y S22 poseen patrones de conmutación simétricos debido a las señales triangulares en contrafase y tener una sola señal de referencia. Al ser S32 y S31 complementarias de S21 y S22 respectivamente queda así establecida la conmutación para el grupo $f_2$. Esta simetría del ciclo de trabajo de los semiconductores asegura el balance de los capacitores en su proceso de carga y descarga.

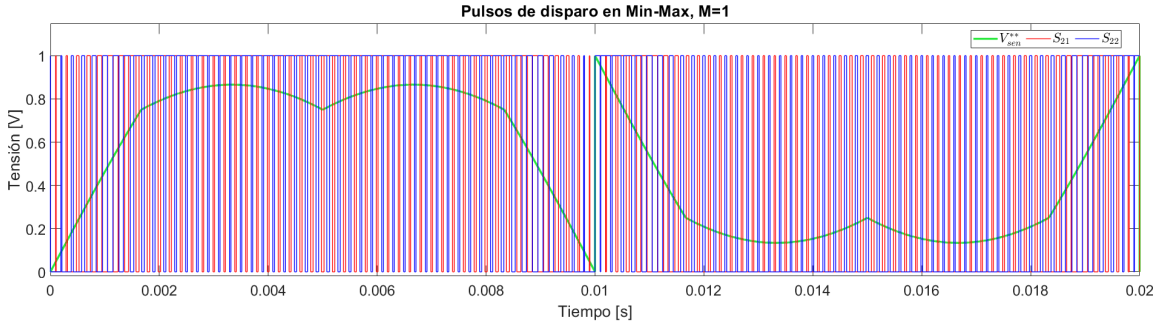
A pesar de que ambas modulaciones poseen las mismas configuraciones, los pulsos de disparo son distintos por el hecho de tener distintas señales de referencia, $V_{sen}^{**}$, a ser comparadas con las triangulares (Fig. 3.6c y Fig. 3.7c). En específico, la Fig. 3.6d y Fig. 3.7d permite ver que para un mismo índice de modulación, en la modulación Min-Max, la señal $V_{sen}^{**}$ tiene una pendiente menos pronunciada que en la modulación THIPWM (Fig. 3.6d y Fig. 3.7d respectivamente), esto conlleva a que THIPWM un menor número de conmutaciones, y por lo tanto, pulsos más anchos (ocho y siete conmutaciones por señal respectivamente para el mismo tramo de tiempo en las figuras). Las distintas inyecciones de secuencia cero hacen que la señal de referencia sean diferentes. En Min-Max la señal de secuencia cero es una triangular mientras que en THIPWM es una señal alterna, en ambos casos poseen frecuencia de tres veces la fundamental (tercera armónica).



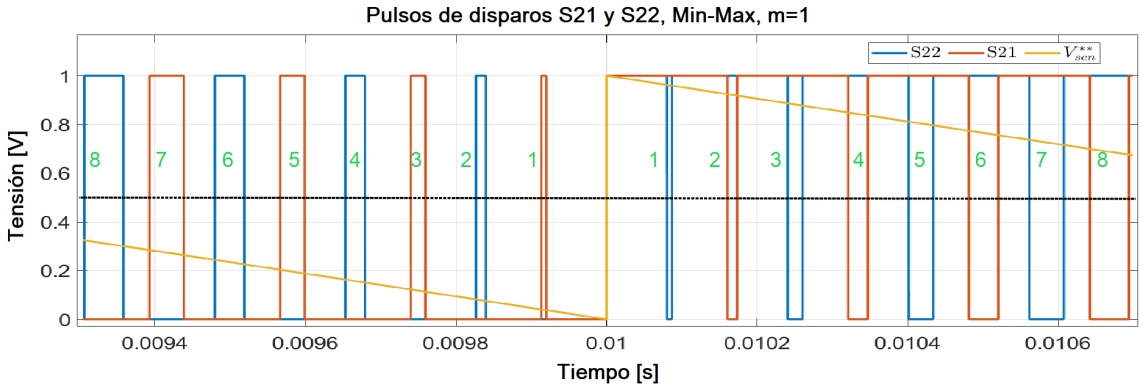

(a) Implementación modulación Min-Max.




(b) Pulso de disparo S1 en la modulación Min-Max.

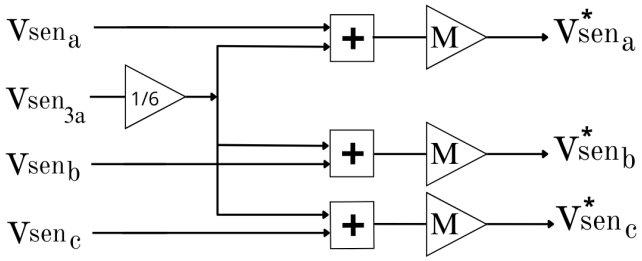



(c) Pulsos de disparo S21 y S22 en la modulación Min-Max en un periodo de la fundamental.

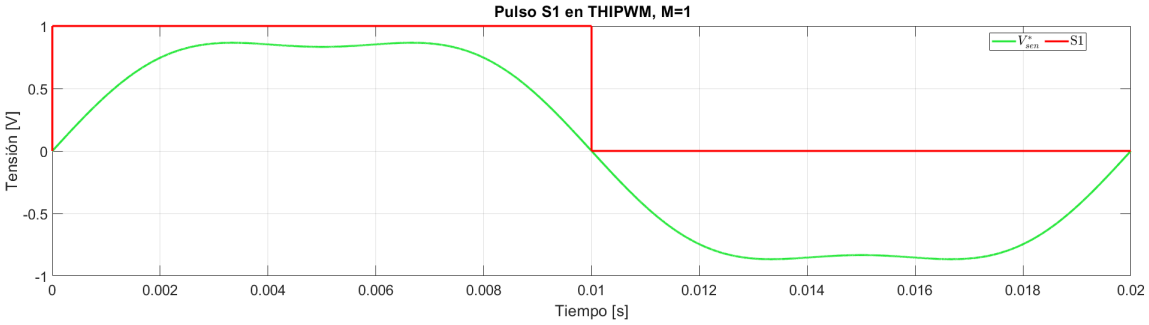



(d) Pulsos de disparo S21 y S22 en la modulación Min-Max.

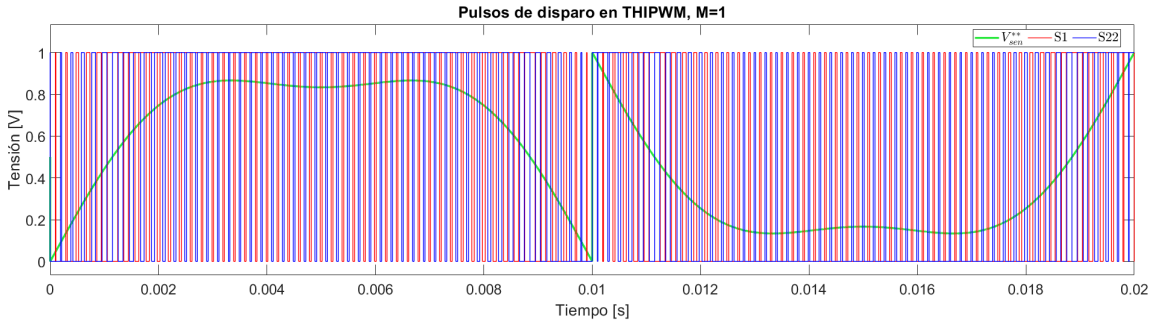
Figura 3.6: Señales moduladas y pulsos de disparo en modulación Min-Max.



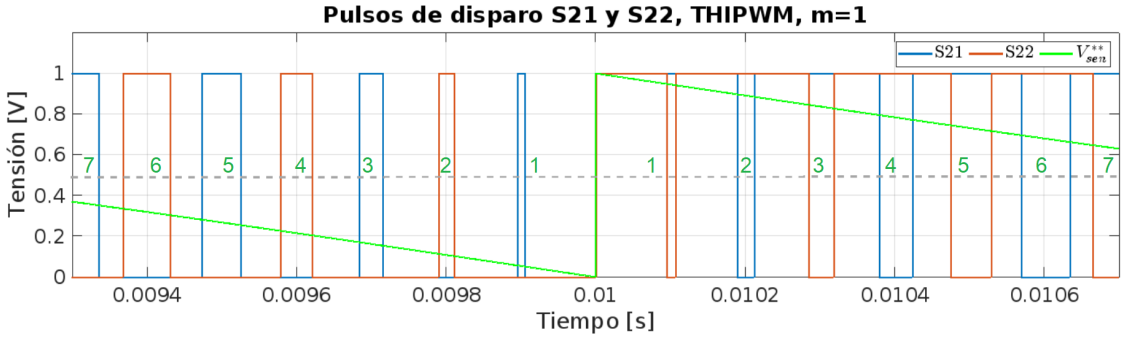

(a) Implementación modulación THIPWM.




(b) Pulso de disparo S1 en la modulación THIPWM




(c) Pulsos de disparo S21 y S22 en la modulación THIPWM en un periodo de la fundamental.




(d) Pulsos de disparo S21 y S22 en la modulación THIPWM.

Figura 3.7: Señales moduladas y pulsos de disparo en modulación THIPWM.

## 3.4. Resultados en simulación

La simulación del inversor trifásico se realizó mediante el software PLECS bajo la operación con carga. Ésta se modula con los dos esquemas de modulación en un barrido de índices de modulación de $M \in [0, 1.2]$ en saltos de 0.2. La Tabla 3.4 resume los parámetros empleados para la simulación.

| Parámetro | Símbolo | Valor |
|---|---|---|
| Tensión dc-link | $V_{dc}$ | 150[V] |
| Capacitancias dc-link | $C_{21}$, $C_{22}$ | 3000[$\mu F$] |
| Capacitor flotante por fase | $C_f$ | 400[$\mu F$] |
| Frecuencia fundamental | $f_o$ | 50[Hz] |
| Frecuencia portadoras | $f_c$ | 5[kHz] |
| Carga resistiva por fase | $R$ | 15[Ω] |
| Carga inductiva por fase | $L$ | 3[mH] |

Tabla 3.4: Parámetros para simulación en op. con carga.

### 3.4.1. Tensión fase-neutro del inversor

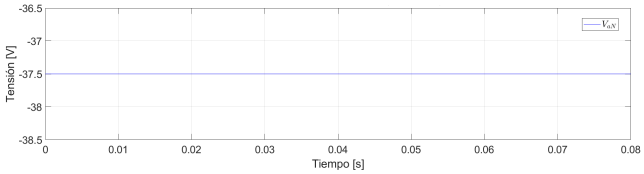
Los resultados se presentan en las distintas figuras de la Fig. 3.8. Para ambas modulaciones, las formas de onda son similares para cada índice de modulación. En ambos casos, cuando el índice es menor o igual a 0.4 (correspondiente a la zona de submodulación) se observa que la tensión fase-neutro de la salida del inversor es de dos niveles ($\pm V_{dc}/4$; en modulación Min-Max: Fig. 3.8a, 3.8c, 3.8e y en modulación THIPWM: Fig. 3.8b, 3.8d, 3.8f). Avanzando en la zona de rango lineal, para $M = 0.6$, se perciben diferencias en la forma de onda de $V_{aN}$, ya que, aunque en ambas modulaciones se alcanzan los cinco niveles de tensión, las diferencias en $V^{**}_{sen}$ son notorias (Fig. 3.8g y Fig. 3.8h). Para $M = 0.8$ y $M = 1$, ambas modulaciones generan tensiones fase-neutro del inversor similares. En la zona de sobremodulación ($M = 1.2$), se presenta un fenómeno similar al de $M = 0.6$, ya que en la modulación THIPWM (Fig. 3.8n) se aprecia con mayor claridad el menor número de conmutaciones cuando $V_{aN} = V_{dc}/2$ en comparación con el mismo segmento en la modulación Min-Max (Fig. 3.8m). En general, la Fig. 3.8 muestra que la modulación Min-Max presenta un mayor número de conmutaciones en comparación con la THIPWM.

Para corroborar la observación anterior es que en la simulación se implementa un contador en los semiconductores S1, S21 y S22 con el objetivo de registrar el número de conmutaciones realizadas en un ciclo de trabajo con frecuencia fundamental (Tabla 3.5). Los resultados obtenidos indican que la cantidad de encendidos están caracterizadas por dos tendencias; i) en zona lineal y ii) en sobre-modulación. Para la primera, ambas técnicas de modulación encienden a los semiconductores en

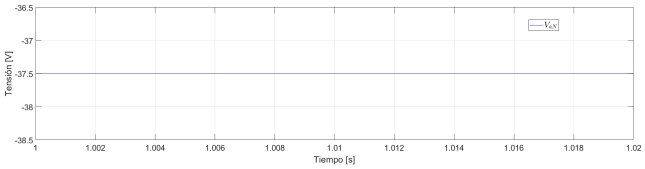
igual cantidad de veces acorde a lo esperado ya que $f_c/f_o = 100$. Esta característica se aprecia en el rango $M \in [0, 1]$. La sobre-modulación se da en $M = 1.2$, en THIPWM ocurre menor cantidad de conmutaciones; THIPWM realiza 51 conmutaciones para S21 y 52 para S22 mientras que Min-Max realiza 64 y 65 respectivamente, es decir, Min-Max enciende un 25 % más que THIPWM. De acuerdo a lo anterior, se desprende además que THIPWM posee mayor sensibilidad que Min-Max (requiere menor M para estar en sobre-modulación). Además, la Tabla 3.5 muestra, en algunos casos, diferencias de una unidad en el número de conmutaciones de S21 y S22. Esto se debe a la propia simulación ya que en tales casos el contador cuenta una subida de ancho cero debido a que S22 comienza de forma ascendente, es decir, la cantidad de encendidos de los semiconductores S21 y S22 es par. Para S1 no existe este problema.

| Modulación | Semiconductor | Índice de Modulación | | | | | | |
|---|---|---|---|---|---|---|---|---|
| | | 0 | 0.2 | 0.4 | 0.6 | 0.8 | 1.0 | 1.2 |
| THIPWM | S1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| | S21 | 100 | 100 | 100 | 100 | 100 | 100 | 51 |
| | S22 | 101 | 100 | 100 | 100 | 100 | 101 | 52 |
| MIN-MAX | S1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| | S21 | 100 | 100 | 100 | 100 | 100 | 100 | 64 |
| | S22 | 101 | 101 | 101 | 101 | 101 | 101 | 65 |

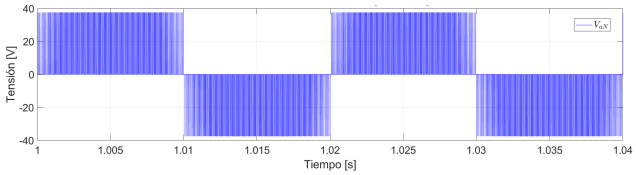
Tabla 3.5: Cantidad de encendidos de los semiconductores en un periodo según índice de modulación y tipo de modulación. $f_o = 50[Hz]$, $f_c = 5[kHz]$.



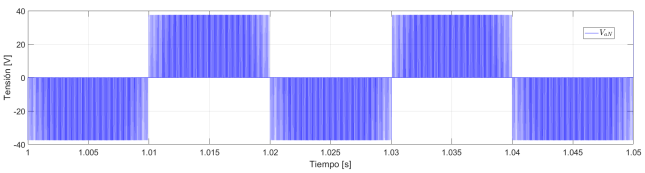

(a) Modulación Min-Max, $M = 0$



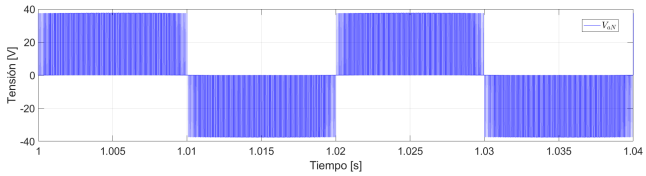

(b) Modulación THIPWM, $M = 0$



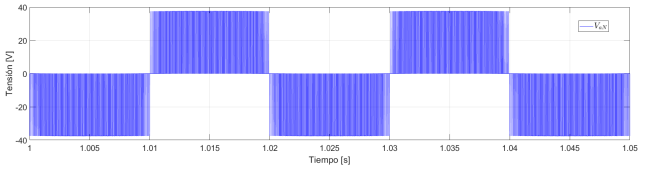

(c) Modulación Min-Max, $M = 0{,}2$



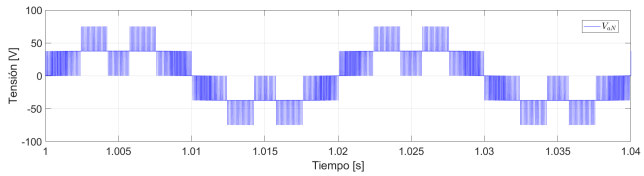

(d) Modulación THIPWM, $M = 0{,}2$



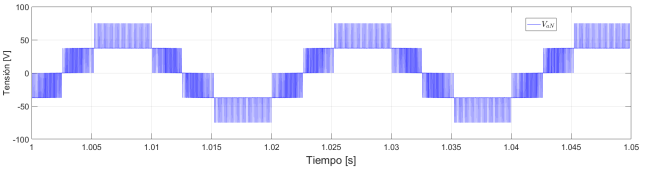

(e) Modulación Min-Max, $M = 0{,}4$



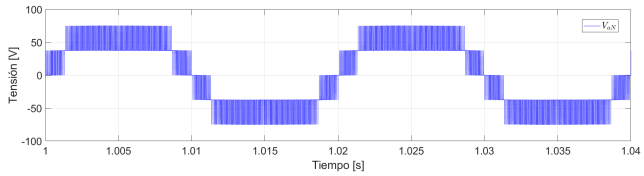

(f) Modulación THIPWM, $M = 0{,}4$



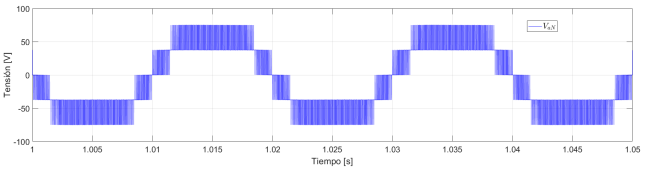

(g) Modulación Min-Max, $M = 0{,}6$



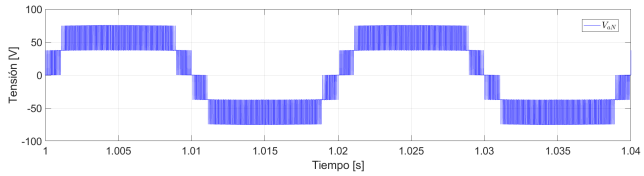

(h) Modulación THIPWM, $M = 0{,}6$



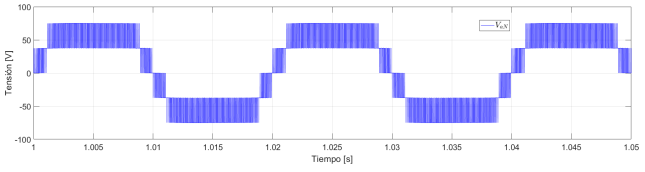

(i) Modulación Min-Max, $M = 0{,}8$



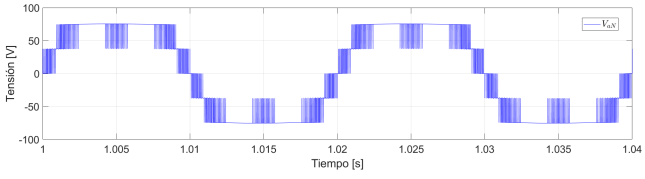

(j) Modulación THIPWM, $M = 0{,}8$



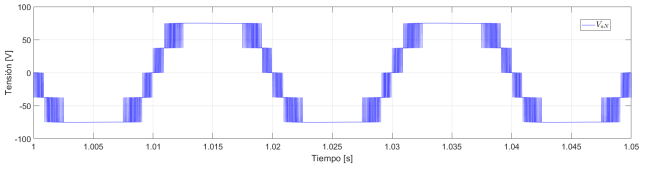

(k) Modulación Min-Max, $M = 1{,}0$




(l) Modulación THIPWM, $M = 1{,}0$




(m) Modulación Min-Max, $M = 1{,}2$




(n) Modulación THIPWM, $M = 1{,}2$

Figura 3.8: Tensión $V_{aN}$ en simulación con carga, modulación Min-Max y THIPWM.

### 3.4.2. Balance natural en los capacitores

Para evaluar el balance natural de los capacitores del inversor, cada capacitor parte con una tensión inicial según la Tabla 3.6. Se mide el tiempo en que éstos llegan a la estabilización de sus tensiones nominales y se compara ambas modulaciones.

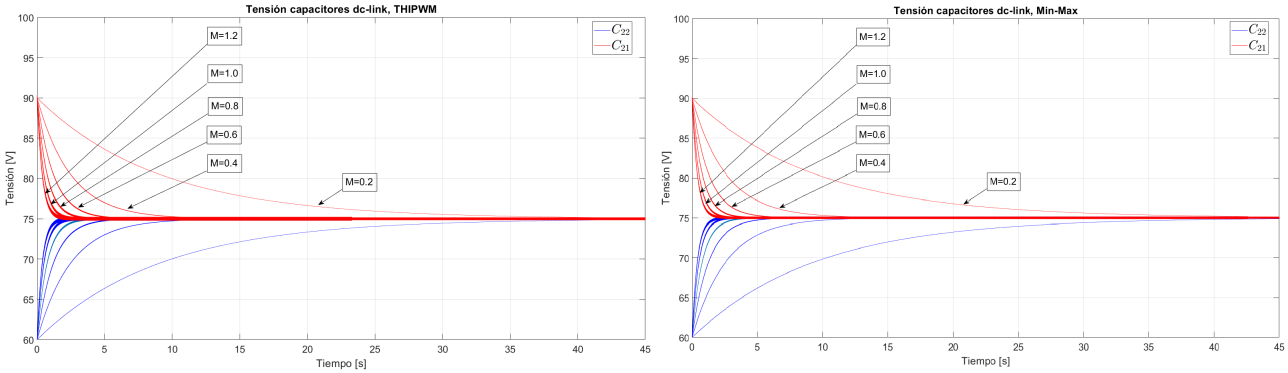
| **Capacitor** | **C21** | **C22** | **C1a** | **C1b** | **C1c** |
|---|---|---|---|---|---|
| **Tensión inicial [V]** | 90 | 60 | 5 | 5 | 5 |

Tabla 3.6: Tensión inicial de los capacitores.

#### 3.4.2.a. Tensiones en dc-link

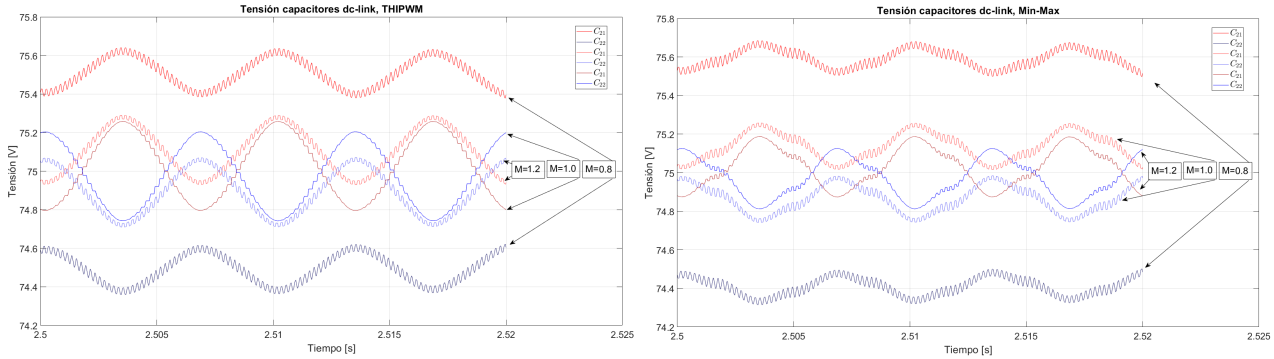
La Fig. 3.9 muestra los resultados de la simulación para ambos capacitores del dc-link. En términos generales, con una submodulación, se requiere de mayor tiempo para la estabilización de las tensiones, mientras que el menor tiempo de estabilización se tendrá en sobremodulación. La modulación THIPWM (Fig. 3.9a) presenta una estabilización de tensiones levemente más rápida respecto a la modulación Min-Max (Fig. 3.9b) en todos los índices $M$.

Sin embargo, Min-Max genera menores valores peak-to-peak en $V_{C21}$ y $V_{C22}$, es decir, brinda una mayor suavidad en la transición. Este aspecto puede verse con mayor claridad en la Fig. 3.11. Se aprecia que a mayor índice mayor será el valor peak-to-peak de la tensión, lo que resulta más notorio en la modulación THIPWM que en la modulación Min-Max. Por lo tanto, para el balanceo de los capacitores del dc-link cada modulación presentan ventajas y desventajas respecto a la otra.




(a) Balance de los capacitores del dc-link, THIPWM. (b) Balance de los capacitores del dc-link, Min-Max

Figura 3.9: Balance de los capacitores del dc-link con modulaciones THIPWM y Min-Max.




(a) Tensiones dc-link modulación THIPWM.

(b) Tensiones dc-link modulación Min-Max.

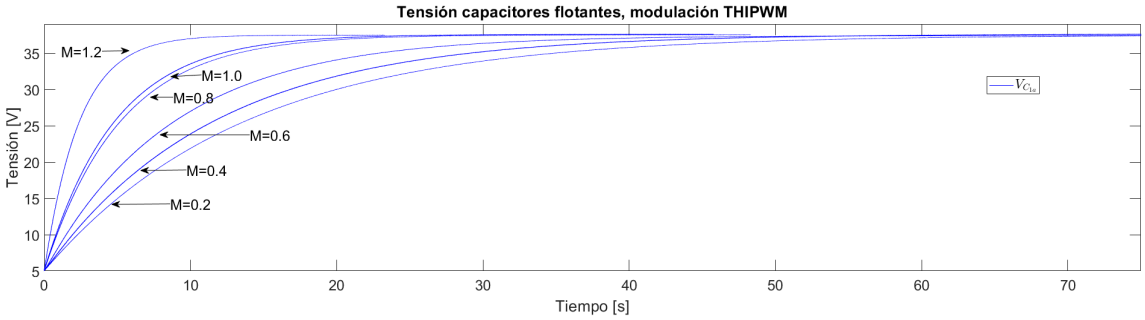
Figura 3.10: Tensiones dc-link en estado transitorio.

### 3.4.2.b. Tensiones en las fases

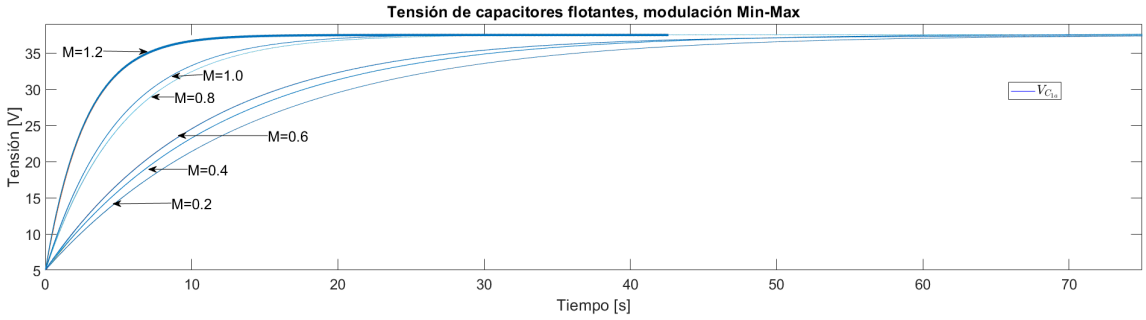
Para observar el comportamiento de las tensiones de los capacitores en las fases, se realiza una simulación similar a la aplicada a los capacitores del dc-link. En la Fig. 3.11 se simula todo el barrido de índices de modulación partiendo desde las tensiones iniciales hasta llegar a las tensiones de balance. A continuación, se grafica la Fig. 3.12 objeto de comparar las formas de onda correspondientes a cada tipo de modulación y a diferentes índices.

La Fig. 3.11 muestra que las tensiones en los capacitores flotantes presentan una diferencia prácticamente nula entre ambas modulaciones. Además, su comportamiento es similar al de los capacitores del dc-link, donde un mayor índice de modulación acelera el balanceo. Sin embargo, para los capacitores flotantes, el tiempo de estabilización es mayor en comparación con los capacitores del DC-link.

Los resultados de la Fig. 3.12 indican que las tensiones de los capacitores flotantes poseen similar formas de onda para ambas modulaciones, como en el caso de los capacitores del dc-link, en estado transitorio con la modulación THIPWM se proporciona una tensión levemente mayor que con la modulación Min-Max, además, se cumple nuevamente que con mayor índice de modulación, mayor es el valor peak-to-peak de la tensión.

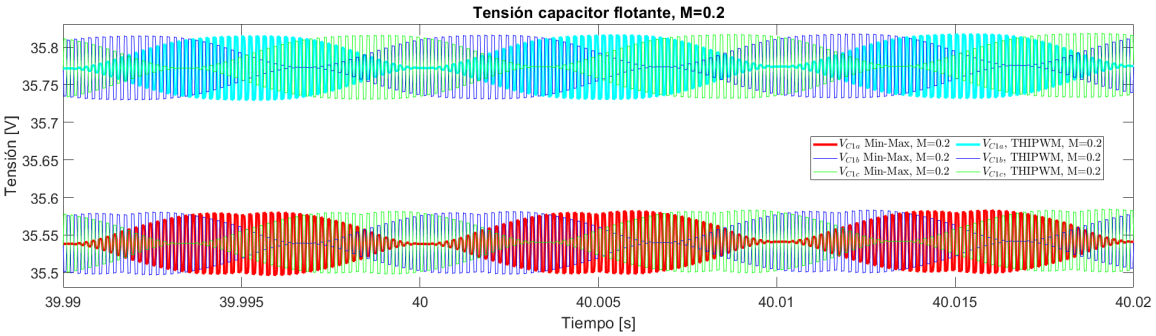



(a) Tensión capacitor flotante modulación THIPWM.

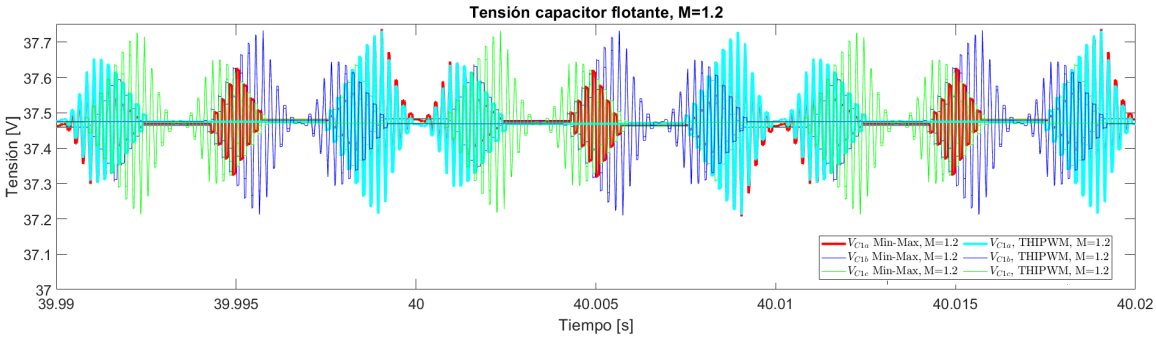



(b) Tensión capacitor flotante modulación Min-Max.

Figura 3.11: Tensiones del capacitor flotante en estado transitorio.




(a) Tensión capacitor flotante modulación THIPWM, M=0.2.




(b) Tensión capacitor flotante modulación Min-Max, M=1.2.

Figura 3.12: Tensiones del capacitor flotante en estado transitorio.

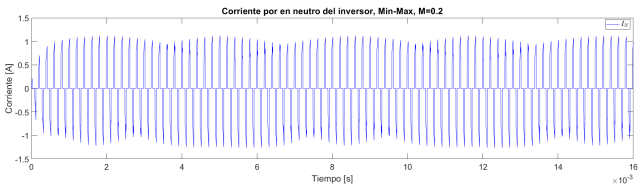
### 3.4.3. Corriente en el neutro del inversor

La Fig. 3.13 muestra la corriente en el neutro del inversor, $I_N$, para ambas modulaciones. Como se puede observar, la amplitud de la corriente es menor para $M = 0{,}2$ en comparación con $M = 1{,}2$, lo cual es consistente con los resultados obtenidos en las tensiones de fase. Además, en $M = 0{,}2$, ambas modulaciones presentan una forma de onda similar, mientras que para $M = 1{,}2$, la modulación Min-Max muestra mayores oscilaciones en su forma de onda, lo que se puede considerar una desventaja.

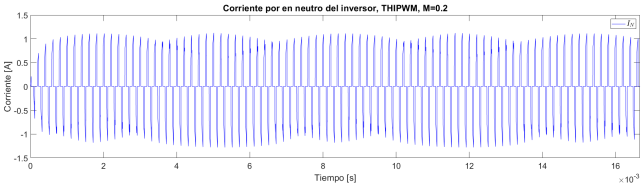
El valor medio de la corriente se midió durante un intervalo de 0.1 [s] en dos puntos de la simulación. Los resultados se presentan en la Tabla 3.7, de donde se concluye que las corrientes medias para ambas modulaciones son similares. Sin embargo, cuando el índice $M$ es alto, $\overline{I_{\mathrm{N}}}$ es mayor en comparación con $M = 0{,}2$ con un desbalance presente, luego esto se compensa ya que un $M$ alto hace que los capacitores del dc-link se balanceen en menor tiempo.

| | $\overline{I_{\mathrm{N}}}$[A] ($t \in [0, 0.1]\,[s]$) | | $\overline{I_{\mathrm{N}}}$[A] ($t \in [39.92, 40.02]\,[s]$) | |
|---|---|---|---|---|
| Modulación | $M = 0{,}2$ | $M = 1{,}2$ | $M = 0{,}2$ | $M = 1{,}2$ |
| MIN-MAX | $-9{,}5347 \cdot 10^{-3}$ | $2{,}0193 \cdot 10^{-1}$ | $-1{,}3508 \cdot 10^{-4}$ | $1{,}0801 \cdot 10^{-7}$ |
| THIPWM | $-9{,}8892 \cdot 10^{-3}$ | $2{,}1190 \cdot 10^{-1}$ | $1{,}2030 \cdot 10^{-4}$ | $-9{,}6039 \cdot 10^{-7}$ |

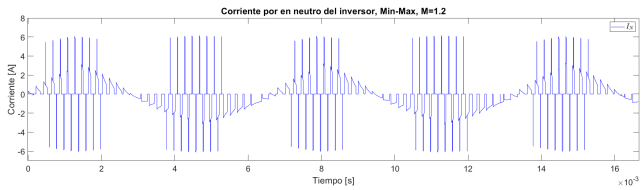
Tabla 3.7: Corriente en neutro del inversor simulada.



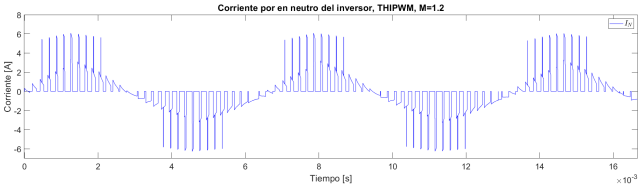

(a) $I_N$, Modulación Min-Max, $M = 0{,}2$




(b) $I_N$, Modulación THIPWM, $M = 0{,}2$




(c) $I_N$, Modulación Min-Max, $M = 1{,}2$




(d) $I_N$, Modulación THIPWM, $M = 1{,}2$

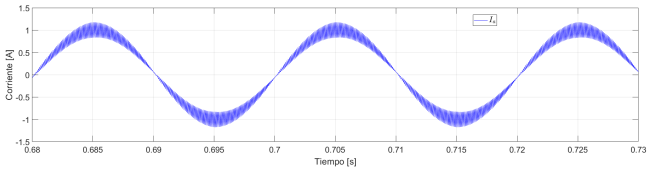
Figura 3.13: corriente por fase $I_a$ en simulación, modulación Min-Max y THIPWM.

### 3.4.4. Corrientes de fase

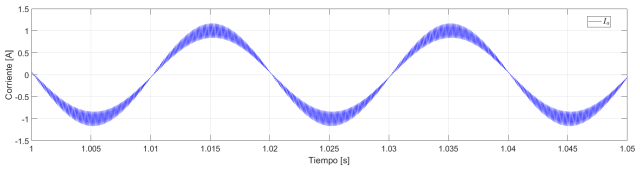
Los resultados de las simulaciones se ilustran en la Fig. 3.14. En general, se observa que las corrientes de fase son similares por cada índice, tanto en forma de onda como en magnitud. Por lo

tanto, las diferencias en las formas de onda que se tenían en las tensiones no se ven reflejadas en las corrientes debido a que la carga actúa como filtro.

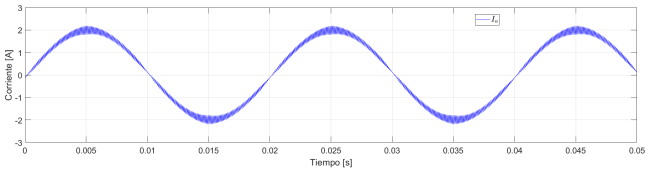
Por otro lado, y consecuencia con los rangos de $M$, para la sobremodulación (Fig. 3.14k y Fig. 3.14l) la corriente en ambas modulaciones también deja el rango lineal para comenzar a distorcionarse.



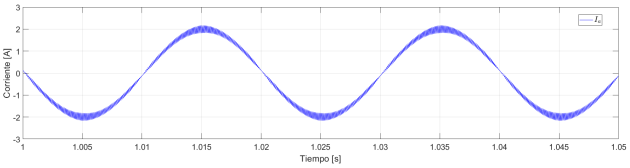

(a) Modulación Min-Max, $M = 0{,}2$



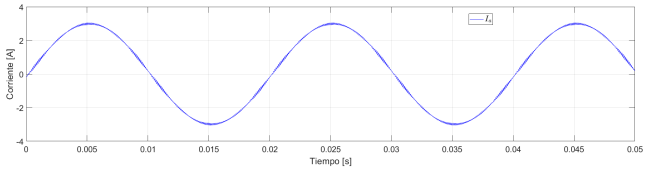

(b) Modulación THIPWM, $M = 0{,}2$



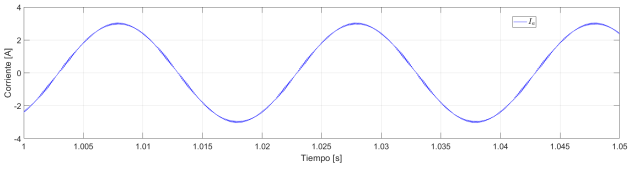

(c) Modulación Min-Max, $M = 0{,}4$



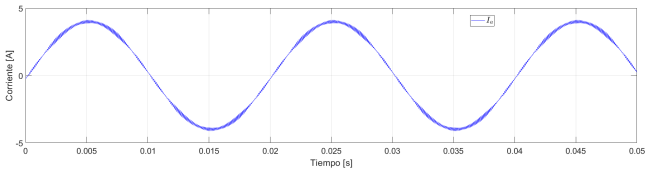

(d) Modulación THIPWM, $M = 0{,}4$



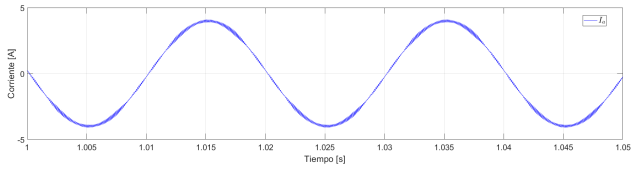

(e) Modulación Min-Max, $M = 0{,}6$



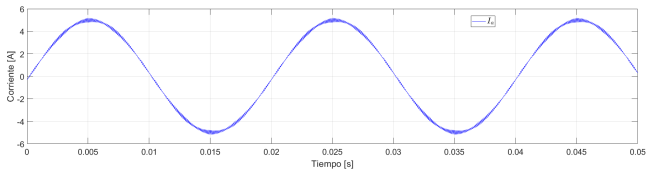

(f) Modulación THIPWM, $M = 0{,}6$



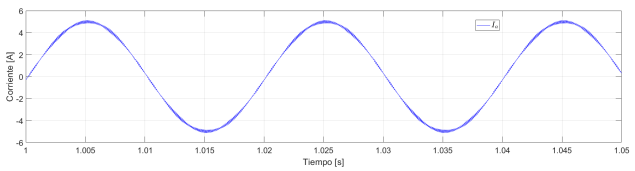

(g) Modulación Min-Max, $M = 0{,}8$



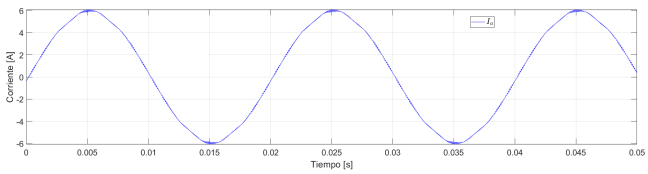

(h) Modulación THIPWM, $M = 0{,}8$



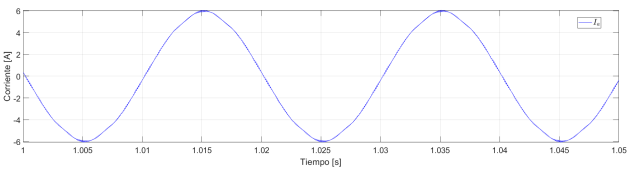

(i) Modulación Min-Max, $M = 1{,}0$




(j) Modulación THIPWM, $M = 1{,}0$




(k) Modulación Min-Max, $M = 1{,}2$




(l) Modulación THIPWM, $M = 1{,}2$

Figura 3.14: corriente por fase $I_a$ en simulación, modulación Min-Max y THIPWM.

# Capítulo 4

# Implementación y Validación Experimental

Este capítulo tiene por finalidad documentar la etapa experimental del proyecto, el cual fue desarrollado en el Laboratorio de Investigación de Accionamientos Eléctricos (LIAcE). El capítulo está constituido por tres etapas: i) construcción del inversor y del sistema para modulación, ii) pruebas preliminares, iii) operación y validación experimental del 5L-ANPC.

La implementación del inversor trifásico 5L-ANPC se realizó según el esquema de la Fig. 4.1 y su implementación experimental en la Fig. 4.3b. En líneas generales, existen dos sistemas; el del lado izquierdo es el sistema de control: envía pulsos de disparo originados por medio del algoritmo implementado en la plataforma DSP+FPGA al segundo sistema mediante fibra óptica (F.O) con la finalidad de comandar a los semiconductores. Esta señal pasa de ser lumínica a convertirse en tensión mediante la tarjeta de disparo formando así una aislación entre ambos sistemas. Finalmente, cada pulso de disparo llega a los terminales puerta de los semiconductores como una tensión con forma de onda cuadrada de $\pm 12[V]$.

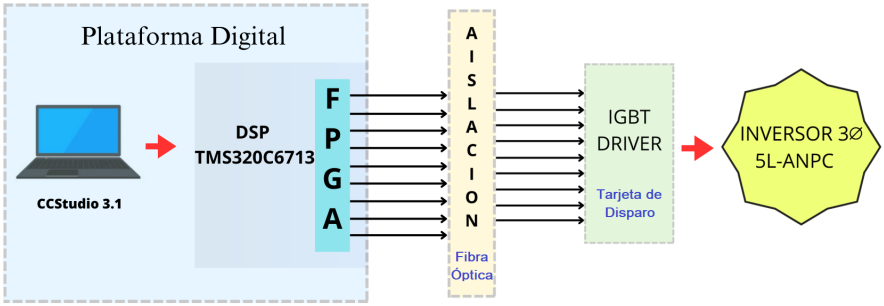


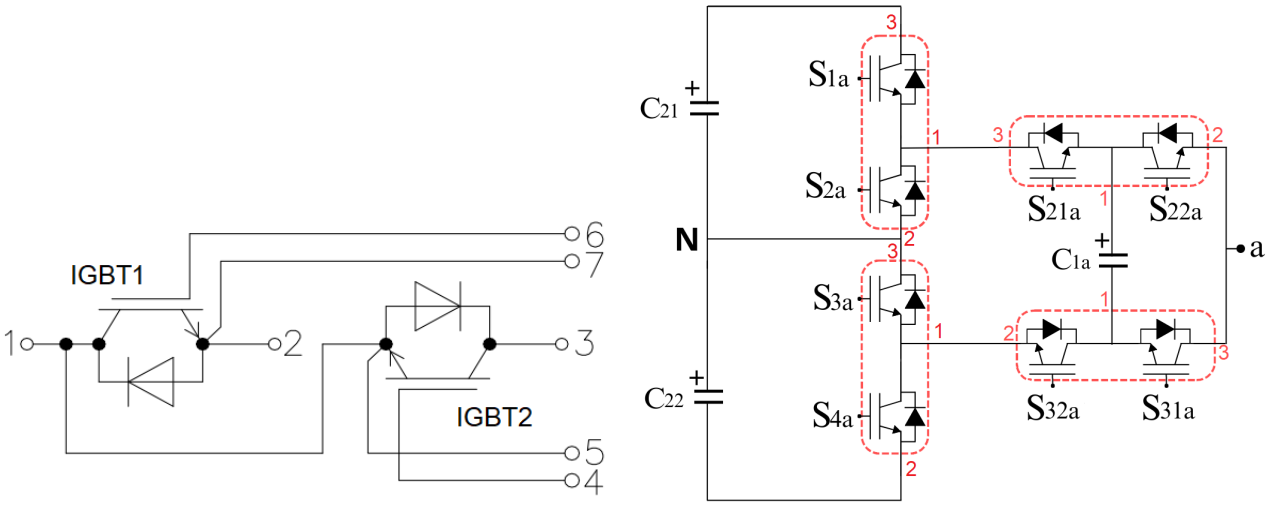

Figura 4.1: Esquema sistema inversor 5L-ANPC.

## 4.1. Implementación del circuito trifásico del inversor

El circuito del 5L-ANPC se basa en los diagramas de los capítulos anteriores. Los módulos de los IGBTs son de marca Infineon modelo FF50R12RT4 [30]. Cada módulo posee dos IGBTs con un diodo en antiparalelo cada uno y siete salidas numeradas según la Fig. 4.2a, las cuales son:

1. Terminal de potencia Colector IGBT 1 y Terminal de potencia Emisor IGBT 2.
2. Terminal de potencia Emisor IGBT 1.
3. Terminal de potencia Colector IGBT 2.
4. Terminal de control Gate IGBT 2.
5. Terminal de control Emisor IGBT 2.
6. Terminal de control Gate IGBT 1.
7. Terminal de control Emisor IGBT 1.

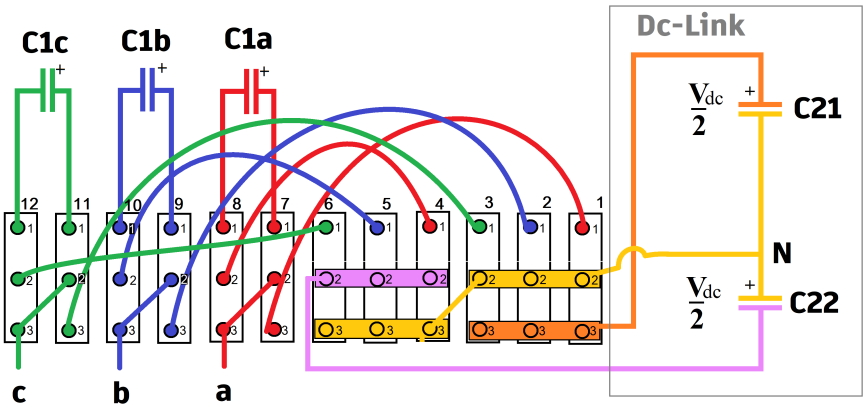
El inversor requiere de 8 IGBTs por fase, es decir, de 24 semiconductores en total. Los cuatro módulos por fase se ensamblan según la Fig. 4.2b, la cual ilustra la numeración de los terminales de potencia para obtener la topología 5L-ANPC. Por lo tanto, el inversor se constituye de 12 módulos, los primeros seis corresponden a los semiconductores conectados al dc-link, y por lo tanto, poseen cuatro barras de cobre con tensión continua provista por los capacitores del dc-link (una barra con polo positivo, otra con polo negativo y dos barras con tensión de neutro). Este grupo conmuta a frecuencia fundamental según el sistema trifásico: $a, b, c$. Luego, para los seis módulos restantes, se asignan dos módulos por fase los cuales conmutan a frecuencia de las señales portadoras de cada fase. Las salidas del inversor, es decir, las fases, están disponibles en el segundo grupo de semiconductores.



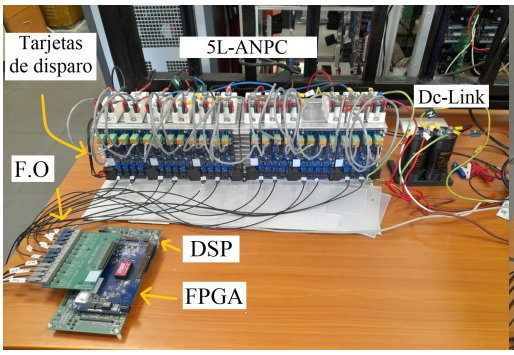

(a) Diagrama circuital de un módulo IGBT [30].

(b) Ensamble de módulos en el inversor por fase.

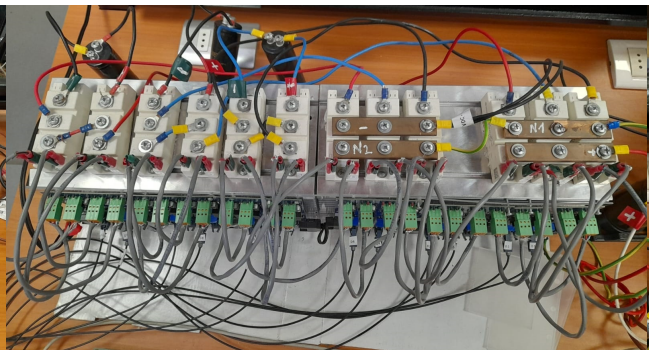
Figura 4.2: Configuración de terminales de los módulos en el inversor.




(a) Esquema circuital 5L-ANPC.




(b) Inversor 5L-ANPC implementado.



(c) Circuito trifásico experimental 5L-ANPC.

Figura 4.3: Prototipo de laboratorio del inversor trifásico 5L-ANPC.

### 4.1.1. DC-Link

El dc-link del inversor está compuesto por los capacitores $C_{21}$ y $C_{22}$ los cuales se conectan a una tensión continua, $V_{dc}$, provista por el circuito rectificador trifásico de la Fig. 4.4. Éste se alimenta desde la red trifásica de distribución mediante un autotransformador trifásico, luego, se utiliza un rectificador trifásico de seis pulsos. La relación entre la magnitud de la tensión alterna fase-neutro del autotransformador, $\hat{V}_{LN}$, y la componente continua de salida $V_{dc}$ se establece en la ec. (4.1). La Tabla 4.1 proporciona las características de los componentes del circuito rectificador y del dc-link.

$$V_{dc} \approx \sqrt{3}\,\hat{V}_{LN} \tag{4.1}$$

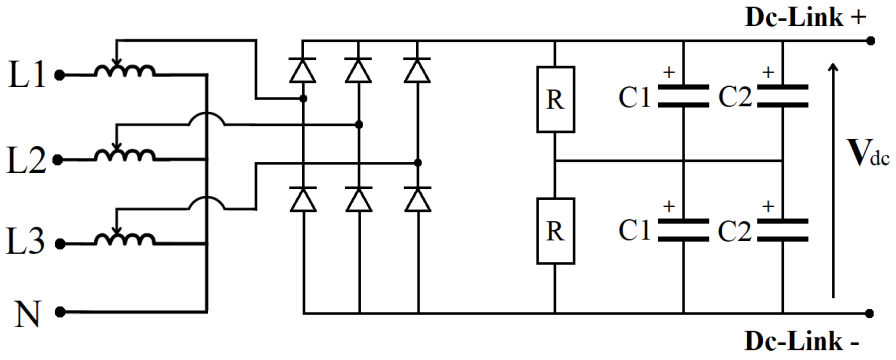



Figura 4.4: Diagrama circuital rectificador trifásico.

| Componente | Característica | Valor |
|---|---|---|
| Autotransformador trifásico | Rango de tensión | $[0-415]$ $[V_{LL}]$ |
| | Corriente máxima por línea | 10[A](AC) |
| Rectificador onda completa | Marca | IOR Rectifier |
| | Modelo | GBPC 3508W |
| | Corriente máxima | 35[A](DC) |
| | Tensión máxima repetitiva | 800 [V](AC) |
| C1 | Marca | BHC |
| | Tensión nominal | 250[V](DC) |
| | Capacitancia | $1500[\mu F] \pm 20\,\%$ |
| C2 | Marca | Panasonic |
| | Tensión nominal | 250[V](DC) |
| | Capacitancia | $1500[\mu F]$ |
| R | Resistencia cerámica | $33[K\Omega]$ |
| | Potencia de disipación | 7[W] |
| C21, C22 | Marca | Kemet |
| | Tensión nominal | 400[V](DC) |
| | Capacitancia | $3000[\mu F] \pm 20\,\%$ |
| Capacitores flotantes | Marca | Kemet |
| | Tensión nominal | 450[V](DC) |
| | Capacitancia | $3000[\mu F] \pm 20\,\%$ |

Tabla 4.1: Datos característicos de los componentes del cto. rectificador y capacitores del inversor.

### 4.1.2. Carga trifásica conectada

La carga conectada al inversor está compuesta por un circuito trifásico equilibrado R-L en serie por fase. En cada fase se tiene una resistencia en serie a un reactor, de manera que la conexión trifásica se hace en estrella. La Tabla 4.2 detalla las características de los componentes.

| Componente | Característica | Valor |
|---|---|---|
| Banco resistivo | Resistencia por fase | 15[Ω] |
| | Corriente máxima por resistencia | 8[A] |
| Reactor | Marca | Hammond Manufacturing |
| | Inductancia | 5[mH] |
| | Corriente máxima | 20[A] (DC) |

Tabla 4.2: Datos característicos de la carga trifásica conectada al inversor.

### 4.1.3. Plataforma DSP+FPGA

Conforme al esquema de la Fig. 4.1 la plataforma digital DSP+FPGA se utiliza para crear el sistema de modulación PWM. El proceso para llevar a cabo la modulación requiere de las tarjetas DSP+FPGA, Fibra Óptica y de Disparo (Fig. 4.3b). Mayor información se pueden encontrar en el Anexo A.

El desarrollo para llevar los pulsos de disparo hacia los módulos de IGBT se realiza en el siguiente orden:

**1. Programación en Code Composer Studio:** Se realiza las operaciones de las técnicas de modulación descritas en la sección 2.4 en el programa *CCStudio3.1* en lenguaje de programación *C++*.

**2. Manejo de la tarjeta FPGA:** Una vez lista las modulaciones es que través de la tarjeta FPGA se determinan las variables de salida que darán origen a las señales S1, S3, S21 y S22 de las tres fases. La FPGA permite sincronizar la salida de la DSP por medio de los relojes ("Timers") a la frecuencia requerida (50[Hz] y 5[kHz]). Se requiere de dos Timers por frecuencia en donde cada Timer posee tres señales distintas (una por fase).

**3. Tarjeta Emisora de Fibra Óptica:** Esta tarjeta tiene por finalidad aislar eléctricamente la señal digital transformando una señal de tensión de los pines de salida de la FPGA a una señal lumínica.

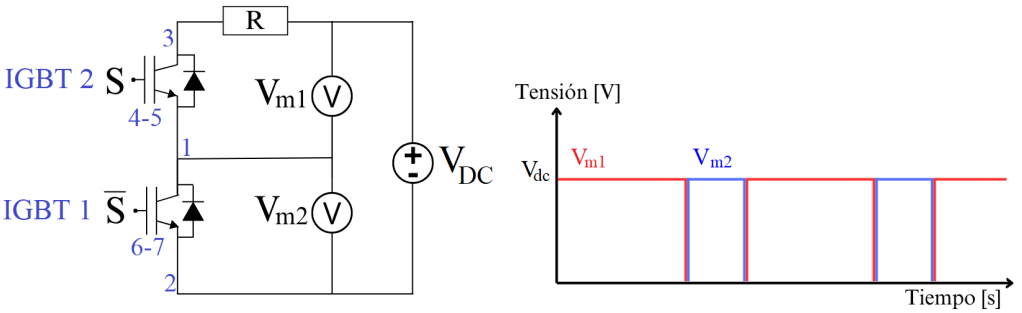
**4. Tarjeta de Disparo:** Convierte las señales lumínicas provenientes de la tarjeta de fibra óptica a señales de tensión manipulables para el control de los módulos de IGBT de ±12[V].

## 4.2. Pruebas Preliminares

Una vez listo el sistema PWM mediante el procedimiento descrito en las secciones anteriores es que se procede a hacer las pruebas preliminares, las cuales son dos: primera prueba: está hecha para comprobar el estado de los módulos IGBT llamada **"Pruebas de IGBT"**. Segunda prueba: llamada **"Estados Fijos"** la cual está diseñada para comprobar la correcta salida de tensión en el ensamble de los módulos según la topología 5L-ANPC, es decir, implementar la Tabla 2.10 obteniendo así los cinco niveles de tensión a través de los ocho estados posibles.

### 4.2.1. Pruebas de IGBT

Esta prueba se hace con un módulo IGBT a la vez mediante el circuito de la Fig. 4.5a, el objetivo de la prueba es seleccionar los módulos de IGBT que estén en buen estado para la construcción del inversor. Esta prueba consiste en conectar una fuente de tensión continua $V_{dc}$ en los terminales 3 y 2 del módulo. Se comanda una señal S al IGBT 2 en los terminales 4-5 mientras que la señal complementaria, $\bar{S}$, controla al IGBT 1. Al ser señales complementarias se puede comprobar que un módulo está en buen estado cuando se obtiene una tensión continua de $V_{dc}$ al medir las tensiones $V_{m1}$ y $V_{m2}$ en el osciloscopio. Caso contrario, el módulo no está en buen estado y, por lo tanto, no puede utilizarse en el inversor. Es recomendable usar un ciclo de trabajo que sea notoriamente asimétrico, como por ejemplo, un 20 % para así identificar de manera más fácil el IGBT con problemas. La resistencia es requerida para limitar la corriente por los IGBTs.




(a) Diagrama circuital para la primera prueba. (b) Forma de onda de la tensión cuando ambos IGBT del módulo están en buen estado.

Figura 4.5: Prueba para determinar el estado de los módulos IGBT.

### 4.2.2. "Estados Fijos"

Esta prueba se realiza por fase por lo que se requiere de cuatro módulos IGBT conectados sin carga según la Fig. 4.2b para ser realizada. Además, se requiere de una fuente de tensión continua que provea la tensión $V_{dc}$.

Se comprueba la correcta salida en las tensiones fase neutro del inversor al obtenerse las cinco tensiones de salida por separado mediante la plataforma DSP+FPGA.

### 4.2.3. Implementación de las modulaciones Min-Max y THIPWM

Se implementan las señales triangulares y las referencias de cada modulación en la plataforma DSP+FPGA de modo que los Timers 0 y 1 poseen una frecuencia de 50[HZ] en donde ambas generan triangulares ascendentes mientras que los Timers 2 y 3 poseen una frecuencia de 5[KHz] formando señales triangulares descendente y ascendente respectivamente.

La modulación Min-Max se implementa estableciendo tensiones sinusoidales de referencia en base a Timer0. Mediante el cómputo realizado en la programación es posible determinar el mínimo y el máximo en cada ciclo de cálculo (de frecuencia $F_{clk0}$).

En cuanto a la modulación THIPWM ésta se implementa de manera similar a la modulación anterior. THIPWM es de menor complejidad ya que requiere de menos funciones para operar, en líneas generales, para crear la señal sinusoidal de referencia basta con multiplicar por tres la frecuencia de la fundamental.

La implementación en DSP de las técnicas de modulación se presentan en el Anexo B.

### 4.2.4. Implementación del tiempo muerto

El tiempo muerto (DT) se establece con una duración de 1[$\mu$s] (Fig. 4.6), el cual se puede establecer mediante código o modificando la resistencia varible dentro del circuito de la tarjeta de disparo.

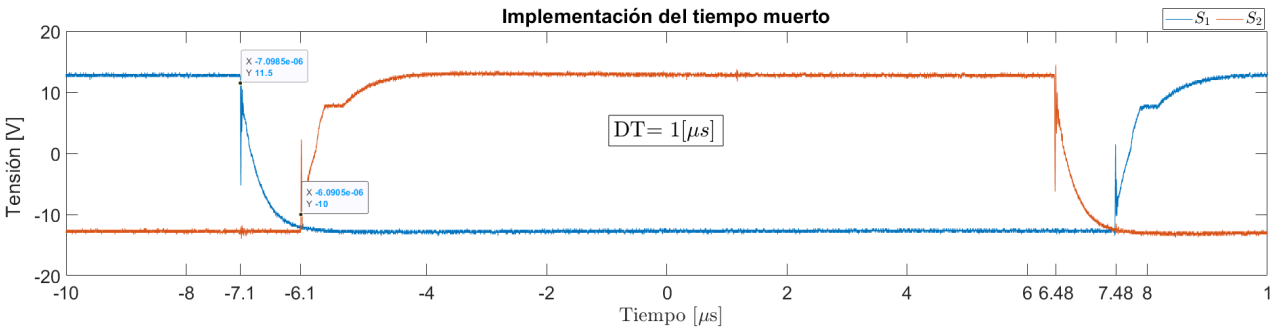



Figura 4.6: Implementación del tiempo muerto en 1[$\mu$s].

## 4.3. Resultados

Esta etapa se inicia una vez corroborada las pruebas en la etapa anterior. Las mediciones se hacen en estado estacionario con los parámetros y valores de las Tablas 4.1 y 4.2. Para ambas modulaciones se hacen mediciones con índices de modulación de 0.2 y 0.8. El circuito rectificador alimenta al dc-link con $V_{dc} = 80[V]$.

### 4.3.1. Pulsos de disparo

En esta sección se ilustran los pulsos comandados desde la plataforma DSP+FPGA (S1, S21, S22) medidos en la salida de la tarjeta de disparo y se compara con los resultados obtenidos de simulación, además, las tensiones de fase neutro del inversor son generadas utilizando una fuente de tensión que alimenta al inversor con $V_{dc} = 40[V]$. El inversor en este caso está en vacío y desprovisto de los capacitores. (Para la modulación Min-Max: Figuras 4.7, 4.8, 4.9. Para modulación THIPWM: Figuras 4.10, 4.11, 4.12).

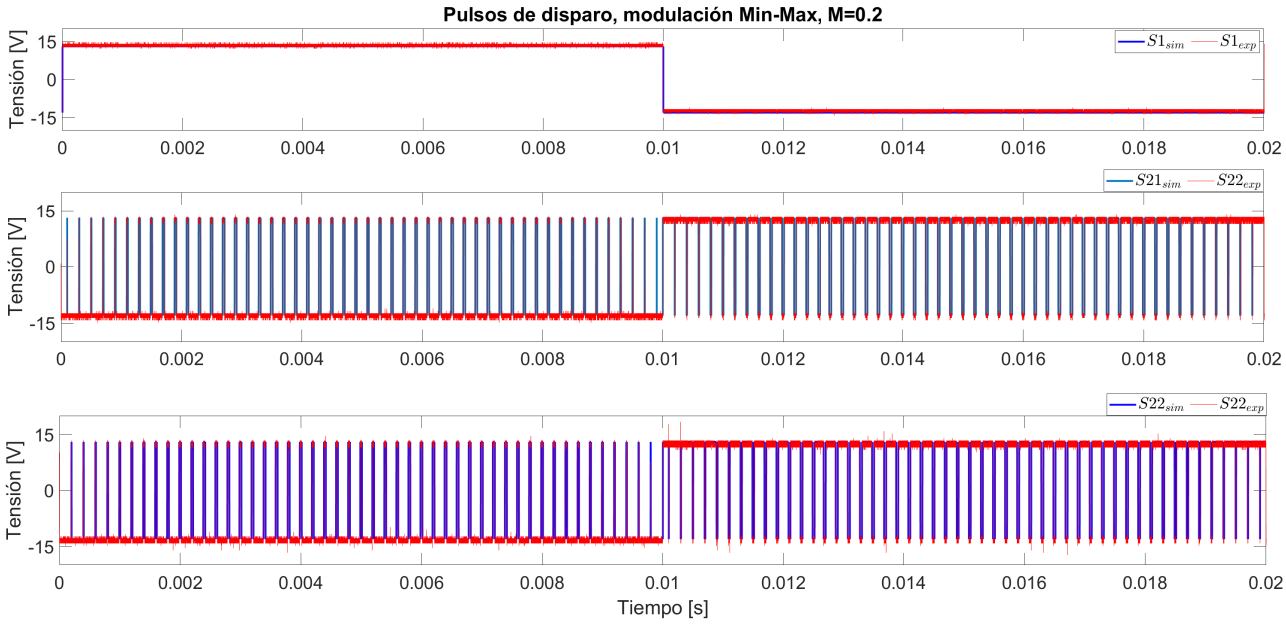



Figura 4.7: Pulsos de disparo experimental y simulado, Min-Max, M=0.2.

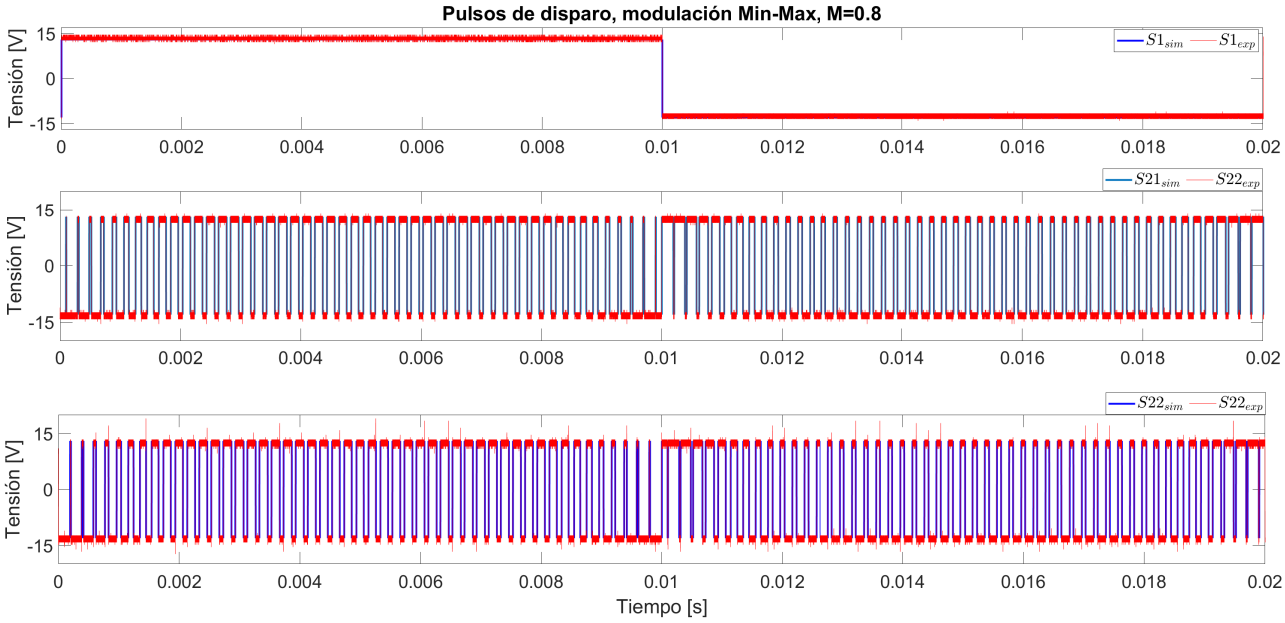



Figura 4.8: Pulsos de disparo experimental y simulado, Min-Max, M=0.8.

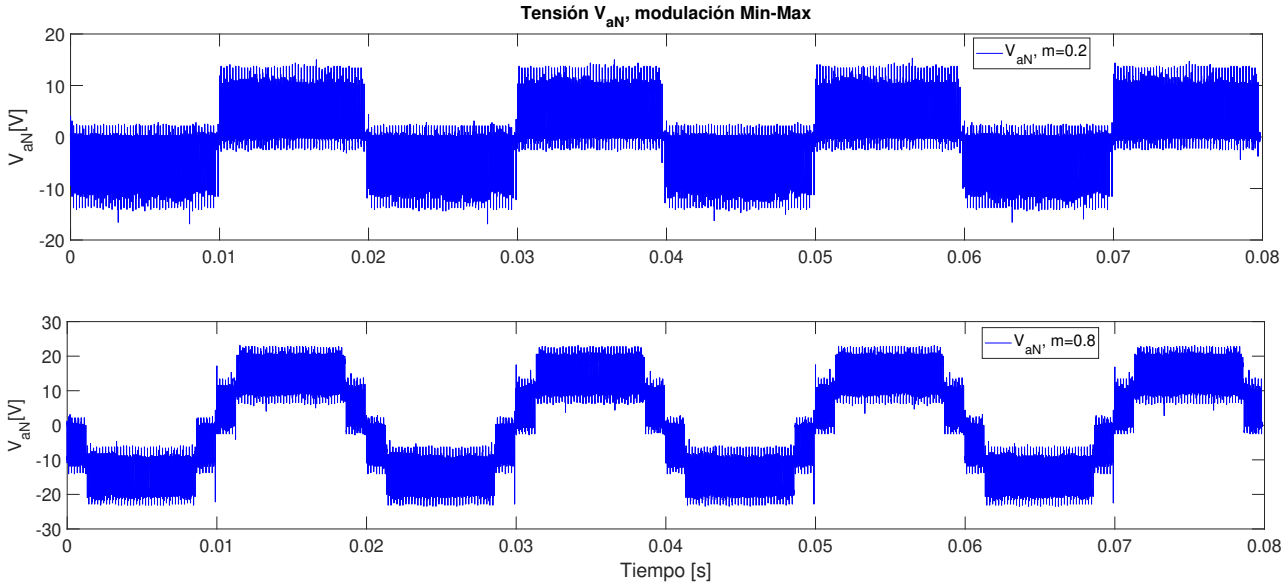



Figura 4.9: Tensiones fase neutro con fuente de tensión, $V_{dc} = 40[V]$, modulación Min-Max.

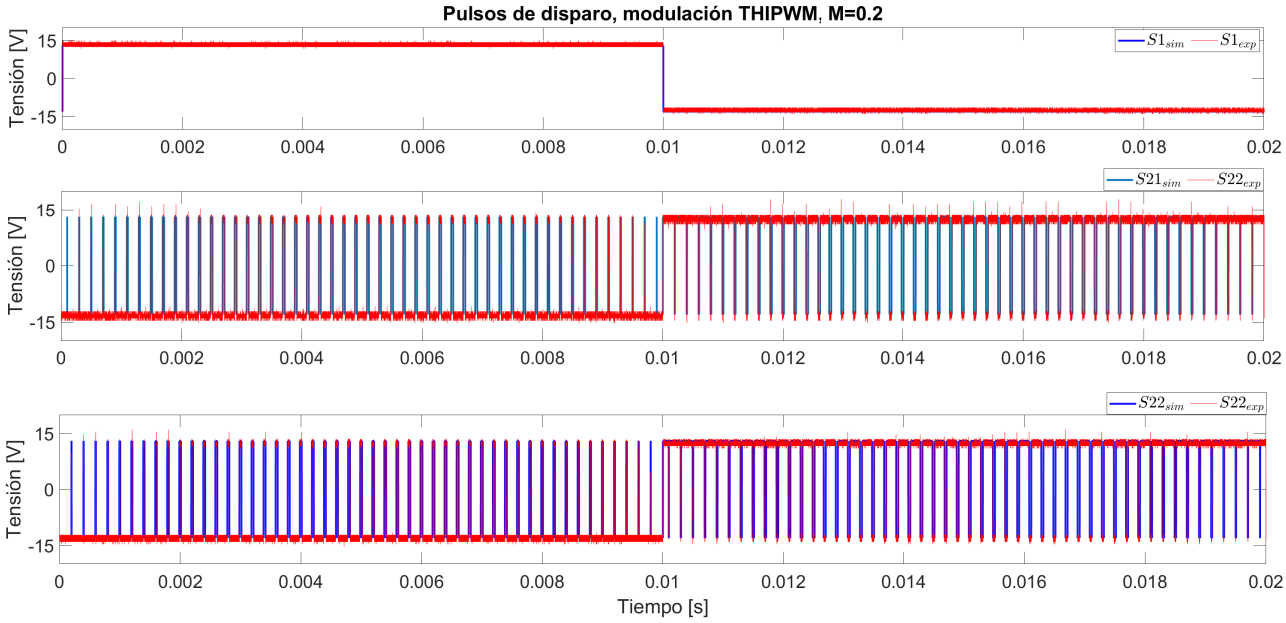



Figura 4.10: Pulsos de disparo experimental y simulado, THIPWM, M=0.2.

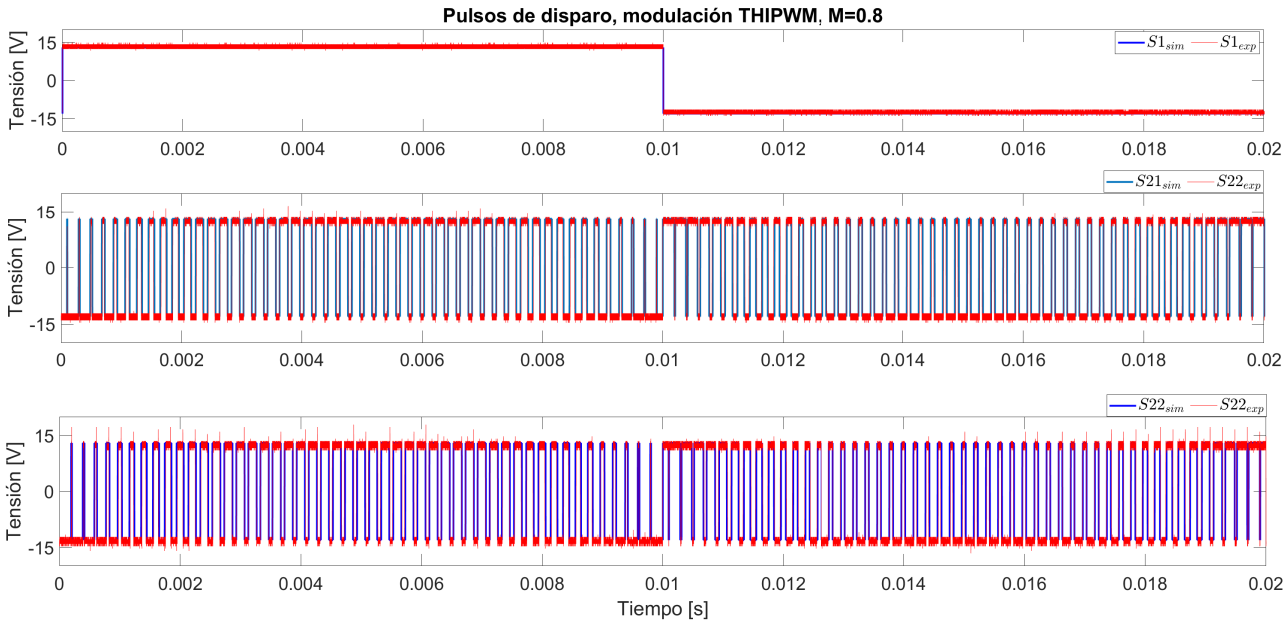



Figura 4.11: Pulsos de disparo experimental y simulado, THIPWM, M=0.8.

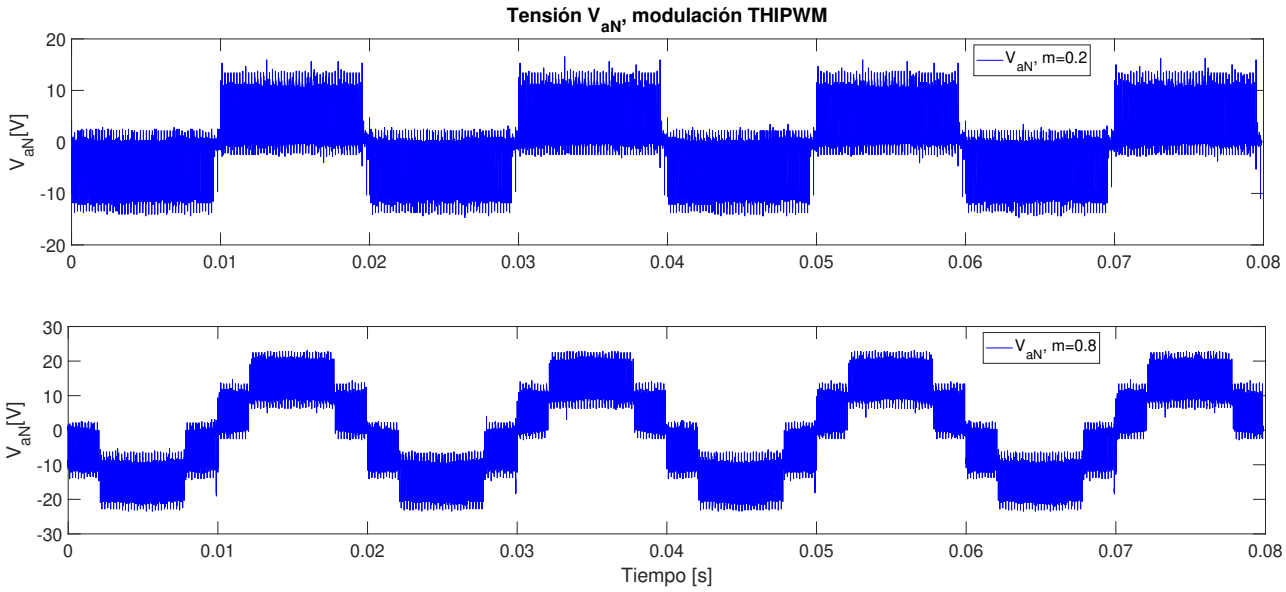



Figura 4.12: Tensiones fase neutro con fuente de tensión, $V_{dc} = 40[V]$, modulación THIPWM.

Los resultados muestran que los pulsos de disparo son similares en ambas modulaciones, tanto en los resultados de simulación como los obtenidos experimentalmente. En cuanto a las tensiones fase neutro del inversor se observa que la modulación THIPWM posee un mayor tiempo en las tensiones $\pm V_{dc/4}$, por lo tanto, su valor eficaz es menor que en Min-Max. La Tabla 4.6 presenta los valores eficaces de las tensiones lo que concuerda con lo observado en las figuras: la modulación Min-Max posee un mayor valor eficaz que en la modulación THIPWM en ambos índices de modulación, en donde $P_{0,2}$ y $P_{0,8}$ se definen según la ec. (4.2a) y (4.2a) respectivamente.

$$P_{0,2} = \frac{\text{Valor}_{\text{Min-Max},M=0,2}}{\text{Valor}_{\text{THIPWM},M=0,2}} \times 100\,\% \tag{4.2a}$$

$$P_{0,8} = \frac{\text{Valor}_{\text{Min-Max},M=0,8}}{\text{Valor}_{\text{THIPWM},M=0,8}} \times 100\,\% \tag{4.2b}$$

| | THIPWM | | Min-Max | | | |
|---|---|---|---|---|---|---|
| | $M = 0,2$ | $M = 0,8$ | $M = 0,2$ | $M = 0,8$ | $P_{0,2}$ | $P_{0,8}$ |
| $V_{aN}[V_{RMS}]$ | 4.840 | 11.89 | 5.016 | 12.22 | 104 % | 103 % |

Tabla 4.3: Valores RMS de tensiones fase neutro del inversor con fuente de tensión $V_{dc} = 40[V]$.

### 4.3.2. Tensiones fase neutro del inversor con carga trifásica

Las tensiones fase neutro del inversor son obtenidas mediante el circuito rectificador, con $V_{dc} = 80[V]$, y con carga trifásica conectada. Para la modulación Min-Max las tensiones se muestran en la Figura 4.13 y para THIPWM en la Fig. 4.14.

Para ambas modulaciones las formas de onda varían respecto a las del apartado anterior. Esto indica la influencia que tiene el proceso de carga y descarga de los capacitores el cual se realiza a través de las corrientes de fase. Pese a lo anterior, las tensiones fase neutro del inversor indican que los capacitores de ambos grupos se balancean ya que se pueden observar los cinco niveles de tensión esperados.

La Tabla 4.4 muestra que se mantiene el hecho de que la modulación Min-Max produzca una tensión fase neutro del inversor levemente mayor que la modulación THIPWM.

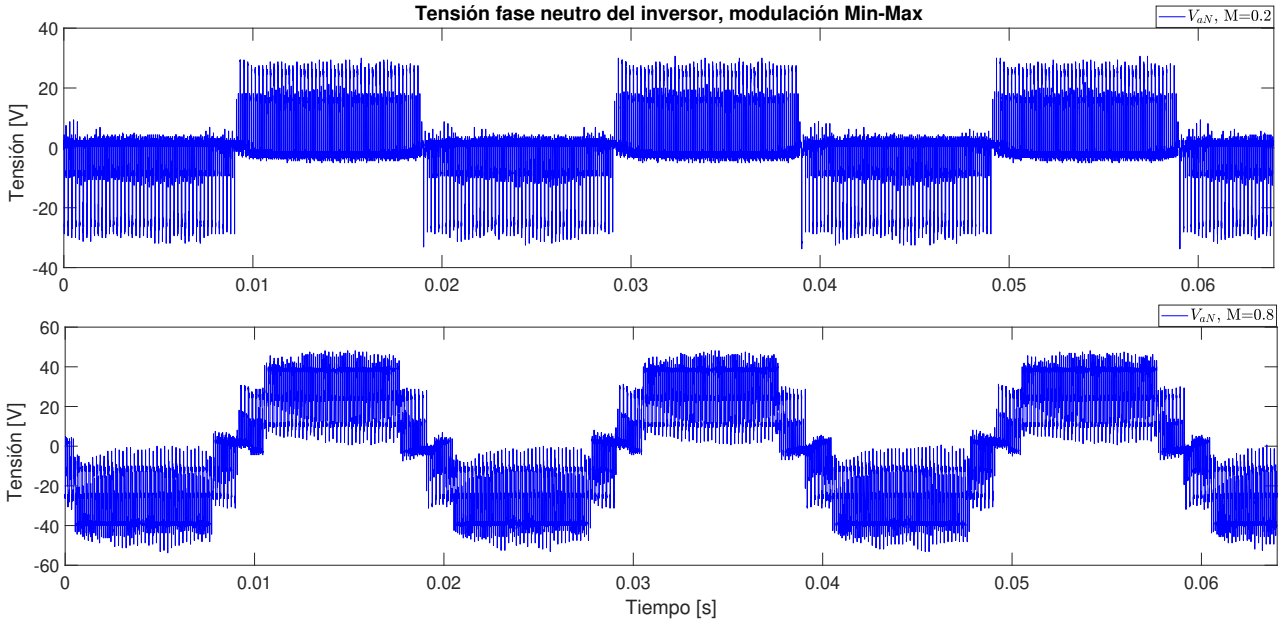



Figura 4.13: Tensiones fase neutro del inversor con carga trifásica balanceada con rectificador, $V_{dc} = 80[V]$, modulación Min-Max.

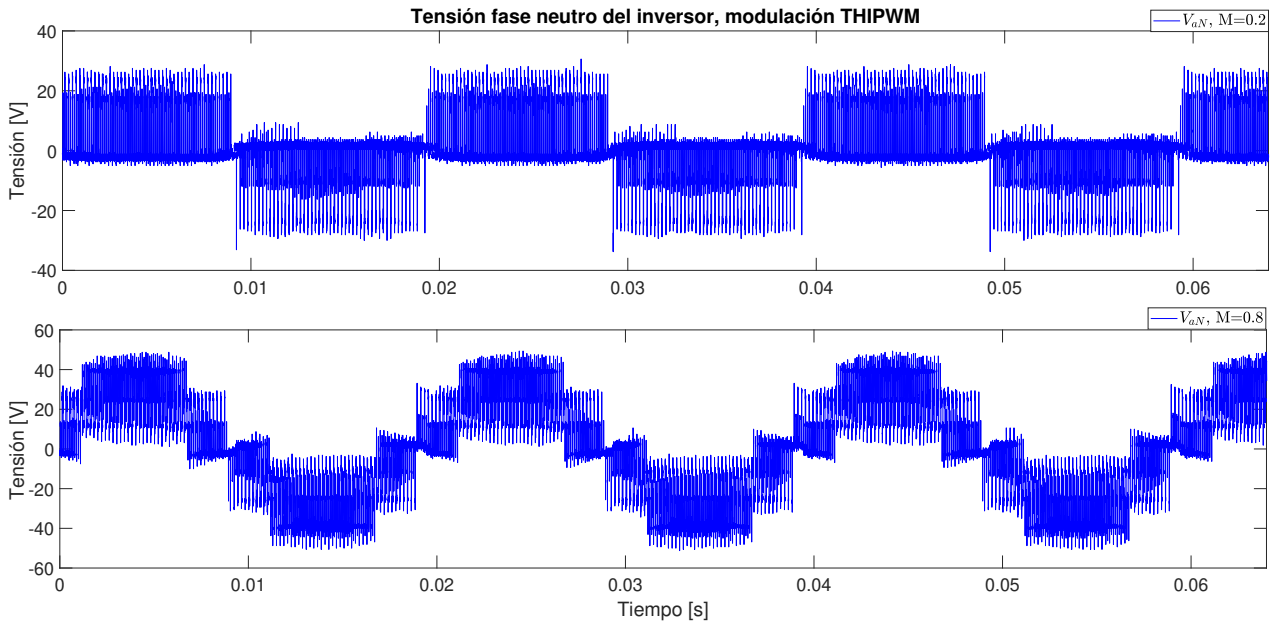



Figura 4.14: Tensiones fase neutro del inversor con carga trifásica balanceada con rectificador, $V_{dc} = 80[V]$, modulación THIPWM.

| | THIPWM | | Min-Max | | | |
|---|---|---|---|---|---|---|
| | $M = 0{,}2$ | $M = 0{,}8$ | $M = 0{,}2$ | $M = 0{,}8$ | $P_{0{,}2}$ | $P_{0{,}8}$ |
| $V_{aN}[V_{RMS}]$ | 9.660 | 23.21 | 10.22 | 23.59 | 106 % | 102 % |

Tabla 4.4: Valores RMS de tensiones fase neutro del inversor con carga trifásica balanceada.

### 4.3.3. Corrientes de fase

Las corrientes de fase obtenidas en modulación Min-Max (Fig. 4.15) y en la modulación THIPWM (Fig. 4.16) son congruentes con las formas de onda obtenidas en simulación. Experimentalmente, en ambas modulaciones se observa que en M=0.2 existe una mayor distorsión y asimetría con respecto a M=0.8. Un factor relevante es que en M=0.8 se tendrá un mayor tiempo de encendido en las conmutaciones, y que por lo tanto, una mejor respuesta.

La Tabla 4.5 presenta los valores eficaces de corriente por fase, junto con sus respectivos valores de $\text{THD}_\text{I}$. Los resultados muestran que la modulación Min-Max tiene un menor índice de $\text{THD}_\text{I}$ en todos los casos, excepto en la corriente de la fase *c* cuando M = 0.8. Además, se observa que la variación de los resultados no solo varía por técnica de modulación ni por índice M, sino también por fase, por ejemplo, la fase *b* presenta el mayor índice de $\text{THD}_\text{I}$ en todos los casos, excepto en modulación THIPWM con M=0.2, en este caso la fase *a* posee una mayor componente continua que en las otras

fases. Se debe considerar, además, que la carga trifásica no es ideal por lo que las variaciones de éstas se ven reflejadas en los resultados de las corrientes.

En resumen, para mayor índice de modulación mejor será el $THD_I$. En general, la modulación Min-Max presenta una mejor calidad de corriente que la modulación THIPWM.

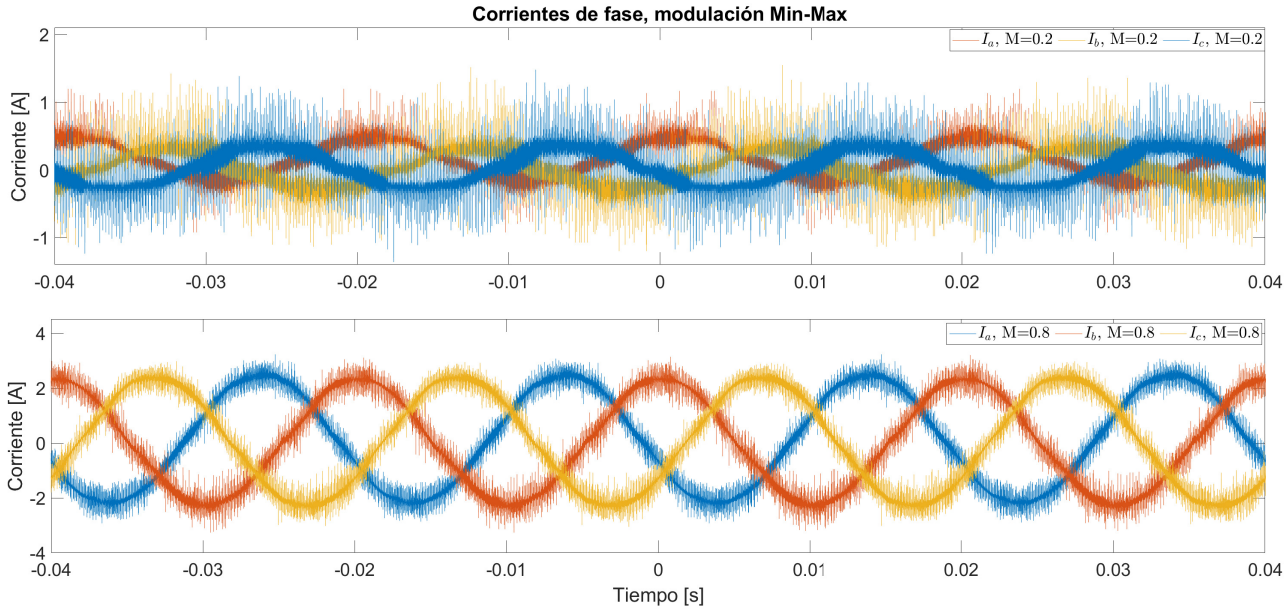



Figura 4.15: Corrientes de fase, modulación Min-Max.

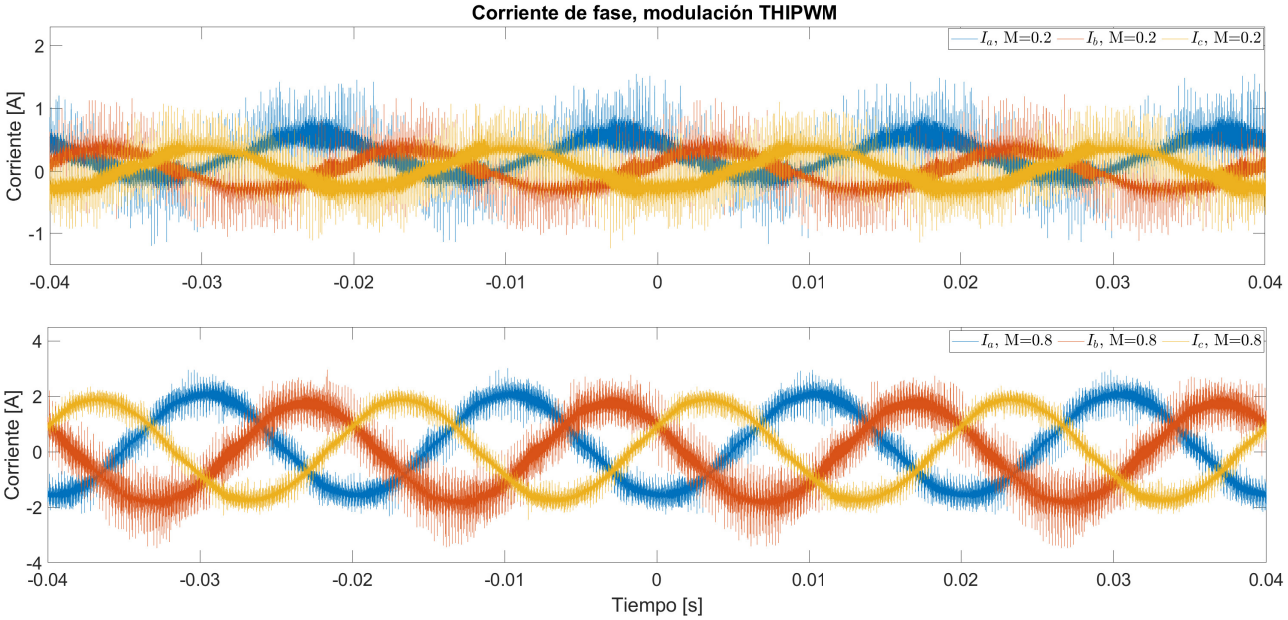



Figura 4.16: Corrientes de fase, modulación THIPWM.

| Modulación | Índice | $I_a[A_{RMS}]$ | $I_b[A_{RMS}]$ | $I_c[A_{RMS}]$ |
|---|---|---|---|---|
| Min-Max | M = 0.2 | 0.273 | 0.229 | 0.238 |
| | $THD_I$ | 18.5 % | 25.1 % | 21.7 % |
| | M= 0.8 | 1.68 | 1.61 | 1.68 |
| | $THD_I$ | 4.81 % | 5.73 % | 4.70 % |
| THIPWM | M = 0.2 | 0.345 | 0.234 | 0.238 |
| | $THD_I$ | 32.5 % | 27.8 % | 29.0 % |
| | M = 0.8 | 1.32 | 1.28 | 1.29 |
| | $THD_I$ | 4.98 % | 6.67 % | 4.38 % |

Tabla 4.5: Valores e índices de las corrientes de fase.

### 4.3.4. Corrientes en neutro del inversor

Las corrientes en el neutro del inversor están presentes en la Fig. 4.17 para la modulación Min-Max y en la Fig. 4.18 para la modulación THIPWM. Las formas de onda son similares a las obtenidas en simulación. Los resultados experimentales poseen mayor variación debido a que existe ruido en la conmutación.

Los índices $P_{0,2}$ y $P_{0,8}$ indican que se tienen valores efectivos de $I_N$ similares entre ambas modulaciones por índice $M$. Para todos los casos, el valor medio de la corriente se mantiene estable en $(0{,}156 \pm 0{,}003)$ [A] lo que indica que las tensiones de los capacitores en el dc-link si bien varían éstas están acotadas.

| | Min-Max | | THIPWM | | | |
|---|---|---|---|---|---|---|
| | $M = 0{,}2$ | $M = 0{,}8$ | $M = 0{,}2$ | $M = 0{,}8$ | $P_{0,2}$ | $P_{0,8}$ |
| $I_N[A_{RMS}]$ | 0.228 | 1.23 | 0.223 | 1.25 | 102 % | 98.4 % |
| $\overline{I_N}$[A] | 0.159 | 0.155 | 0.153 | 0.154 | 104 % | 101 % |

Tabla 4.6: Valores RMS y promedio de corriente por el neutro del inversor.

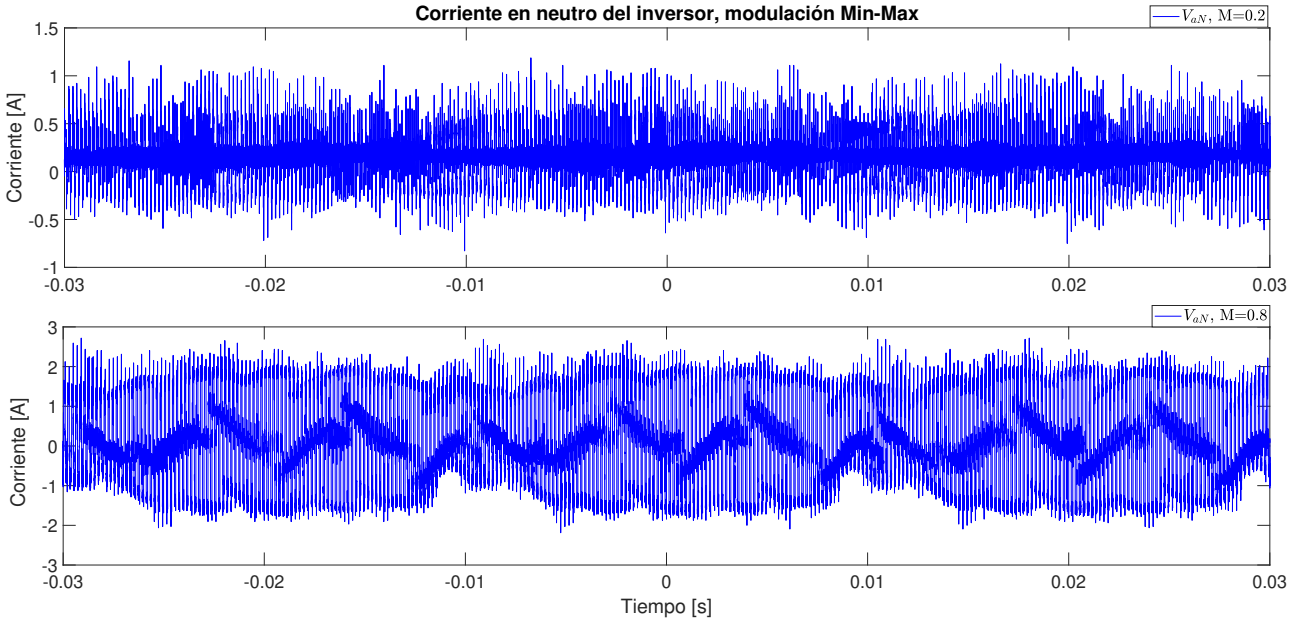



Figura 4.17: Corrientes en neutro del inversor, modulación Min-Max.

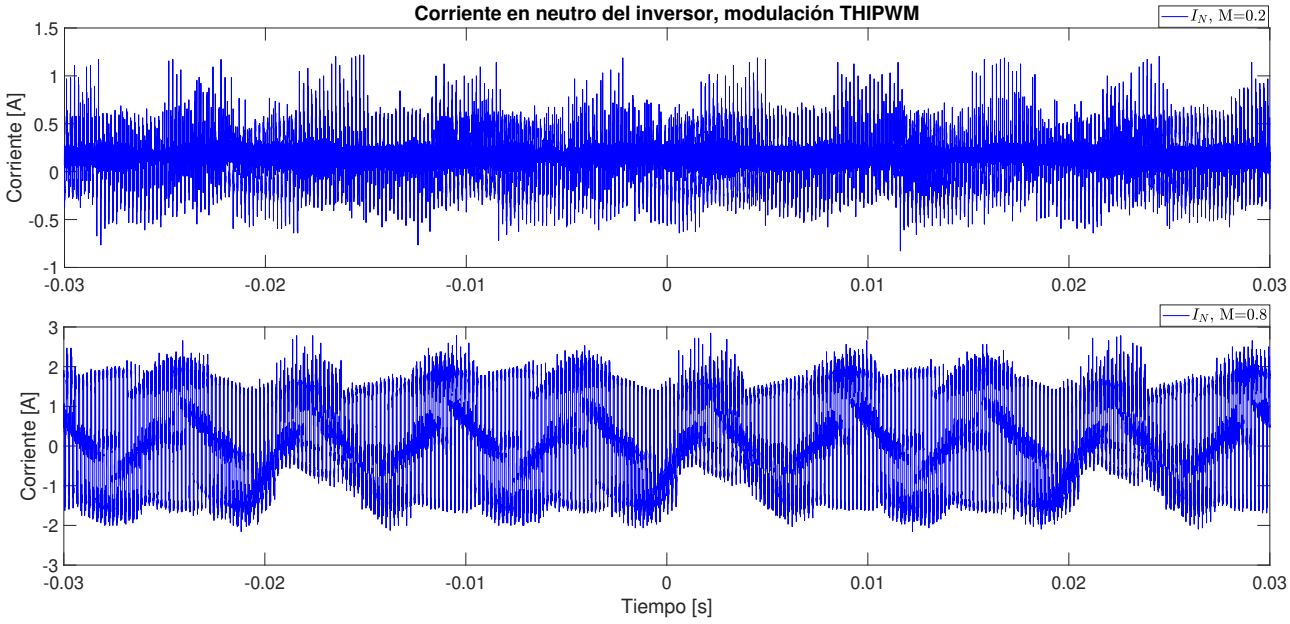



Figura 4.18: Corrientes en neutro del inversor, modulación THIPWM.

# Capítulo 5

# Conclusiones

Los resultados de simulación y experimentales son congruentes entre sí, por lo tanto, se cumple el objetivo de construir y validar experimentalmente el inversor trifásico 5L-ANPC.

La construcción y validación experimental del inversor trifásico 5L-ANPC es un proyecto en el que las etapas deben ser ejecutadas de manera secuencial según lo expuesto en este trabajo ya que cada una conlleva a la siguiente hasta la culminación del proyecto. Por lo tanto, cada etapa es relevante y ninguna pueden ser omitida. La etapa de construcción considera varios desafíos no contemplados en la etapa teórica ya que cada elemento que constituye al sistema del inversor es una posible fuente de error, por lo que es recomendable trabajar de manera secuencial para mitigar todo tipo de error.

El inversor tiene la ventaja de obtener en su salida tensión alterna en un amplio espectro de frecuencias y magnitudes de tensión, lo que lo hace ser un dispositivo versátil, apto para variadas aplicaciones.

Si bien ambas modulaciones permitieron el balance natural de los capacitores con resultados similares, para acortar el tiempo de este proceso se recomienda la implementación de un control que permita un balance de capacitores [28].

Como trabajo futuro queda por ahondar en las estrategias de modulación para el ANPC-5L, por ejemplo, se puede desarrollar un esquema de optimización para la modulación PS-PWM. Además, se puede estudiar y comparar las distintas técnicas de modulación no abarcadas en esta memoria; SV-PWM, SHE-PWM, Hybrid PWM, etc. Además estudiar sobre las pérdidas en los IGBT del inversor. Asimismo, se puede estudiar el desarrollo técnico/económico de un inversor industrial.

# Referencias


[1] Convención Marco de las Naciones Unidas sobre el Cambio Climático (2016). *"El Acuerdo de París"*. https://unfccc.int/es/acerca-de-las-ndc/el-acuerdo-de-paris

[2] Ministerio del Medio Ambiente de Chile. (2021). *"Gobierno anuncia el retiro del 50% de las centrales a carbón al 2025"*. https://mma.gob.cl/gobierno-anuncia-el-retiro-del-50-de-las-centrales-a-carbon-al-2025/#:~:text=El%20Gobierno%20anunci%C3%B3%20que%20el,estas%20intalaciones%20y%20permitir%C3%A1%20avanzar

[3] CIGRE Chile. (2022). *"Llamado para integrar WG Técnico en Electrónica de Potencia"*. https://www.nuevamineria.com/revista/cigre-chile-llama-a-integrar-wg-tecnico-enelectronica-de-potencia/

[4] Q. Zhong, T. Hornik. (2013). *"Control of Power Inverters in Renewable Energy and Smart Grid Integration"*. John Wiley & Sons.

[5] E. Kabalci. (2021). *"Multilevel Inverters: Control Methods and Advanced Power Electronic Applications"*. Academic Press.

[6] L. Ceccarelli. (2019). *"Advanced Modeling of SiC Power MOSFETs aimed to the Reliability Evaluation of Power Modules"*. Aalborg University.

[7] . A. Wintrich, U. Nicolai, W. Tursky, and T. Reimann (2015). *"Application manual power semiconductors"*. 2nd revised edition. Ilmenau: ISLE Verlag, 2015.

[8] E. Santi, S. Eskandari, B. Tian, and K. Peng. (2018). *"Power Electronics Handbook"*. Elsevier, 2018, pp. 157–173.

[9] M. Rashid (Editor) (2018) *"Power Electronic Handbook"* 4° Ed. Elsevier.

[10] Sang-Hoon Kim (2016). *"Electric Motor Control: DC, AC, and BLDC Motors"*. Elsevier.

[11] B. M. Wilamowski, J. D. Irwin (Editores) (2017) *"The Industrial Electronics Handbook Power Electronics and Motor Drives"*, 2° Edición. CRC Press.

[12] B. Wu (2006) *"High-power Converters and AC Drives"*, 1° Edición. John Wiley & Sons.

[13] A. Willwerth and M. Roman, *"Electrical bearing damage — A lurking problem in inverter-driven traction motors"*, 2013 IEEE Transportation Electrification Conference and Expo (ITEC), Detroit, MI, USA, 2013, pp. 1-4, doi: 10.1109/ITEC.2013.6573484.

[14] A. Nabae, I. Takahashi and H. Akagi, *"A New Neutral-Point-Clamped PWM Inverter"*, IEEE Transactions on Industry Applications, vol. IA-17, no. 5, pp. 518-523, Sept. 1981, doi: 10.1109/TIA.1981.4503992.

[15] H. Abu-Rub, J. Holtz, J. Rodriguez and G. Baoming, *"Medium-Voltage Multilevel Converters—State of the Art, Challenges, and Requirements in Industrial Applications,"* in IEEE Transactions on Industrial Electronics, vol. 57, no. 8, pp. 2581-2596, Aug. 2010, doi: 10.1109/TIE.2010.2043039.

[16] T. Meynard, H. Foch. *"Multi-level conversion: high voltage choppers and voltage source inverters,"* Power Electronics Specialists Conference, 1992. PESC'92 Record., 23rd Annual IEEE, pp. 397–403, IEEE, 1992.

[17] J. Pou (2002). *"Modulation and Control of Three-Phase PWM Multilevel Converters,"* Universitat Politècnica de Catalunya. Departament d'Enginyeria Electrònica.

[18] R. H. Baker and L. H. Bannister. *"Electric power converter,"* U.S. Patent 3 867 643, Feb. 18, 1975.

[19] J. Rodriguez et al., *"Multilevel Converters: An Enabling Technology for High-Power Application"*, Proceedings of the IEEE, vol. 97, no. 11, pp. 1786-1817, Nov. 2009, doi: 10.1109/J-PROC.2009.2030235.

[20] F. Calderón (2022). *"Estrategia de control óptimo para plantas fotovoltaicas de gran escala conectadas a redes trifásicas mediante convertidores puente H en cascada"* [Tesis de Magister Universidad Técnica Federico Santa María]. Repositorio institucional UTFSM. `https://repositorio.usm.cl/handle/11673/55137`

[21] T. Bruckner, S. Bernet and H. Guldner, *"The active NPC converter and its loss-balancing control*," in IEEE Transactions on Industrial Electronics, vol. 52, no. 3, pp. 855-868, June 2005, doi: 10.1109/TIE.2005.847586.

[22] M. Norambuena. (2017). *"Design, Control and Analysis of a Novel Multilevel Converter with Reduced Switch Count"*. [Tesis doctoral, Universidad Técnica Federico Santa María, Technische Universität Berlin]. Repositorio institucional UTFSM. `http://hdl.handle.net/11673/22966`

[23] A. Maswood, H. Dehghani. (2019). *"Advanced multilevel converters and applications in grid integration"*. John Wiley & Sons.

[24] C. Wang and Y. Li, *"Analysis and Calculation of Zero-Sequence Voltage Considering Neutral-Point Potential Balancing in Three-Level NPC Converters,"* IEEE Transactions on Industrial Electronics, vol. 57, no. 7, pp. 2262-2271, 2010.

[25] Z. Zhong, C. Du, X. Xing, C. Qin, Z. Chen and X. Liu, *"An Improved DPWM Method for Single-Phase Five-Level ANPC Converters With Switching Loss Reduction and Capacitor Voltage Balance,"* in IEEE Transactions on Transportation Electrification, vol. 8, no. 4, pp. 4482-4495, Dec. 2022, doi: 10.1109/TTE.2022.3184954

[26] F. Kieferndorf, M. Basler, L. A. Serpa, J. . -H. Fabian, A. Coccia and G. A. Scheuer, *"A new medium voltage drive system based on ANPC-5L technology,"* 2010 IEEE International Conference on Industrial Technology, Viña del Mar, Chile, 2010, pp. 643-649, doi: 10.1109/I-CIT.2010.5472725.

[27] H. R. Teymour, D. Sutanto, K. M. Muttaqi and P. Ciufo, *"Novel modulation and control strategy for five-level ANPC converter with unbalanced DC voltage applied to a single-phase grid connected PV system,"* 2013 IEEE Industry Applications Society Annual Meeting, Lake Buena Vista, FL, USA, 2013, pp. 1-8, doi: 10.1109/IAS.2013.6682502.

[28] K. Wang, L. Xu, Z. Zheng and Y. Li, *"Capacitor Voltage Balancing of a Five-Level ANPC Converter Using Phase-Shifted PWM,"* in IEEE Transactions on Power Electronics, vol. 30, no. 3, pp. 1147-1156, March 2015, doi: 10.1109/TPEL.2014.2320985.

[29] M. Abarzadeh, A. Javadi and K. Al-Haddad, *"Novel Simplified Single Carrier PWM Method for 5L ANPC Converter with Capacitor Voltage Self-Balancing and Improved Output Voltage Spectrum,"* 2019 IEEE 28th International Symposium on Industrial Electronics (ISIE), Vancouver, BC, Canada, 2019, pp. 2021-2026, doi: 10.1109/ISIE.2019.8781502.

[30] Infineon Technologies. (2013). Información Técnica - Módulos IGBT modelo FF50R12RT4. `https://www.infineon.com/dgdl/Infineon-FF50R12RT4-DS-v02_00-en_de.pdf?fileId=db3a304327b89750012805fb1a356147`

[31] P. Lezana. (2020). *"Manejo de la Plataforma Digital DSP+FPGA para el control de Accionamientos"*. Departamento de Ingeniería Eléctrica, UTFSM.

# Anexo A

# Plataforma DSP+FPGA

El presente anexo explica de manera sintetizada el control digital ejecutado para la modulación del inversor. Éste fue realizado en la Plataforma Digital DSP+FPGA (Digital Signal Processor, Field Programmable Gate Array). El manejo de la plataforma se obtuvo del manual de éste [31] para su aplicación en el *Laboratorio de Investigación en Accionamientos Eléctricos* (LIAcE) de la Universidad Técnica Federico Santa María.

De modo generalizado, los convertidores de potencia deben tener un sistema de control el cual puede ser implementado a través de dispositivos digitales (siendo éste el sistema de control más utilizado), o mediante una implementación analógica la cual va en retirada ya que un sistema digital ofrece mayor flexibilidad, repetitividad, una mayor inmunidad al ruido y mayor nivel de integración. La plataforma DSP+FPGA puede desempeñarse como un esquema de control digital para los convertidores de potencia.

La Plataforma Digital se compone de tres partes, específicamente posee tres tarjetas diferentes, las cuales son:

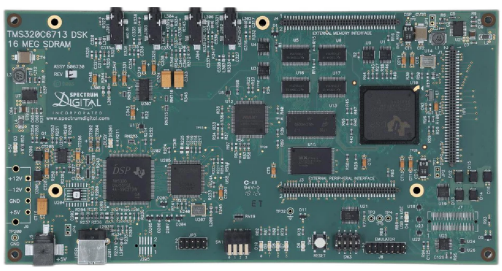
1. Tarjeta de periféricos basada en FPGA.
2. Tarjeta de procesamiento principal basada en un DSP.
3. Tarjeta de comunicación con un PC (HPI).

Un DSP es un microprocesador diseñado para realizar operaciones matemáticas a gran velocidad en donde todas sus operaciones las hace de manera secuencial programado en un lenguaje en específico, en este caso, en C. La DSP utilizada en este trabajo es fabricada por la empresa *Spectrum Digital* basada en la DSP de Texas Instrument TMS 320C6713 (Fig. A.1a).

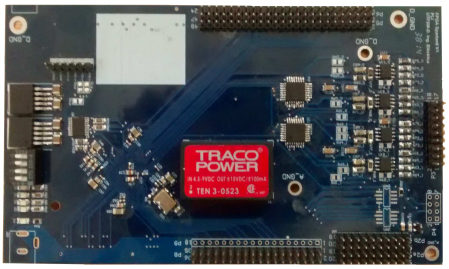
Por otra parte, la tarjeta FPGA (Fig. A.1b) complementa el trabajo de la DSP de modo que ambas tarjetas se comunican permitiendo a la DSP trabajar con periféricos; unidades de hardware que al realizar tareas requieren recursos del procesador ya que lo realizan de manera independiente y que a su vez puede ser controlable por la DSP.La FPGA utilizada en esta memoria es modelo Spartan-6.

En cuanto a la tarjeta HPI (*Host Processor Interfase*) a grandes rasgos permite obtener las variables internas del DSP mientras está trabajando. Esta tarjeta no fue requerida para el desarrollo de esta memoria.

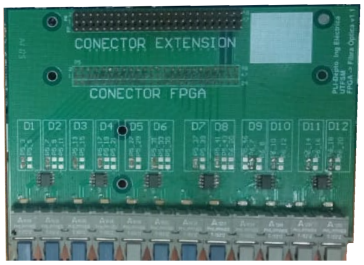
La Fig. A.1 contiene las tres tarjetas de la Plataforma utilizadas para este proyecto.



(a) Tarjeta DSP - TMS320C6713




(b) Tarjeta FPGA - Spartan-6




(c) Tarjeta emisora de fibra óptica

Figura A.1: Tarjetas utilizadas para la Plataforma DSP+FPGA.

### A.0.1. Timers

Con el fin de utilizar todos los periféricos de la FPGA para ser aplicados como control digital de convertidores es que se ha desarrollado un Firmware de manera modular. Los módulos del firmware utilizados para este proyecto son los siguientes:

1. Timer.
2. Divisor de Reloj.
3. Modulador PWM.

El Firmware cuenta con 5 Timers de 16-bits cada uno, se encargan de contar de manera cíclica según lo programado por el usuario. Pueden contar de manera ascendente, descendente y ascendente-descendente, su cuenta mínima es cero y la máxima es según lo especificado por el usuario (Fig. A.2).

Además, los Timers van contando según la unidad de la frecuencia de reloj base (CLK) los cuales son configurados mediante el Divisor de Reloj. Existe un reloj base que gobierna todos los relojes de la FPGA, es el oscilador externo OS2 el cual para este proyecto es de 200[MHz]. La frecuencia de los relojes de la FPGA puede ser descrita mediante la ec. (A.1):

$$F_{\mathtt{CLK_X}} = \frac{\mathtt{200[MHz]}}{\mathtt{DIV\_CLK}} \tag{A.1}$$

Para el proyecto se utilizan los primeros cuatro Timers, los cuales son configurados para ser implementados como las señales portadoras trifásicas que son comparadas con la señales de referencia trifásica (Fig. 3.5). La configuración se realiza de la siguiente manera:

- Todos los Timers están sincronizados al Timer0
- Timer0 es triangular ascendente
- Timer1 y Timer3 es igual a Timer0
- Timer2 tiene comienzo descendente

Al estar todos los Timers sincronizados a Timer0, basta con ajustar Timer0. La cuenta máxima de cada Timer se configura en la variable `TnC_MAX`, en particular, la cuenta máxima de Timer0 es la variable `C_MAX`. Las señales portadoras son de 5[KHz], por lo tanto, el Timer0 es configurado según la ec. (A.2):

$$F_{tri} = \frac{F_{\mathtt{CLK0}}}{2 \cdot \mathtt{C\_MAX}} \tag{A.2}$$

En donde la cuenta máxima es `C_MAX` = 2500, la frecuencia con la que opera el Timer0 es $F_{\mathtt{CLK0}}$= 25[MHz], con $\mathtt{DIV\_CLK}_0$ = 8. Obteniendo así la frecuencia de las señales portadoras: $F_{tri}$ = 5[KHz].

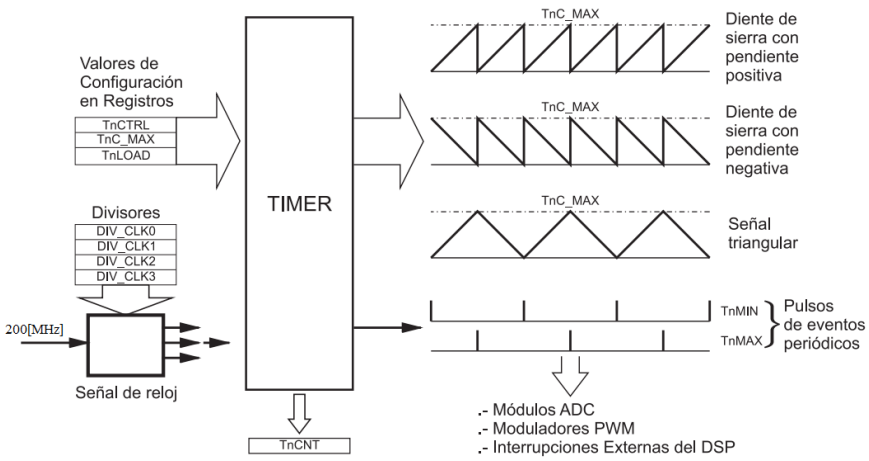



Figura A.2: Funcionamiento del módulo Timer [31].

El sistema de control de disparo PWM de los IGBT se hace mediante las señales resultantes entre los Timers (señal portadora) y la señal de referencia asociada (la variable en la FPGA es `TnCMPRx` en donde *n* es el Timer y *x* es la referencia, pudiendo utilizarse tres referencias por Timer). Una vez generada la señal `TnCMPRx` ésta se asigna a la salida de la FPGA como SPxTn que puede ser entendida como "Señal positiva para la referencia *x* en el Timer *n*". Éstas salidas están disponibles en los pines que posee la FPGA según la Fig. A.3, la señal se transmite como pulso lumínico a través de la fibra óptica mediante la tarjeta emisora de fibra óptica (Fig. A.1c) con el objetivo de aislar el sistema de control de los conmutadores con el sistema de potencia del inversor (Fig. 4.1).

Las salidas de la tarjeta de fibra óptica están adaptadas según los requerimientos que se tiene de acuerdo a la Tabla A.1. La tarjeta posee doce señales como máximo, es decir, para esta implementación se utiliza la totalidad de sus salidas.

El destino de la señal lumínica es ser la señal de entrada para la tarjeta de disparo (Fig. A.4) la cual a su vez convierte la entrada lumínica en tensión (±12[V]). Los pulsos de disparo son asignados a los IGBT en los terminales 4-5 y 6-7. Todas las señales desde la salida de la tarjeta FPGA hasta los pulsos de disparo de los IGBT están relacionadas de acuerdo a la Tabla A.1.

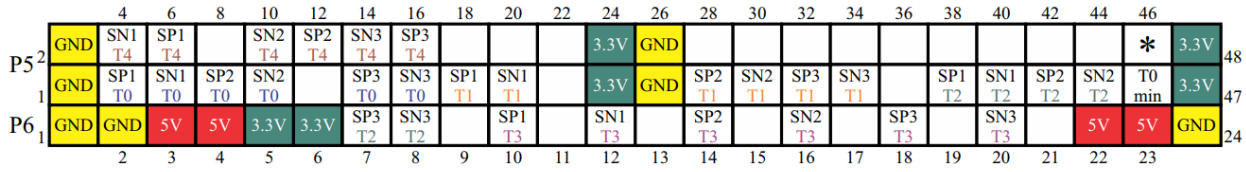



Figura A.3: Distribución de los pines de los moduladores PWM [31].

| Salida FO | Pin FPGA | Señal Timer | Switch | #Mod. IGBT | Term. 4-5 | Term. 6-7 |
|---|---|---|---|---|---|---|
| D1 | P5_3 | SP1T0 | S1a | 1 | D1 | $\overline{D1}$ |
| D2 | P5_7 | SP2T0 | S3a | 4 | D2 | $\overline{D2}$ |
| D3 | P5_13 | SP3T0 | S1b | 2 | D3 | $\overline{D3}$ |
| D4 | P5_17 | SP1T1 | S3b | 5 | D4 | $\overline{D4}$ |
| D5 | P5_27 | SP2T1 | S1c | 3 | D5 | $\overline{D5}$ |
| D6 | P5_31 | SP3T1 | S3c | 6 | D6 | $\overline{D6}$ |
| D7 | P5_37 | SP1T2 | S21a | 7 | D7 | $\overline{D10}$ |
| D8 | P5_41 | SP1T2 | S21b | 9 | D8 | $\overline{D11}$ |
| D9 | P6_7 | SP2T2 | S21c | 11 | D9 | $\overline{D12}$ |
| D10 | P6_10 | SP3T2 | S22a | 8 | D10 | $\overline{D7}$ |
| D11 | P6_14 | SP1T3 | S22b | 10 | D11 | $\overline{D8}$ |
| D12 | P6_18 | SP2T3 | S22c | 12 | D12 | $\overline{D9}$ |

Tabla A.1: Asignación de las señales de disparo para los conmutadores.

### A.0.2. Tarjetas de disparo

Las tarjetas de disparo[1] (Fig. A.4) se ensamblan en serie y se alimentan de $5[V_{DC}]$. Están provistas de optoacopladores los cuales transforman el pulso de luz en tensión, luego, esta señal es tratada por el circuito de la tarjeta obteniendo como salida dos señales por pulso: 12[V] y -12[V] las cuales construyen la onda cuadrada para el control de los IGBT. Además, cada tarjeta tiene una capacidad de convertir cuatro señales lumínicas en señales de tensión. Para esta memoria para cada tarjeta se trabaja con dos señales provenientes de la FPGA, y así, las otras dos señales restantes de la tarjeta son complementarias a éstas. Como resultado final se tienen seis tarjetas de disparo, generando doce señales positivas y otras doce complementarias en donde las señales positivas serán los pulsos de disparo en los terminales 4-5 de los módulos de IGBT y las complementarias los terminales 6-7 (Tabla A.1).

[1]Diseñadas por el profesor Pablo Lezana para el uso en LIAcE

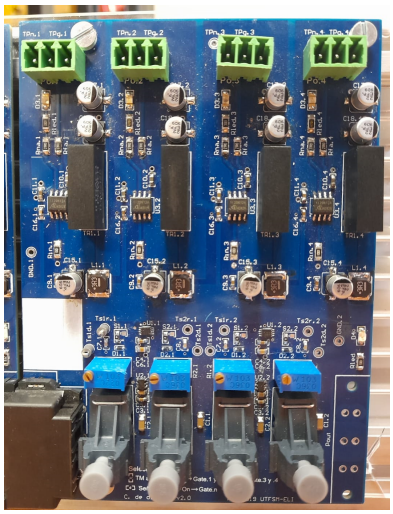


Figura A.4: Tarjeta de disparo.

# Anexo B

# Implementación en DSP

Los siguientes códigos son parte de la implementación de la modulación en el programa CCS-tudio3.1. Se presenta la parte esencial de cada código según su actuación en el tratamiento de las señales.

## B.1. Señales portadoras triangulares

El segmento de código presente en esta sección se utiliza para iniciar la DSP y originar las señales portadoras.

```
int main()
{

        DSK6713_init();  /* DSP initialization */
        CSR = 0x100;     /* Disable all interrupts*/
        IER = 2;         /* Disable all interrupts except NMI*/
        IER |= 0x0010;   /* Enables INT14  (timer 0 interrupt)*/
        ICR = 0xffff;    /* Clear all pending interrupts*/
        CSR |= 0x1;      /*global interrupt enable */

// Inicializacion de los registros de control en la FPGA
        LED_DSP_SET= LED_SET_2;
        DIV_CLK0=8;

//TIMER 0 - TRIANGULAR COMIENZO ASCENDENTE*/
        T0C_MAX = C_MAX;
        T0CTRL  = SEL_CLK_0 + E_INT + MODE_UP_DOWN  + SINC_T1 + SINC_T2 +
            SINC_T3 + SEL_INT_PER + SEL_INT_UND + SLOPE_INI;

//TIMER 1 - TRIANGULAR IGUAL A TIMER 0*/
        T1C_MAX = C_MAX;
```

```
21          T1CTRL  = SEL_CLK_0 + E_INT + MODE_UP_DOWN + SEL_INT_PER;
22
23  //TIMER 2 - TRIANGULAR COMIENZO DESCENDENTE*/
24          T2C_MAX=C_MAX;
25          T2LOAD= C_MAX;
26          T2CTRL= SEL_CLK_0 + MODE_UP_DOWN;
27
28  //TIMER 3 - TRIANGULAR COMIENZO ASCENDENTE*/
29          T3C_MAX=C_MAX;
30          T3LOAD=(int)(0);
31          T3CTRL= SEL_CLK_0 + E_INT + MODE_UP_DOWN + SEL_INT_PER;
```

## B.2. Min-Max

```
1   // Tensiones sinusoidales
2           va  = sina(t);
3           vb  = sinb(t);
4           vc  = sinc(t);
5
6   // Tension de secuencia cero
7           pmm = -0.5 * (maximo(va,vb,vc) + minimo(va,vb,vc));
8
9   // Inyeccion de secuencia cero
10          va1 = m* (va + pmm);
11          vb1 = m* (vb + pmm);
12          vc1 = m* (vc + pmm);
13
14  // Tensiones mayores o iguales a cero
15          va2 = va1 + -0.5* sgn(va1) + 0.5;
16          vb2 = vb1 + -0.5* sgn(vb1) + 0.5;
17          vc2 = vc1 + -0.5* sgn(vc1) + 0.5;
```

## B.3. THIPWM

```
// Tensiones sinusoidales
        va  = sina(aux_ang);
        vb  = sinb(aux_ang);
        vc  = sinc(aux_ang);

// Tercera armonica
        v3a = 1/6* sina(3* aux_ang);

// Inyeccion de secuencia cero
        va1 = m* (va + v3a);
        vb1 = m* (vb + v3a);
        vc1 = m* (vc + v3a);

// Tensiones mayores o iguales a cero
        va2 = va1 + -0.5* sgn(va1) + 0.5;
        vb2 = vb1 + -0.5* sgn(vb1) + 0.5;
        vc2 = vc1 + -0.5* sgn(vc1) + 0.5;
```