



UNIVERSIDAD TECNICA FEDERICO SANTA MARIA

Memoria de Título

Análisis de Sistemas de Recolección de Radio-Frecuencia Ambiental en Tecnología CMOS

Tesis para optar al grado/título de
**Licenciado en Ciencias de la Ingeniería Electrónica/Ingeniero Civil
Electrónico**

Alumno
Bastian Ignacio Veas Moyano

Guía de Tesis/Profesor Supervisor
Alejandro Weinstein

Revisores/Comisión Co-Referente
Christian Rojas
Jorge Marin

Enero 19, 2026, Valparaíso, Chile



CONSTANCIA DE VALIDACIÓN Y CONFIDENCIALIDAD DE MONOGRAFÍA A REPOSITORIO ACADÉMICO

1.- IDENTIFICACIÓN DEL TRABAJO ACADÉMICO

Tipo de monografía (marcar una opción): ☒ Memoria o trabajo de título ☐ Tesis de Postgrado

Título del trabajo: Análisis de Sistema de Recolección Radio-Frecuencia Ambiental en Tecnología CMOS

Nombre del candidato(a): Bastian Ignacio Vivas Moyano

Carrera / Grado: Ingeniería Civil Electrónica

Campus: Casa Central Departamento: Electrónica

2.- VALIDACIÓN DEL PROFESOR GUÍA/DIRECTOR DE TESIS

Yo, Alejandro Weinstein, en mi calidad de profesor(a) guía/director(a) del trabajo académico mencionado anteriormente **DEJO CONSTANCIA** que:

- He revisado esta versión del documento y corresponde a la versión final aprobada del trabajo.
- El trabajo cumple con los requisitos académicos y de formato establecidos por la institución.

3.- EVALUACIÓN DE CONFIDENCIALIDAD POR PROPIEDAD INDUSTRIAL (marcar una opción)

☒ El trabajo **NO contiene** información que amerite confidencialidad y puede ser publicado de inmediato en repositorio con acceso abierto.

☐ El trabajo **CONTIENE** información con potenciales implicancias de propiedad industrial o intelectual y requiere un período de confidencialidad (**embargo**) por (marcar una opción):

☐ 6 meses ☐ 12 meses ☐ 2 años ☐ 3 años ☐ 5 años ☐ 10 años

Fundamentación de la necesidad de confidencialidad (obligatorio si se solicita embargo):

4.- FIRMAS

Profesor(a) guía o director(a) de memoria o tesis:

Fecha: 31/7/2026

Firma:

A. Weinstein D.

Estudiante o Candidato(a):

Fecha: 28-07-2026

Firma:

Bb

Este formulario debe ser insertado como página 2 de la memoria o tesis, completado y firmado por estudiante y profesor(a) antes de la entrega en portal PRISMA de Biblioteca USM.

Magic that works
-Pieke Roelofs

A mi hermana,
pues es una de las personas que más amo en mi vida. Su cariño, apoyo y
compañía han sido un pilar fundamental en este camino, y le dedico con todo
mi corazón este logro académico.

AGRADECIMIENTOS

Agradecimientos

Quisiera expresar mi más sincero agradecimiento a todos los docentes que me acompañaron durante mi formación universitaria. Sus enseñanzas y dedicación han sido fundamentales en mi preparación académica, y los conocimientos adquiridos se presentan hoy como una valiosa herramienta para mi desarrollo profesional en el mundo actual.

Extiendo también mi gratitud a mi familia, quienes me brindaron un hogar lleno de apoyo, comprensión e incondicionalidad. Su respaldo constante fue esencial para superar cada desafío. Una mención especial merece mi hermana, una de las personas que más amo en mi vida, cuyo cariño y compañía han sido un pilar fundamental en este camino.

Agradezco igualmente a los amigos que hice en el transcurso de estos años, por mostrarse tal cual son y compartir conmigo sus cualidades. Cada uno de ellos ha dejado una huella en mi vida, aportando conocimientos, experiencias y actitudes que me han ayudado a crecer como persona y a enriquecer mi visión del mundo.

Asimismo, expreso mi reconocimiento al "Proyecto de Investigación ANID-FONDECYT de Iniciación N.º 112409", por valorar mi trabajo y considerarlo un aporte significativo. Su apoyo fue clave para facilitar el desarrollo de esta investigación y permitir que sus resultados puedan servir como referencia para futuros estudios.

Finalmente, agradezco a todas las personas que, de una u otra manera, contribuyeron a que este proyecto se hiciera realidad. Cada gesto de apoyo, cada palabra de aliento y cada enseñanza recibida han sido parte esencial de este logro.

Bastián Ignacio Veas Moyano

RESUMEN

EN las últimas décadas, la recolección de energía a partir de señales de radiofrecuencia se ha consolidado como una alternativa viable para la alimentación de sistemas electrónicos de ultra bajo consumo, tales como nodos sensores inalámbricos y dispositivos autónomos. En este contexto, los rectificadores CMOS de alta eficiencia juegan un rol fundamental en la conversión de la energía electromagnética incidente en energía eléctrica utilizable, especialmente bajo condiciones de baja densidad de potencia disponible.

En esta memoria se analiza el funcionamiento del transistor MOSFET en las regiones de operación relevantes para la rectificación RF, incluyendo la conducción directa, la operación en subumbral y la conducción inversa. Se estudian los efectos de modulación de longitud de canal, las capacitancias dependientes de tensión y los fenómenos dinámicos no cuasi-estáticos, los cuales influyen directamente en la corriente entregada por el rectificador y en su eficiencia de conversión.

Sobre esta base, se desarrolla un modelo analítico del rectificador diferencial tipo *Cross-Coupled Differential Drive* (CCDD), capaz de describir la evolución temporal del voltaje y la corriente de salida bajo excitación RF sinusoidal. El modelo incorpora explícitamente los efectos capacitivos y los mecanismos de bombeo de carga, permitiendo explicar la acumulación progresiva de tensión en el nodo de salida y su dependencia con la amplitud de la señal de entrada.

Finalmente, se evalúa el desempeño del rectificador frente a variaciones de parámetros tecnológicos y de diseño, considerando métricas como el voltaje de salida DC, la eficiencia de conversión de potencia (PCE). Los resultados obtenidos permiten identificar los principales compromisos de diseño y establecer criterios físicos claros para la optimización de rectificadores CMOS destinados a sistemas RF-EH de baja potencia.

Palabras Claves

Rectificador CCDD, RF Energy Harvesting, tecnología CMOS, eficiencia de conversión de potencia, rectificación RF.

ABSTRACT

IN recent decades, energy harvesting from radio-frequency signals has emerged as a viable alternative for powering ultra-low-power electronic systems, such as wireless sensor nodes and autonomous devices. In this context, high-efficiency CMOS rectifiers play a fundamental role in converting incident electromagnetic energy into usable electrical energy, particularly under conditions of low available power density.

This thesis analyzes the operation of the MOSFET transistor in the regions relevant to RF rectification, including forward conduction, subthreshold operation, and reverse conduction. The effects of channel length modulation, voltage-dependent capacitances, and non-quasi-static dynamic phenomena are studied, as they directly influence the current delivered by the rectifier and its power conversion efficiency.

Based on this analysis, an analytical model of the *Cross-Coupled Differential Drive* (CCDD) rectifier is developed, capable of describing the temporal evolution of the output voltage and current under sinusoidal RF excitation. The model explicitly incorporates capacitive effects and charge pumping mechanisms, enabling the explanation of the progressive voltage build-up at the output node and its dependence on the input signal amplitude.

Finally, the rectifier performance is evaluated under variations of technological and design parameters, considering metrics such as the DC output voltage and the power conversion efficiency (PCE). The obtained results allow the identification of the main design trade-offs and the establishment of clear physical criteria for the optimization of CMOS rectifiers intended for low-power RF-EH systems.

Keywords

CCDD rectifier, RF energy harvesting, CMOS technology, power conversion efficiency, RF rectification.

ÍNDICE

AGRADECIMIENTOS	I
RESUMEN	II
Resumen	II
ABSTRACT	III
Abstract	III
ÍNDICE DE FIGURAS	IX
ÍNDICE DE TABLAS	XI
ABREVIACIONES	XII
Abreviaciones	XII
SIMBOLOGÍA	XIV
Simbología	XIV
1. INTRODUCCIÓN	1
1.1. Avances en la tecnología de baja potencia	1
1.1.1. Tecnologías y aplicaciones habilitadas	2
1.1.2. Problemas con las baterías	3
1.2. Contexto Energético de Sistemas RF-EH	3
1.2.1. Fundamentos teóricos básicos para el análisis de potencia electro- magnética	4
1.2.2. Potencia disponible en distintos entornos	5
1.2.3. RF-EH frente a Otras Tecnologías de Energía	7

1.3. Perspectiva general	8
2. SISTEMAS RF-EH	10
2.1. Arquitectura y Principios de los Sistemas de Recolección de Energía por Radiofrecuencia	10
2.1.1. Módulos Principales	11
2.1.1.1. Antena	11
2.1.1.2. Red de Adaptación de Impedancia (IMN)	13
2.1.2. Rectificador	15
2.1.2.1. Parámetros de Desempeño	15
2.1.2.2. Topologías Base en CMOS RF-EH	16
2.1.2.3. Variaciones de Topologías en Rectificadores CMOS de Ultra Baja Potencia	17
2.1.2.4. Variaciones de Topologías en Rectificadores CMOS de Ultra Baja Potencia	18
2.1.3. Gestión de Energía (PM, Power Management)	22
3. EXPLORACIÓN DEL FUNCIONAMIENTO DE LOS TRANSISTORES CMOS	24
3.1. Zonas de operación del transistor CMOS NMOS	24
3.1.1. Región de corte e inversión débil	24
3.1.1.1. Capacitancias en subumbral	25
3.1.2. Región de inversión fuerte lineal	26
3.1.2.1. Capacitancias en Triode	26
3.1.3. Región de saturación y fenómeno de <i>pinch-off</i>	27
3.1.3.1. Origen físico y cálculo del parámetro λ	27
3.1.3.2. Capacitancias en saturación	28
3.2. Consideraciones en el Comportamiento de los CMOS	29
3.2.1. Extensión del modelo NMOS a PMOS	29
3.2.2. Efectos en la corriente debidos a las capacitancias parásitas	29
3.2.2.1. Relación con los voltajes V_{GS} y V_{GD}	30
3.3. Formulación continua del modelo eléctrico	31
3.4. Parámetros físicos y su relación con el modelo compacto PSP	33
3.4.1. Óxido de compuerta y capacitancia	33
3.4.2. Permisividad del silicio y dopaje efectivo	34
3.4.3. Voltaje umbral y efectos de segundo orden	34
3.4.4. Comparación entre modelo y simulación	36
3.5. Clasificación extendida de las regiones de operación en NMOS y PMOS	37
3.5.1. Secciones de Comportamientos de transistores CMOS	37

3.5.1.1.	VS — Saturación por velocidad	37
3.5.1.2.	SAT — Saturación	38
3.5.1.3.	SI — Inversión fuerte lineal	38
3.5.1.4.	WI — Inversión débil	38
3.5.1.5.	OFF — Apagado	38
3.5.1.6.	SL — Inversión fuerte inversa	38
3.5.1.7.	WE — Inversión débil exponencial inversa	39
3.5.1.8.	RUP — Ruptura	39
3.5.1.9.	CE — Cero exponencial	39
3.5.2.	Visualización de las zonas de operación	39
3.5.3.	Efectos Dinámicos del Transistor en Grandes Dimensiones	40
3.5.3.1.	Efecto del circuito RC de compuerta	40
3.5.3.2.	Efecto del retardo del canal	42
4.	ANÁLISIS DEL RECTIFICADOR CCDD	44
4.1.	Análisis Matemático del Rectificador CCDD	46
4.1.1.	Relación entre la señal RF y las tensiones de compuerta	46
4.1.2.	Modelo general de corrientes en los transistores	47
4.1.3.	Corriente de salida y elementos pasivos	47
4.1.4.	Aplicación de la Ley de Corrientes de Kirchhoff (LCK)	47
4.1.5.	Aplicación de la Ley de Voltajes de Kirchhoff (LVK)	48
4.1.6.	Simplificación del sistema	48
4.2.	Modelamiento del Rectificador CCDD	50
4.2.1.	Regiones de operación relevantes	50
4.2.2.	Modelo de corriente del transistor MOS en el rectificador CCDD	52
4.2.2.1.	Fuga en régimen de corte	53
4.2.2.2.	Descarga del nodo de salida por conducción inversa	54
4.2.2.3.	Corriente capacitiva	55
4.2.2.4.	Efecto dinámico de I_{pump} durante el ciclo RF	56
4.2.2.5.	Influencia del largo de canal L	57
4.2.2.6.	Influencia del ancho de canal W	58
4.2.2.7.	Influencia de la multiplicidad m	59
4.2.2.8.	Corriente total y ecuación dinámica del nodo	60
4.2.3.	Comparación del Modelo Propuesto con el Modelo PSP 130.1	61
4.3.	Criterios físicos y dinámicos de diseño para maximizar la transferencia de potencia	62
4.3.0.1.	Estructura temporal del ciclo RF	62
4.3.0.2.	Interpretación física para la optimización	63
4.3.0.3.	Condición global de transferencia neta de potencia	64

4.3.0.4. Implicancias para la optimización geométrica	64
4.4. Exploración paramétrica de los parámetros geométricos	64
4.4.1. Metodología de simulación	65
4.4.2. Rango de parámetros explorados	65
4.4.3. Resultados de la Exploración de las Dimensiones del Rectificador CCDD	66
4.4.4. Características geométricas y tendencias dominantes en los mejores	
20 casos	66
4.4.4.1. Rol dominante del largo de canal L	67
4.4.4.2. Compromiso entre ancho W y capacitancias parásitas . . .	68
4.4.4.3. Multiplicidad como estrategia de escalado eficiente . . .	68
4.4.4.4. Relación con la corriente de fuga y el límite del PDR . .	69
4.4.4.5. Coherencia con los resultados simulados	70
4.5. Múltiples Etapas	71
4.5.1. Capacitancias relevantes en rectificadores CCDD multinivel . . .	72
4.5.1.1. Capacitancias con transistores apagados	72
4.5.1.2. Capacitancias en región triodo	72
4.5.1.3. Capacitancia equivalente vista desde la entrada RF . .	73
4.5.1.4. Valor efectivo del capacitor de acople C_s	75
4.5.2. Efecto de múltiples etapas sobre PCE y voltaje de salida	76
4.5.3. Criterio de selección del número de etapas	77
4.6. Adaptación de carga y operación en rango dinámico amplio	78
4.6.1. Implicancias del valor de la resistencia de carga en sistemas con gestión	
de energía	81
5. CONCLUSIONES	83
5.1. Resumen de los Resultados Finales	83
5.1.1. Resultados del Análisis Paramétrico	83
5.1.2. Comparación con el Estado del Arte	84
5.2. Análisis Deficiente como Base para la Optimización	85
5.3. Trabajo Futuro	85
BIBLIOGRAFÍA	86
A. SIMULACIONES	89
A.1. Exploracion NMOS DC	89
A.2. Exploracion PMOS DC	91
A.3. Exploracion NMOS TRAN	93
A.4. Código Simulador de Rectificador CCDD de múltiples etapas.	96
A.5. Archivo Spice del Rectificador CCDD Multiple Simulado	102

B. CODIGOS DE MATLAB	110
B.1. Modelamiento Cuasi-Estatico del NMOS.	110
B.2. Exploracion NMOS DC	117
B.3. Exploración NMOS Tran	125
B.4. Modelamiento del Rectificador CCDD	135
B.5. Código Extracción de Datos de Simulación	146

Índice de figuras

2.1. Diagrama de estructura básica de un Sistema RF-EH.	11
2.2. Circuito Equivalente de la Antena, el IMN y el Rectificador.	13
2.3. Análisis de rectificador CCDD, considerando variaciones en el dimensionamiento de los CMOS y la carga resistiva.	18
2.4. Análisis de rectificador Dickson, considerando variaciones en el dimensionamiento de los CMOS y la carga resistiva.	19
2.5. Rectificador propuesto tal cual presentado por [16]	20
2.6. Esquma simbolico del circuito dual channel como presentado en [17]	20
2.7. Rectificador de polarización de Puerta y base, directo de [19]	21
2.8. Rectificador Reconfigurable como visto en [22].	21
2.9. Rectificador usando Bootstrap circuito, tal cual [23].	22
3.1. Capacitancias parasitas del NMOS.	30
3.2. Capacitancias parasitas del PMOS.	30
3.3. Comparación del modelo matemático propuesto (sin simetría) y los resultados de las simulaciones del modelo PSP 103.1, operacion DC.	37
3.4. Superficie $I_D = f(V_{DS}, V_{GS})$ con representación de las zonas de operación.	40
3.5. Esquema circuital de la Puerta de un CMOS.	40
3.6. Comparación entre la respuesta DC y la dinámica transitoria en el plano I_D-V_{DS} bajo excitación senoidal $V_{GS} = V_{DS} = \sin(2\pi f_0 t) [V]$	42
4.1. Esquema circuital del rectificador CCDD.	46
4.2. Visualización de Operación CCDD.	49
4.3. Distribución del voltaje de puerta en el tiempo y espacio, como presentado en [25]	58
4.4. Comparación Modelo Propuesto con Simulación.	61
4.5. Exploración Dimensiones de Rectificador CCDD.	66
4.6. Comparación de resultados para los primeros 4 pares en distintas métricas.	70

4.7. Esquema de Múltiples Etapas para Rectificador CCDD, como presentado en [26].	71
4.8. Modelo de Impedancia del Rectificador CCDD, extraído de [26].	73
4.9. Comparación de resultados MULT: PCE vs Pin	77
4.10. Comparación de resultados MULT: Vout vs Pin	77
4.11. Comparación de resultados MULT: Vout/VRFmax vs Pin	78
4.12. PCE en función de la potencia de entrada para distintos valores de carga en el rectificador CCDD multinivel.	79
4.13. Corrimiento del punto de máxima eficiencia en función de la resistencia de carga.	80
4.14. Voltaje de salida en función de la potencia de entrada para distintos valores de carga para CCDD de dos etapas.	80
4.15. Voltaje de salida en función de la carga para distintos niveles de potencia de entrada.	81
4.16. Eficiencia de conversión de potencia maxima en función de la carga.	81

Índice de tablas

1.1. Requerimientos de tensión y potencia de dispositivos de bajo consumo . . .	2
1.2. Densidad de potencia y niveles en dBm reportados en distintos escenarios urbanos y suburbanos.	6
1.3. Comparación de tecnologías de recolección de energía ambiental. . . .	8
3.1. Parámetros utilizados para la comparación entre el modelo continuo y el modelo PSP.	36
4.1. Rango de parámetros geométricos explorados	66
4.2. Resultados de exploración de dimensiones	67
4.3. Resultados de exploración de dimensiones de simulacion fina.	71
5.1. Resultados paramétricos del rectificador CCDD en tecnología CMOS de 130 nm	84
5.2. Comparación transpuesta de rectificadores RF en distintas tecnologías . .	84

ABREVIACIONES

Mayúsculas

ABB	: Adaptive Body Biasing
AC	: Corriente Alterna (Alternating Current)
AFE	: Front-End Analógico (Analog Front-End)
BB	: Polarización de Cuerpo (Body Biasing)
BJT	: Transistor Bipolar de Unión (Bipolar Junction Transistor)
CCDD	: Rectificador Cruzado Acoplado (Cross-Coupled Differential Drive)
CMOS	: Semiconductor Complementario Metal-Óxido (Complementary Metal-Oxide Semiconductor)
CP	: Bombeo Capacitivo (Capacitive Pumping)
DBB	: Dual-Body Biasing
DC	: Corriente Continua (Direct Current)
DC-DC	: Convertidor de Corriente Continua a Corriente Continua
EH	: Recolección de Energía (Energy Harvesting)
EHIC	: Circuito Integrado de Recolección de Energía (Energy Harvesting IC)
EM	: Electromigración (Electromigration)
FFT	: Transformada Rápida de Fourier (Fast Fourier Transform)
IMN	: Red de Adaptación de Impedancia (Impedance Matching Network)
IoE	: Internet of Everything
IoT	: Internet of Things
IV	: Corriente-Voltaje (Current-Voltage)
LDO	: Regulador de Bajo Dropout (Low Drop-Out Regulator)
MOS	: Metal-Óxido-Semiconductor
MOSFET	: Transistor de Efecto de Campo MOS
MPPT	: Seguimiento del Punto de Máxima Potencia (Maximum Power Point Tracking)
NMOS	: Transistor MOS de Canal N
NQS	: Régimen No Cuasi-Estático (Non-Quasi-Static)
PAE	: Eficiencia de Potencia Agregada (Power Added Efficiency)
PCE	: Eficiencia de Conversión de Potencia (Power Conversion Efficiency)

PDR	: Rango Dinámico de Potencia (Power Dynamic Range)
PMOS	: Transistor MOS de Canal P
PSP	: Modelo de Superficie Potencial (Penn State–Philips Model)
RF	: Radiofrecuencia (Radio Frequency)
RF–EH	: Recolección de Energía por RF (Radio Frequency Energy Harvesting)
RFIC	: Circuito Integrado de Radiofrecuencia
RFID	: Identificación por Radiofrecuencia (Radio Frequency Identification)
RDR	: Rectificador Dependiente de Resistencia (Resistive Dependent Rectifier)
SoC	: Sistema en un Chip (System on Chip)
SBB	: Self-Body Biasing
TCAD	: Diseño Asistido por Computador de Tecnología (Technology CAD)
WPT	: Transferencia Inalámbrica de Potencia (Wireless Power Transfer)

Minúsculas

ac	: alternating current
dc	: direct current
eff	: effective (efectivo)
eq	: ecuación (equation)
i/o	: entrada/salida (input/output)
nqs	: non-quasi-static
qs	: quasi-static
rf	: radio frequency

SIMBOLOGÍA

Vectores

$\vec{E}(t, \vec{r})$	: campo eléctrico dependiente del tiempo y la posición
$\vec{H}(t, \vec{r})$	: campo magnético dependiente del tiempo y la posición
$\vec{S}_{\text{avg}}(t, \vec{r})$	: densidad de potencia media (vector de Poynting promedio)
$\vec{r}$	: vector de posición espacial

Magnitudes electromagnéticas escalares

S_{avg}	: módulo de la densidad de potencia media
$ \vec{E} $	: magnitud del campo eléctrico
η	: impedancia característica del medio
f	: frecuencia de la onda electromagnética
λ	: longitud de onda
v_e	: velocidad de propagación de la onda electromagnética en el medio
c	: velocidad de la luz en el vacío

Parámetros de antena

$A_{\text{eff}}(\theta, \phi)$	: área efectiva de la antena
$G(\theta, \phi)$	: ganancia direccional de la antena
θ, ϕ	: ángulos esféricos de incidencia

Potencias

P_{abs}	: potencia absorbida por la antena
P	: potencia expresada en vatios
$P(\text{dBm})$	: potencia expresada en decibelios-milivatios

Parámetros del dispositivo

V_{th}	: tensión umbral del transistor
V_T	: tensión térmica
g_m	: transconductancia
r_o	: resistencia de salida
λ	: parámetro de modulación de longitud de canal
L	: longitud geométrica del canal
L_{eff}	: longitud efectiva del canal
W	: ancho del canal
x_d	: extensión de la región de depleción del drenaje
n	: factor de idealidad en subumbral

Capacitancias

C_{gs}	: capacitancia compuerta–fuente
C_{gd}	: capacitancia compuerta–drenaje
C_{gb}	: capacitancia compuerta–cuerpo
C_{eff}	: capacitancia efectiva

Subíndices

avg	: valor promedio temporal
RF	: magnitud asociada a radiofrecuencia
out	: salida del rectificador
eff	: valor efectivo
D	: drenaje
G	: compuerta
S	: fuente
B	: cuerpo

Superíndices

*	: conjugado complejo
DC	: componente continua
RF	: componente alterna de radiofrecuencia
Δ	: variación incremental
$\sim$	: valor promedio
$\wedge$	: valor estimado o modelado

INTRODUCCIÓN

En este capítulo se exponen las principales razones que justifican el desarrollo de sistemas de recolección de energía de radiofrecuencia (RF-EH, *Radio Frequency Energy Harvesting*). La exposición se organiza en torno a tres ejes: los avances en tecnologías de ultra bajo consumo, las nuevas aplicaciones que dichos avances hacen posibles y las limitaciones derivadas del uso extendido de baterías como fuente de energía primaria. Además, se presentan los fundamentos teóricos necesarios para cuantificar la potencia disponible en el entorno y su relación con parámetros de antenas, junto con una revisión de los niveles de energía medidos en distintos escenarios urbanos y rurales. En base a ello, se discuten los rangos prácticos en los que la RF-EH puede resultar viable, ilustrando con ejemplos de dispositivos de ultra bajo consumo capaces de operar bajo estas condiciones. Finalmente, se compara esta tecnología con otras formas de energy harvesting (EH), resaltando tanto sus ventajas como sus limitaciones, con el fin de situar su verdadero potencial en el diseño de sistemas autónomos de próxima generación.

1.1. Avances en la tecnología de baja potencia

El avance de dispositivos de ultra bajo consumo ha abierto la posibilidad real de emplear fuentes de energía ambiental como alternativa principal de alimentación. Actualmente, no solo sensores biomédicos y portátiles como marcapasos, implantes cocleares o relojes inteligentes pueden operar en el rango de los microvatios, sino también sensores comerciales de propósito general (Si1102, BME280, HDC1080) y módulos digitales como detectores de voltaje o microcontroladores optimizados (STM1061, STM8AL3L4x), todos resumidos en la Tab. 1.1. Esta diversidad de componentes demuestra que es factible diseñar sistemas completos con consumos muy reducidos, capaces de funcionar mediante técnicas de energy

harvesting.

No obstante, el uso de estos dispositivos debe evaluarse cuidadosamente, ya que su desempeño depende de condiciones de operación específicas y requiere estudios de consumo energético. Aun así, esta reducción significativa en los requerimientos energéticos permite que fuentes antes consideradas insuficientes, como la recolección de energía electromagnética ambiental, se conviertan en opciones factibles para alimentar sistemas autónomos.

Tabla 1.1: Requerimientos de tensión y potencia de dispositivos de bajo consumo

Dispositivo / Módulo	Voltaje Requerido [V]	Potencia [μ W]	Potencia [dBm]
Sensor de Temperatura [1]	2–3.3	400	-3.98
Sensor de Humo [1]	3.3–12	1000	0
Sensor de Glucosa [1]	3.3–5.5	3	-25.23
Marcapasos [1]	2–5.5	1–10	-30 – -20
Implante Coclear [1]	1.5–5.5	100–10,000	–
Reloj Inteligente [1]	1.5–3.3	1	-30
Si1102 (IR / Proximidad)	2.1–3.6	33	-14.8
BME280 (Temp./Hum./Presión)	1.71–3.6	12	-19.2
HDC1080 (Humedad/Temp.)	2.7–5.5	4.3	-23.7
STM1061 (Detector de Voltaje)	1.6–5.5	5.3	-22.8
STM8AL3L4x (MCU)	1.8–3.6	3–500	-25.2 – -3

1.1.1. Tecnologías y aplicaciones habilitadas

La disponibilidad de dispositivos de bajo consumo ha impulsado el desarrollo de nuevas aplicaciones en áreas emergentes. Entre ellas destacan soluciones basadas en el Internet de las Cosas (IoT, *Internet of Things*), tales como *smart health*, *smart homes*, Vehicular Ad Hoc Networks (VANETs), sistemas de monitoreo inteligente y localización [2]. Asimismo, los dispositivos médicos portátiles e implantables representan un campo de gran interés, ya que requieren autonomía energética sin depender de recargas frecuentes o intervenciones humanas. La viabilidad de estas aplicaciones depende de que la energía esté disponible sin conexión directa a la red eléctrica y, en ocasiones, de manera continua. Nuevas tendencias como el uso de *Fuentes RF Dedicadas* [2] permiten que un transmisor energice dispositivos dentro de su entorno. Esta técnica resulta especialmente útil en aplicaciones de potencia media, ya que maneja niveles de energía considerablemente mayores que los presentes en la recolección pasiva, donde únicamente se aprovechan los residuos de las ondas electromagnéticas generadas por sistemas de comunicación inalámbrica.

No obstante, el uso de radiación electromagnética presenta riesgos, lo que hace fundamental considerar sus efectos sobre las personas. Por ejemplo, en aplicaciones clínicas, la exposición a radiaciones de alta frecuencia y elevada intensidad puede generar efectos

adversos en los tejidos corporales [3]. En entornos urbanos de acceso público, la normativa chilena establece límites estrictos: según el *Decreto N° 5* [4], la densidad de potencia emitida por compañías de telecomunicaciones debe mantenerse por debajo del rango de 5.8–10 $\mu W/cm^2$. Esto regula la radiación disponible en el ambiente y varía según la ubicación. En zonas privadas, donde se permite un uso menos restrictivo de la radiación, aplican normas adicionales relacionadas con cercado y medidas de precaución en caso de niveles elevados.

1.1.2. Problemas con las baterías

El crecimiento acelerado de los dispositivos electrónicos portátiles y autónomos ha generado una fuerte dependencia del uso de baterías como fuente principal de energía. Sin embargo, su utilización presenta múltiples limitaciones, tales como vida útil restringida, volumen considerable y problemas de contaminación ambiental [5].

En aplicaciones concretas como sensores distribuidos en ambientes industriales, sistemas instalados en lugares de difícil acceso o dispositivos médicos implantables, el reemplazo o la recarga de baterías resulta complejo o incluso inviable. En estos casos, el recambio periódico no solo implica elevados costos de mantenimiento y acumulación de desechos, sino que además puede comprometer la continuidad operativa del sistema o, en aplicaciones médicas, la seguridad del paciente.

Diversas alternativas se han propuesto para mitigar estas limitaciones. Entre ellas destacan los esquemas híbridos, donde la batería funciona únicamente como respaldo mientras la energía principal proviene de fuentes ambientales. Otra opción corresponde a la técnica de trickle charge, que permite la recarga lenta y continua de baterías a lo largo del tiempo [6], o incluso su almacenamiento hasta reunir suficiente energía para operar. Asimismo, se ha considerado el reemplazo de baterías por supercondensadores, capaces de soportar mayor número de ciclos de carga y descarga.

1.2. Contexto Energético de Sistemas RF-EH

La comunicación inalámbrica moderna se basa en la transmisión y recepción continua de señales electromagnéticas en múltiples bandas de frecuencia. Sin embargo, una parte significativa de la energía irradiada no es utilizada por los sistemas de comunicación y termina disipándose en el ambiente como ruido electromagnético. El aprovechamiento de esta energía residual ha motivado el desarrollo de técnicas RF-EH, cuyo propósito es capturarla y convertirla en energía utilizable. Esto permite alimentar dispositivos de bajo consumo, especialmente en aplicaciones donde el uso de baterías es ineficiente o inviable.

1.2.1. Fundamentos teóricos básicos para el análisis de potencia electromagnética

El análisis de la potencia electromagnética disponible en el entorno se basa en conceptos fundamentales de la propagación de ondas electromagnéticas y su interacción con las antenas receptoras. A continuación, se presentan las expresiones esenciales que permiten relacionar los campos electromagnéticos con la potencia que puede ser recolectada del ambiente.

Densidad de potencia media

La densidad de potencia media en un punto del espacio se define como el valor promedio temporal del vector de Poynting, el cual describe el flujo de energía electromagnética por unidad de área:

$$\vec{S}_{\text{avg}}(t, \vec{r}) = \left\langle \vec{E}(t, \vec{r}) \times \vec{H}(t, \vec{r}) \right\rangle [\text{W/m}^2] \quad (1.1)$$

donde $\vec{S}_{\text{avg}}$ es la densidad de potencia $[\text{W/m}^2]$, $\vec{E}(t, \vec{r})$ el campo eléctrico $[\text{V/m}]$ y $\vec{H}(t, \vec{r})$ el campo magnético $[\text{A/m}]$. El vector de posición $\vec{r}$ se expresa típicamente en coordenadas esféricas, cuyo origen coincide con el centro de la antena transmisora. En el caso de campo lejano, donde la relación entre $\vec{E}$ y $\vec{H}$ se mantiene constante, la expresión se simplifica a:

$$S_{\text{avg}}(\vec{r}) = \frac{1}{2} \text{Re} \left\{ \vec{E} \cdot \vec{H}^* \right\} = \frac{|\vec{E}|^2}{2\eta} [\text{W/m}^2] \quad (1.2)$$

donde η representa la impedancia característica del medio (en aire libre, $\eta_0 \approx 377 \Omega$).

Área efectiva de una antena

El área efectiva A_{eff} de una antena mide su capacidad para captar energía de una onda incidente proveniente de una dirección determinada. Se define como:

$$A_{\text{eff}}(\theta, \phi) = \frac{\lambda^2}{4\pi} G(\theta, \phi) [\text{m}^2] \quad (1.3)$$

donde λ es la longitud de onda $[\text{m}]$ y $G(\theta, \phi)$ la ganancia direccional de la antena en la dirección (θ, ϕ) . La longitud de onda se relaciona con la frecuencia mediante:

$$\lambda = \frac{v_e}{f} [\text{m}] \quad (1.4)$$

siendo v_e la velocidad de propagación de la onda electromagnética en el medio, que para propagación en aire puede aproximarse a la velocidad de la luz $c \approx 2,998 \times 10^8 [\text{m/s}]$.

Relación entre potencia absorbida y área efectiva de la antena

La potencia total absorbida por una antena expuesta a una distribución de densidad de potencia puede expresarse como:

$$P_{\text{abs}} = \int_0^{2\pi} \int_0^\pi S_{\text{avg}}(\theta, \phi) A_{\text{eff}}(\theta, \phi) \cos(\theta) \sin(\theta) d\theta d\phi \quad (1.5)$$

donde $S_{\text{avg}}(\theta, \phi)$ es la densidad de potencia incidente, $A_{\text{eff}}(\theta, \phi)$ el área efectiva, $\cos(\theta)$ la proyección del área sobre la dirección de llegada, y $\sin(\theta) d\theta d\phi$ el elemento de área en coordenadas esféricas.

En el caso ideal en que la densidad de potencia es uniforme y la antena se encuentra perfectamente orientada hacia la fuente emisora, la expresión se simplifica a:

$$P_{\text{abs}} = S_{\text{avg}} \cdot A_{\text{eff}} \quad (1.6)$$

donde P_{abs} es la potencia absorbida [W], S_{avg} la densidad de potencia incidente [W/m^2] y A_{eff} el área efectiva [m^2]. Esta forma simplificada es útil cuando se desea estimar rápidamente la potencia captada a partir de una densidad de campo conocida.

Conversión de potencia a dBm

En sistemas de energía de radiofrecuencia, es común expresar la potencia en decibelios-milivatios [dBm], según la relación:

$$P(\text{dBm}) = 10 \cdot \log_{10} \left(\frac{P}{1 \text{ mW}} \right) \quad (1.7)$$

Esta representación permite comparar fácilmente niveles de potencia en un rango dinámico amplio.

Aplicación

Las expresiones anteriores permiten estandarizar los datos experimentales y comparar resultados obtenidos en diferentes entornos o configuraciones de antenas. En este trabajo, dichas relaciones se emplean para unificar los resultados de mediciones reportadas en la literatura, así como para realizar comparaciones consistentes entre escenarios urbanos, suburbanos y rurales. Cuando solo se dispone de valores de potencia en dBm, se considera un área efectiva estándar de $A_{\text{eff}} = 25 \text{ cm}^2$, lo que permite comparar de forma uniforme los resultados provenientes de distintos estudios.

1.2.2. Potencia disponible en distintos entornos

La potencia electromagnética disponible varía significativamente según la ubicación y el tipo de entorno. En áreas urbanas, donde confluyen múltiples fuentes de comunicación (telefonía móvil, Wi-Fi, estaciones de radio y televisión), los niveles medios suelen ser mayores que en zonas rurales, donde la densidad espectral es limitada [2].

Por ejemplo, GSM900 y GSM1800 pueden seleccionarse por su elevada densidad de potencia en comparación con otros protocolos de comunicación para aplicaciones de Internet de Todo (IoE) en zonas urbanas o suburbanas, como agricultura inteligente o estaciones de metro, donde la recolección de energía solar es limitada y puede coexistir con métodos de recolección piezoeléctrica. En cambio, UMTS y Wi-Fi resultan más adecuados para aplicaciones urbanas, tanto en interiores como exteriores, como hogares inteligentes o sensores cercanos a antenas de comunicación, dependiendo de la disponibilidad y confiabilidad de la densidad de potencia de radiofrecuencia [7].

La Tabla 1.2 resume estudios recientes sobre densidad de potencia en distintos entornos como estaciones de metro en Londres, centros comerciales y zonas residenciales en China, y áreas urbanas y suburbanas en Malasia, expresados en nanovatios por centímetro cuadrado [nW/cm^2], junto con los niveles de potencia disponibles en decibelios-milivatios [dBm].

Tabla 1.2: Densidad de potencia y niveles en dBm reportados en distintos escenarios urbanos y suburbanos.

Lugar	Protocolo	Frecuencia [MHz]	Promedio [nW/cm^2]	Promedio [dBm]	Pico [nW/cm^2]	Pico [dBm]
London Underground Station [8]	Digital TV	470–610	0.89	-46.5	460	-19.4
	GSM900	800–915	36	-30.5	1930	-13.2
	GSM1800	1805–1880	84	-26.8	6390	-7.9
	WiFi	2400–2500	0.18	-53.5	6	-39.0
Shunde Shopping Center, China [9]	CDMA	810–870	0.294	-51.3	0.3	-51.2
	GSM900	935–966	0.023	-62.4	0.073	-57.4
	GSM1800	1805–1850	0.013	-64.9	0.0131	-64.8
	CDMA	2110–2150	≈ 0	$\approx -\infty$	≈ 0	$\approx -\infty$
	TD-LTE/WiFi	2320–2575	≈ 0	$\approx -\infty$	≈ 0	$\approx -\infty$
Zona Residencial, China [9]	CDMA	810–870	0.8	-47.0	2.0	-43.0
	GSM900	935–966	≈ 0	$\approx -\infty$	≈ 0	$\approx -\infty$
	GSM1800	1805–1850	0.067	-64.9	0.533	-64.8
	CDMA	2110–2150	≈ 0	$\approx -\infty$	≈ 0	$\approx -\infty$
	TD-LTE/WiFi	2320–2575	≈ 0	$\approx -\infty$	≈ 0	$\approx -\infty$
Penang, Malasia (Urbano) [10]	GSM900	928–957	66.3	-26.7	6871.6	-7.65
	GSM1800	1710–1880	265.3	-21.8	7430	-7.3
	UMTS	1920–2200	596.8	-18.3	1148	-15.4
	WiFi	2400–2500	–	-24.8	–	-15.6
Kedah y Perlis, Malasia (Suburbano) [10]	GSM900	880–960	–	-34.9	–	-22.7
	GSM1800	1710–1880	–	-45.5	–	-27.6
	UMTS	1920–2200	–	-43.3	–	-29.1
	WiFi	2400–2500	–	-43.2	–	-29.9

Como se observa, el rango de potencia disponible en la práctica se encuentra típicamente entre -40 dBm y -10 dBm , lo que corresponde a niveles muy bajos de energía. Aun así, la combinación de dispositivos de ultra bajo consumo y rectificadores de alta eficiencia permite aprovechar esta energía para alimentar sensores y sistemas de comunicación de pequeña escala.

1.2.3. RF-EH frente a Otras Tecnologías de Energía

Existen fuertes limitaciones con las tecnologías de RF-EH en comparación con tecnologías como la solar, térmica o basada en vibraciones (piezoeléctricas). Su principal desventaja radica en la baja densidad de potencia disponible en el ambiente. En el caso de la RF-EH, valores típicos de densidad de potencia ambiente son del orden de $0.1\text{--}7\ \mu\text{W}/\text{cm}^2$ en entornos urbanos, muy por debajo de otras fuentes de energía ambiental [11, 12]. En contraste, la energía solar puede alcanzar densidades de hasta $100\ \text{mW}/\text{cm}^2$ ($\approx 10000\ \mu\text{W}/\text{cm}^2$) bajo luz solar directa al aire libre, mientras que bajo iluminación interior (p. ej., cerca de ventanas o con luz artificial fuerte) puede caer por debajo de $100\ \mu\text{W}/\text{cm}^2$, e incluso $0.5\ \mu\text{W}/\text{cm}^2$ en condiciones de muy escasa iluminación, perdiendo además su capacidad de funcionamiento continuo en zonas de baja iluminación [13, 14].

Sin embargo, la RF-EH ofrece una ventaja significativa en términos de eficiencia de conversión cuando se utilizan diseños de rectenas y convertidores RF-DC bien optimizados, alcanzando valores del orden de 50–75 % en algunos casos de bajo nivel de potencia incidente [15]. En comparación, la conversión fotovoltaica típica bajo condiciones ideales de iluminación solar se sitúa en torno al 15–25 % para tecnologías comerciales [11].

Además, la RF-EH mantiene como fortaleza su disponibilidad continua e independiente de las condiciones ambientales (siempre que existan señales RF presentes), mientras que la energía solar depende de la presencia de luz y las fuentes térmicas o de vibraciones dependen de gradientes térmicos o movimientos mecánicos del entorno.

En la Tab. 1.3 se presenta una comparación de las densidades de potencia de las distintas tecnologías de recolección energética.

Tabla 1.3: Comparación de tecnologías de recolección de energía ambiental.

Tecnología	Densidad típica	Ventajas	Limitaciones	Eficiencia
Solar	10000 $\mu\text{W}/\text{cm}^2$ (exterior) [11] < 100 $\mu\text{W}/\text{cm}^2$ (indoor) [13] < 0.5 $\mu\text{W}/\text{cm}^2$ (oscuridad) [14]	Alta densidad Tecnología madura	Dependiente de la luz No viable sin iluminación	15–25 % [11]
Térmica (Seebeck)	10–100 $\mu\text{W}/\text{cm}^2$ [12]	Operación continua con ΔT estable	Bajo voltaje generado Eficiencia limitada	5–10 % [12]
Mecánica (vibraciones)	4–100 $\mu\text{W}/\text{cm}^2$ [12]	Disponible con movimiento industrial/móvil	Depende del entorno Desgaste mecánico	20–30 % [12]
RF-EH	0.1–1 $\mu\text{W}/\text{cm}^2$ (urbano) [11] Peaks de 7 $\mu\text{W}/\text{cm}^2$ [10]	Señal continua Viable en interiores	Muy baja densidad Requiere alta eficiencia	50–75 % [15]

1.3. Perspectiva general

El desarrollo de tecnologías de ultra bajo consumo ha permitido replantear el uso de fuentes de energía ambiental como alternativa viable para la alimentación de sistemas electrónicos autónomos. En este contexto, la recolección de energía de radiofrecuencia (RF-EH) surge como una solución atractiva, especialmente en escenarios donde el uso de baterías resulta limitado o inviable debido a restricciones de mantenimiento, tamaño o impacto ambiental.

A partir del análisis presentado, se observa que, si bien la densidad de potencia disponible en el entorno RF es considerablemente baja en comparación con otras fuentes de energy harvesting, su disponibilidad continua y su independencia de condiciones ambientales específicas constituyen ventajas relevantes. Esto resulta particularmente significativo en aplicaciones de interior o en entornos donde otras fuentes, como la solar o la térmica, no pueden garantizar un suministro energético constante.

Asimismo, la existencia de dispositivos electrónicos capaces de operar en el rango de los microvatios, junto con el avance en el diseño de rectificadores de alta eficiencia, permite aprovechar niveles de potencia que anteriormente se consideraban insuficientes. Sin embargo, la viabilidad práctica de los sistemas RF-EH depende fuertemente de la optimización conjunta de la antena, la etapa de rectificación y la carga, así como de una adecuada caracterización del entorno electromagnético.

En este sentido, los fundamentos teóricos revisados proporcionan herramientas clave para estimar la potencia disponible y establecer criterios de diseño consistentes, mientras que los

datos experimentales evidencian que los niveles de energía en entornos reales se sitúan en rangos muy reducidos, típicamente entre -40 dBm y -10 dBm. Esto impone desafíos importantes en términos de sensibilidad y eficiencia de conversión.

Finalmente, la comparación con otras tecnologías de recolección energética permite situar de manera realista el potencial de la RF-EH: no como un reemplazo universal, sino como una solución complementaria dentro de arquitecturas híbridas de suministro energético. En consecuencia, su aplicación más prometedora se encuentra en sistemas de muy bajo consumo, donde la combinación de múltiples fuentes de energía y estrategias de gestión energética permite alcanzar niveles adecuados de autonomía.

En los capítulos siguientes, se abordará el diseño y modelado de las etapas críticas de conversión RF-DC, con énfasis en rectificadores CMOS de alta eficiencia, fundamentales para maximizar el aprovechamiento de la energía disponible en este tipo de sistemas.

SISTEMAS RF-EH

2.1. Arquitectura y Principios de los Sistemas de Recolección de Energía por Radiofrecuencia

Un sistema típico RF-EH, como el ejemplificado en la Fig. 2.1, se compone de una cadena de módulos diseñados para captar, transformar y aprovechar la energía electromagnética disponible en el entorno. El desempeño global del sistema depende tanto de la eficiencia individual como de la correcta integración de cada uno de sus bloques funcionales, así como de las tecnologías empleadas para la captación de dicha energía.

En este capítulo se abordan estos sistemas, describiendo su estructura general y los bloques fundamentales que los conforman. Se analiza el rol de la antena como elemento captador de la radiación electromagnética, la importancia de la red de adaptación de impedancia (Impedance Matching Network, IMN) para maximizar la transferencia de potencia, y las distintas topologías de rectificadores empleadas para convertir la señal RF en corriente continua. Asimismo, se destaca la relevancia de los mecanismos de gestión de energía, que permiten regular y almacenar la potencia obtenida, y se discute la naturaleza de las cargas típicas que pueden ser alimentadas con esta tecnología.

Posteriormente, se presentan diversas estrategias de integración de estos módulos, destacando tanto arquitecturas convencionales como sistemas modernos que buscan optimizar el desempeño según la aplicación y el entorno de operación. Finalmente, se describen cuatro trabajos representativos seleccionados como ideales dentro del enfoque propuesto.

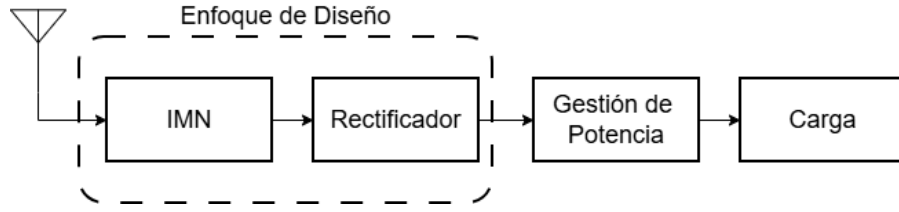


Figura 2.1: Diagrama de estructura básica de un Sistema RF-EH.

2.1.1. Módulos Principales

2.1.1.1. Antena

La antena constituye el primer bloque del sistema de recolección de energía, siendo la encargada de captar la radiación electromagnética incidente. Sus características determinan en gran medida la potencia inicial disponible para el resto del sistema. El circuito equivalente de la antena puede modelarse como Fig. 2.2, donde se evidencia su relación con las demás etapas. Entre los parámetros más relevantes destacan:

- **Frecuencia de operación:** debe coincidir con las bandas en las que existe mayor densidad de potencia ambiental (por ejemplo, GSM900, GSM1800, Wi-Fi). Este valor corresponde a la banda de frecuencia para la cual la antena ha sido optimizada, es decir, aquella donde la reflexión de radiación es mínima y la transferencia de energía hacia la carga es máxima. En nuestro caso se considera una banda de frecuencia entre 800 MHz y 1800 MHz, dado que son las bandas con mayor entrega de potencia y, además, las más estudiadas. Cabe mencionar que esta frecuencia puede variar dependiendo del entorno, ya que las bandas con mayor potencia dependen principalmente del ambiente. Asimismo, las frecuencias pueden ser forzadas para incrementar la potencia disponible en caso de que así se requiera. En resumen, se han seleccionado las frecuencias más investigadas y con mayor densidad de potencia, según lo determinado en 1.2.
- **Impedancia de la antena:** la impedancia de la antena es una función dependiente de la frecuencia y puede modelarse, como se muestra en la Fig. 2.2, mediante una fuente de voltaje y una carga compleja, modelo optado por [16]:

$$Z_{\text{ANT}}(f) = R_{\text{ANT}}(f) + jX_{\text{ANT}}(f) \quad (2.1)$$

donde $R_{\text{ANT}}(f)$ representa la componente resistiva (radiación y pérdidas) y $X_{\text{ANT}}(f)$ la componente reactiva (energía almacenada en el campo cercano). En la frecuencia de resonancia se suele cumplir que $X_{\text{ANT}}(f_0) \approx 0$, de modo que la antena se comporta como una resistencia pura, facilitando la adaptación de impedancia.

Para maximizar la potencia absorbida, la antena debe operar en la frecuencia donde esté perfectamente adaptada ($Z_{\text{ANT}} = Z_0 = 50 [\Omega]$) lo cual suele ser estándar para la mayoría de las antenas, condición en la cual la reactancia se anula y la impedancia es puramente resistiva.

- **Factor de ganancia total (dBi):** este parámetro cuantifica la capacidad de la antena para dirigir la energía radiada o captada en una dirección específica, considerando tanto su directividad como sus pérdidas internas.

El factor de ganancia influye directamente en la eficiencia de captación por unidad de área, ya que determina el área efectiva A_{eff} de la antena según la relación ya establecida en la sección de fundamentos teóricos:

$$A_{\text{eff}} = \frac{\lambda^2}{4\pi} G = \frac{\lambda^2}{4\pi} \eta D \quad (2.2)$$

donde λ es la longitud de onda y G la ganancia.

La importancia de este parámetro puede comprenderse mejor mediante la ecuación de transmisión de Friis, que relaciona la potencia recibida (P_r) con la potencia transmitida (P_t):

$$P_r = P_t G_t G_r \left(\frac{\lambda}{4\pi R} \right)^2 \quad (2.3)$$

donde G_t y G_r corresponden a los factores de ganancia de las antenas transmisora y receptora, respectivamente, y R es la distancia entre ambas.

En aplicaciones de recolección de energía de radiofrecuencia (RF-EH), donde las señales suelen encontrarse en el rango de -40 dBm a -10 dBm, incluso un aumento moderado en la eficiencia o en la directividad puede traducirse en una mejora significativa en la potencia rectificada y, por ende, en la autonomía del sistema.

- **Voltaje de salida:** el voltaje inducido en los terminales de la antena es directamente proporcional a la densidad de potencia del ambiente. La potencia absorbida puede expresarse en función de sus variables internas como:

$$P_{\text{abs}} = \frac{1}{2} \Re\{V \cdot I^*\} \quad (2.4)$$

donde V e I son el voltaje y la corriente en los terminales de la antena, respectivamente. Si se considera la impedancia equivalente de la antena como $Z_{\text{ANT}} = R_{\text{ANT}} + jX_{\text{ANT}}$, se puede expresar la corriente como $I = V/Z_{\text{ANT}}$, y por lo tanto:

$$P_{\text{abs}} = \frac{1}{2} \frac{|V|^2 R_{\text{ANT}}}{|Z_{\text{ANT}}|^2} \quad (2.5)$$

lo cual demuestra que la potencia absorbida depende directamente de la componente resistiva de la impedancia, mientras que la componente reactiva sólo representa energía almacenada temporalmente en el campo cercano.

Diversas arquitecturas de antenas han sido exploradas, tales como *slotted patch antennas*, antenas multibanda compactas, estructuras fractales o antenas tipo *bow-tie* de doble banda [2]. Una estrategia común para incrementar la energía captada es el uso de antenas multibanda, capaces de recolectar simultáneamente señales de distintos protocolos de comunicación. Este enfoque ha demostrado ser una de las formas más efectivas de mantener la eficiencia del rectificador mediante estructuras *dual-band* [17], donde se usan 2 rectificadores optimizados para áreas de operación distintas. No obstante, dichas configuraciones presentan mayores desafíos en términos de acoplamiento y adaptación de impedancia, especialmente cuando se busca mantener una respuesta plana en un amplio rango de frecuencias.

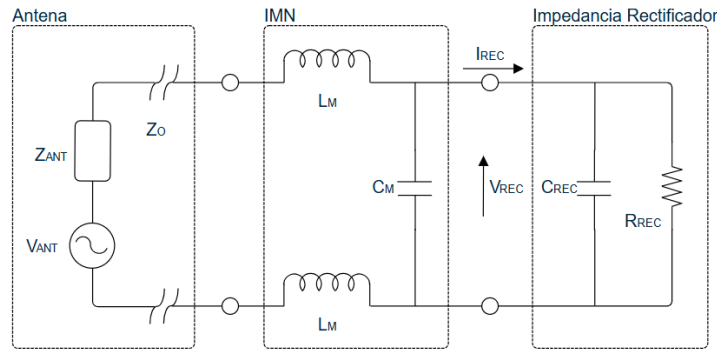


Figura 2.2: Circuito Equivalente de la Antena, el IMN y el Rectificador.

2.1.1.2. Red de Adaptación de Impedancia (IMN)

El desajuste entre la impedancia de la antena y la del rectificador puede generar pérdidas significativas de energía. Para maximizar la transferencia de potencia es imprescindible incorporar una red de adaptación de impedancia, de modo que el diseño del rectificador pueda centrarse en optimizar su eficiencia de conversión de potencia (PCE) y su sensibilidad. La IMN compensa las variaciones de impedancia entre la antena y el rectificador, las cuales dependen tanto de la frecuencia de operación como del nivel de potencia de entrada [2, 16].

Una herramienta analítica útil para determinar la impedancia del rectificador es el análisis armónico balanceado (*harmonic balance*), donde se aplica una fuente de RF directamente al rectificador. La admitancia equivalente del modelo expresado en Fig. 2.2

puede obtenerse a partir de las transformadas rápidas de Fourier (FFT) de las señales de corriente y voltaje en el dominio de la frecuencia a la entrada del rectificador:

$$Y_{\text{REC}}(\omega) = \frac{I_{\text{REC}}(\omega)}{V_{\text{REC}}(\omega)} = \frac{1}{R_{\text{REC}}(\omega)} + j\omega C_{\text{REC}}(\omega) [S] \quad (2.6)$$

A partir de (2.6) se obtienen las componentes resistiva y capacitiva del rectificador:

$$R_{\text{REC}} = \text{Re}\left(\frac{V_{\text{REC}}(\omega)}{I_{\text{REC}}(\omega)}\right) [\Omega] \quad (2.7)$$

$$C_{\text{REC}} = \frac{\text{Im}\left(\frac{V_{\text{REC}}(\omega)}{I_{\text{REC}}(\omega)}\right)}{\omega} [F] \quad (2.8)$$

Este modelo permite representar al rectificador y su carga mediante una resistencia R_{REC} en paralelo con una capacitancia C_{REC} , lo cual simplifica el diseño de la IMN [16].

La condición de adaptación conjugada que maximiza la transferencia de potencia se expresa como:

$$Z_{\text{ANT}} = Z_{\text{REC}}^*, \quad (2.9)$$

donde $Z_{\text{ANT}} = R_{\text{ANT}} + jX_{\text{ANT}}$ es la impedancia de la antena y $Z_{\text{REC}} = R'_{\text{REC}} + jX_{\text{REC}}$ la impedancia de carga presentada por el rectificador y el IMN. Bajo (2.9) las partes reactivas se cancelan ($X_{\text{ANT}} + X_{\text{REC}} = 0$) y las resistivas se igualan ($R_{\text{ANT}} = R'_{\text{REC}}$), lo que garantiza que la potencia entregada por la antena sea transferida eficientemente al rectificador.

Una topología práctica y frecuente para la IMN es la red tipo L (L-IMN), mostrada en la Fig. 2.2, formada por un elemento inductivo L_M y un elemento capacitivo C_M . Para el caso en que la resistencia de carga equivalente del rectificador sea mayor que la resistencia de la antena ($R_{\text{REC}} > R_{\text{ANT}}$), el factor de calidad necesario para la red L viene dado por la relación estándar de adaptación:

$$Q = \sqrt{\frac{R_{\text{REC}}}{R_{\text{ANT}}}} - 1, \quad \text{válido si } R_{\text{REC}} > R_{\text{ANT}}. \quad (2.10)$$

La expresión (2.10) define la selectividad requerida de la IMN: valores de Q mayores implican mayor selectividad y, por tanto, una banda de operación más estrecha.

Despreciando efectos de transmisión de línea, las expresiones de diseño que relacionan los elementos de la IMN con los parámetros del rectificador y la antena pueden escribirse en función de Q como:

$$C_M = \frac{Q}{\omega R_{\text{REC}}} - C_{\text{REC}} \quad (2.11)$$

$$L_M = \frac{R_{\text{ANT}} Q}{2\omega} - X_{\text{ANT}} \approx \frac{R_{\text{ANT}} Q}{2\omega} \quad (2.12)$$

donde $\omega = 2\pi f$ es la frecuencia angular, X_{ANT} la reactancia de la antena y R_{REC} , C_{REC} los parámetros equivalentes del rectificador definidos en (2.7)–(2.8). La aproximación en (2.12)

es válida cuando X_{ANT} es pequeño frente a la contribución inductiva necesaria para el ajuste en banda estrecha.

La combinación de (2.10) con (2.11)–(2.12) permite calcular directamente los valores de los componentes de la IMN [16] a partir de los parámetros equivalentes del rectificador y la antena, y evaluar la selectividad requerida para la adaptación. El cumplimiento de estas condiciones reduce las pérdidas por reflexión y maximiza la potencia útil disponible para la etapa de rectificación. En aplicaciones RF-EH a nivel de circuito integrado, la IMN suele implementarse en el mismo circuito integrado del rectificador para minimizar pérdidas parásitas y efectos de desadaptación debidos a conectores o trazas externas [18].

2.1.2. Rectificador

El rectificador constituye el núcleo funcional del sistema RF-EH, siendo responsable de convertir la señal de radiofrecuencia (RF) alterna en una tensión continua (DC) capaz de alimentar una carga. Su desempeño impacta directamente en la eficiencia global del sistema, por lo que su diseño debe considerar tanto la arquitectura como los parámetros eléctricos involucrados.

2.1.2.1. Parámetros de Desempeño

Para caracterizar un rectificador, se emplean cuatro parámetros fundamentales que permiten comparar distintas topologías bajo condiciones equivalentes de operación [7, 16]:

- **Eficiencia de Conversión de Potencia (PCE, *Power Conversion Efficiency*):** representa la proporción entre la potencia útil entregada a la carga (P_{out}) y la potencia captada en la entrada del rectificador (P_{in}):

$$PCE = \frac{P_{out}}{P_{in}} \times 100 \% \quad (2.13)$$

En sistemas RF-EH, es esencial alcanzar eficiencias elevadas (superiores al 60 %) debido a la baja densidad de potencia disponible en el entorno [5]. Cualquier pérdida interna representa una reducción significativa en la posibilidad de que la energía entregada a la carga permita el funcionamiento del sistema. La distribución del PCE según P_{in} depende de factores como la potencia de entrada disponible, la carga conectada y la frecuencia de operación. Por ello, resulta fundamental analizar estas dinámicas, como se ejemplifica en [17] mediante las Fig. 2.4c, 2.4d, 2.3c y 2.3d.

- **Sensibilidad:** define la potencia mínima de entrada capaz de generar una tensión DC utilizable a la salida. En la mayoría de los sistemas de recolección de energía, se considera que un rectificador presenta buena sensibilidad si logra entregar una salida de aproximadamente 1 V a partir de niveles de potencia entre -40 y -10 dBm [19, 20].

Este valor es suficiente para alimentar circuitos de ultra bajo consumo, tales como sensores, temporizadores o módulos de comunicación inalámbrica. Las variaciones de este parámetro en función de la potencia de entrada, la carga y las dimensiones de los dispositivos CMOS del rectificador también se ilustran en [17], en las Fig. 2.4a, 2.4b, 2.3a y 2.3b.

- **Frecuencia de Operación:** la impedancia del rectificador varía con la frecuencia de la señal incidente, lo que puede provocar desajustes con la red de adaptación de impedancia (IMN). Por esta razón, la eficiencia y la sensibilidad deben analizarse dentro de un rango de frecuencia determinado (por ejemplo, GSM900, GSM1800, WiFi), optimizando el diseño del rectificador para la banda donde se espera mayor densidad de potencia ambiental [16, 21]. En este trabajo se considera una frecuencia de análisis de 900 [MHz], debido a la gran cantidad de estudios existentes en torno a esta banda, además de formar parte de las primeras frecuencias en términos de entrega de potencia, además de ser utilizada por tecnologías de comunicación.
- **Figura de Mérito (FoM):** con el fin de disponer de un parámetro de desempeño global que permita evaluar de manera conjunta los principales aspectos del rectificador, en [22] se propone una figura de mérito (FOM, *Figure of Merit*). Esta métrica resulta especialmente útil para comparar rectificadores que operan a distintas frecuencias, con diferente número de etapas y bajo condiciones de diseño no equivalentes. La definición adoptada:

$$\text{FoM} = \frac{\text{PCE} \times \text{VCR}}{N} \log_{10} \left(\frac{f}{f_0} \right) \quad (2.14)$$

donde VCR corresponde a la razón entre la tensión DC de salida y el valor pico de la tensión RF alterna de entrada, N es el número de etapas del rectificador, f es la frecuencia de operación y f_0 es un factor de normalización, cuyo valor es 5 MHz en [22]. Considerando lo anterior, la FoM se utiliza en este trabajo como un parámetro de desempeño complementario, ya que permite evaluar de forma integrada los efectos de eficiencia, ganancia de tensión, complejidad estructural y frecuencia de operación.

2.1.2.2. Topologías Base en CMOS RF-EH

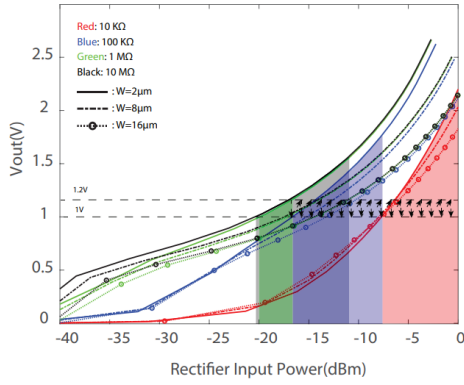
Dos topologías CMOS predominan en la literatura debido a su balance entre eficiencia, escalabilidad y compatibilidad con procesos de fabricación estándar: el rectificador **Cross-Coupled Differential Drive (CCDD)** y el **Dickson Charge Pump**. Ambas constituyen la base sobre la cual se desarrollan variantes modernas, tales como las configuraciones auto-bias, dual-mode o self-body biasing [5, 19].

- **Topología CCDD (Cross-Coupled Differential Drive):** Esta estructura emplea dos ramas complementarias de transistores MOS cruzados, donde cada transistor controla la conducción del otro. El diseño diferencial permite un mejor aprovechamiento de la señal de entrada y reduce las pérdidas por caída de voltaje. Su principal ventaja es la alta eficiencia en condiciones de baja potencia, siendo adecuada para entornos donde la señal captada se encuentra en el orden de los microvatios. Según los resultados obtenidos por [17], esta topología mejora su desempeño al incorporar múltiples etapas, aunque sigue por debajo del rendimiento de un rectificador Dickson de una sola etapa. Estudios posteriores como los de [21] han demostrado que ciertas variantes del CCDD pueden superar los resultados mostrados en las Fig. 2.4 y 2.3, alcanzando eficiencias de conversión (PCE) de hasta un 70 % mediante técnicas de polarización adaptativa del cuerpo que reducen la tensión umbral (V_{th}) del transistor.

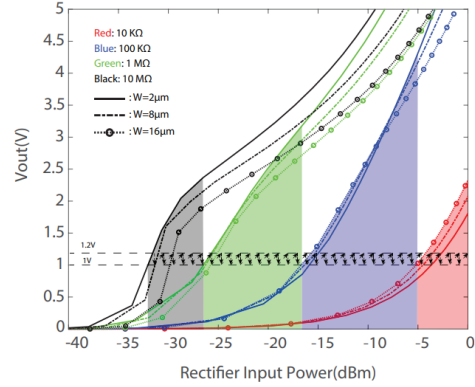
- **Topología Dickson Charge Pump:** Originalmente introducida para la conversión de voltaje en circuitos integrados, esta estructura utiliza una cadena de diodos (o transistores MOS en configuración de diodo) y condensadores dispuestos en etapas sucesivas de bombeo de carga. Cada etapa incrementa el voltaje DC de salida mediante el almacenamiento y transferencia de carga sincronizada con la señal RF. Aunque su eficiencia supera a la del CCDD en condiciones de baja potencia, el rectificador CCDD permite generar tensiones de salida mayores al aumentar el número de etapas [7], a costa de una leve reducción en la eficiencia de conversión (PCE) y aumento en el voltaje donde se logra.

2.1.2.3. Variaciones de Topologías en Rectificadores CMOS de Ultra Baja Potencia

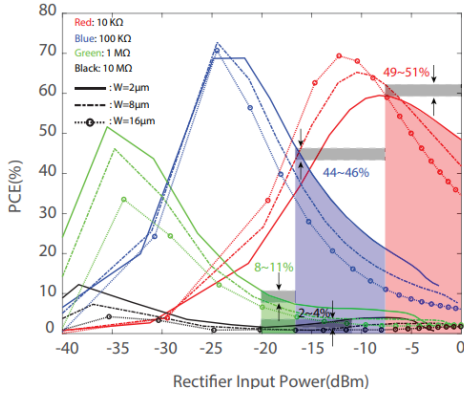
Todas las variantes de topologías en rectificadores CMOS de ultra baja potencia comparten el objetivo de mejorar el desempeño global del sistema bajo condiciones de operación exigentes. En particular, buscan maximizar la eficiencia en escenarios de baja potencia, reducir pérdidas asociadas a la polarización fija o a la no-conducción, y optimizar el voltaje de salida minimizando caídas internas. Estas estrategias también apuntan a mejorar la sensibilidad de arranque, especialmente en niveles de voltaje cercanos al umbral, y a evitar la conducción asimétrica que puede degradar el rendimiento. Además, muchas de estas variantes incorporan mecanismos de optimización adaptativa y adaptabilidad en tiempo real, permitiendo ajustar dinámicamente su comportamiento sin penalizaciones estructurales. La flexibilidad arquitectónica que ofrecen permite una mejor respuesta frente a variaciones en la señal de entrada, asegurando un funcionamiento eficiente y robusto en aplicaciones de recolección de energía ambiental.



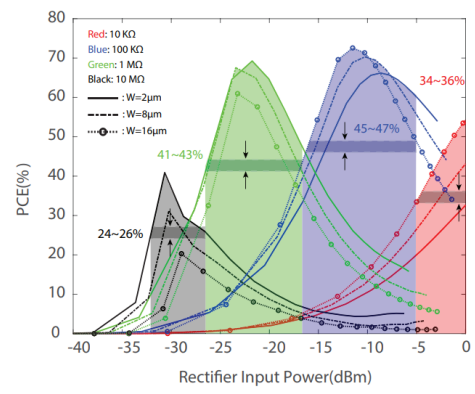
(a) Voltaje de salida (V_{OUT}) vs. Potencia de Entrada (P_{IN}) (Sensibilidad), para rectificador CCDD de 1 etapa.



(b) Voltaje de salida (V_{OUT}) vs. Potencia de Entrada (P_{IN}) (Sensibilidad), para rectificador CCDD de 4 etapas.



(c) Eficiencia de Conversión (PCE) vs. Potencia de Entrada (P_{IN}), para rectificador CCDD de 1 etapa.

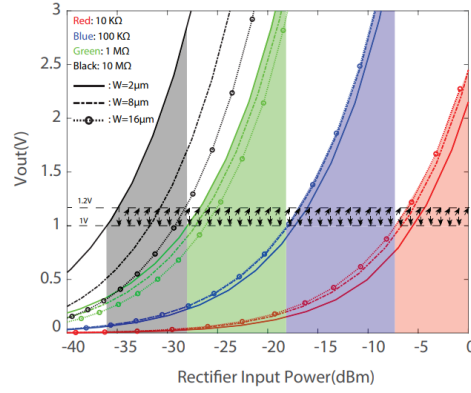


(d) Eficiencia de Conversión (PCE) vs. Potencia de Entrada (P_{IN}), para rectificador CCDD de 4 etapas.

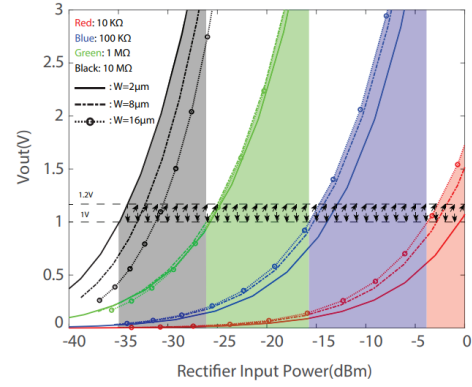
Figura 2.3: Análisis de rectificador CCDD de [17], considerando variaciones en el dimensionamiento de los CMOS y la carga resistiva.

2.1.2.4. Variaciones de Topologías en Rectificadores CMOS de Ultra Baja Potencia

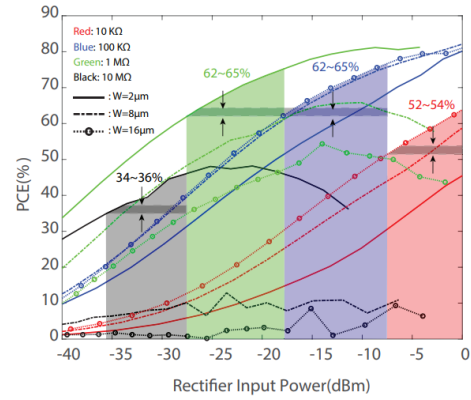
Las diferentes variantes de topologías en rectificadores CMOS de ultra baja potencia tienen como objetivo común mejorar el desempeño global del sistema bajo condiciones de operación exigentes. En particular, buscan maximizar la eficiencia de conversión de potencia (PCE) en escenarios de muy baja energía disponible, reducir pérdidas asociadas a caídas de umbral y corrientes de fuga, y optimizar el voltaje de salida. Asimismo, estas arquitecturas están orientadas a mejorar la sensibilidad de arranque en niveles de voltaje cercanos o



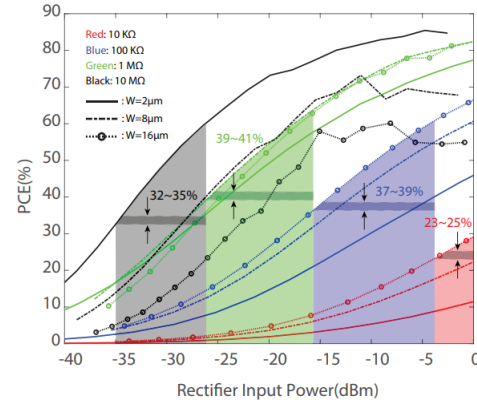
(a) Voltaje de salida (V_{OUT}) vs. Potencia de Entrada (P_{IN}) (Sensibilidad), para rectificador Dickson de 1 etapa.



(b) Voltaje de salida (V_{OUT}) vs. Potencia de Entrada (P_{IN}) (Sensibilidad), para rectificador Dickson de 4 etapas.



(c) Eficiencia de Conversión (PCE) vs. Potencia de Entrada (P_{IN}), para rectificador Dickson de 1 etapa.



(d) Eficiencia de Conversión (PCE) vs. Potencia de Entrada (P_{IN}), para rectificador Dickson de 4 etapas.

Figura 2.4: Análisis de rectificador Dickson de [17], considerando variaciones en el dimensionamiento de los CMOS y la carga resistiva.

inferiores al umbral de los transistores, evitando problemas como la conducción asimétrica o la ineficiencia en régimen subumbral.

Muchas de estas topologías incorporan mecanismos de adaptación dinámica, permitiendo ajustar parámetros internos como el voltaje de umbral o la polarización de compuerta y cuerpo en tiempo real. Esto proporciona mayor robustez frente a variaciones en la señal de entrada, lo cual es especialmente relevante en aplicaciones de recolección de energía ambiental (*energy harvesting*), donde las condiciones de operación son altamente variables.

A continuación, se presentan algunas de las principales topologías propuestas en la literatura:

■ **Feedback Self-Adaptive Body Biasing-Based Rectifier [16]:**

Esta topología corresponde a una evolución del rectificador tipo CCDD (*Cross-Coupled Differential Drive*), donde los cuerpos (bulk) de los transistores se conectan de manera cruzada entre etapas, permitiendo una modulación dinámica del voltaje umbral.

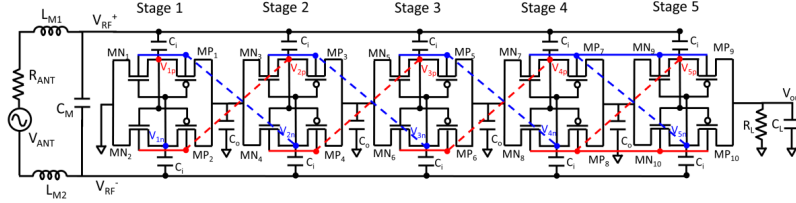


Figura 2.5: Rectificador propuesto tal cual presentado por [16].

Como se muestra en la Fig. 2.5, el principio de operación se basa en ajustar el V_{TH} efectivo mediante el voltaje de cuerpo (V_B), reduciendo la barrera de conducción en condiciones de baja excitación. Esta técnica permite operar con potencias de entrada extremadamente bajas (hasta -35 dBm), alcanzando voltajes de salida superiores a 1 V y mejorando significativamente la sensibilidad.

■ **Dual-Channel Dickson Rectifier [17]:**

Esta arquitectura implementa dos rectificadores tipo Dickson en paralelo, cada uno optimizado para un rango distinto de potencia de entrada.

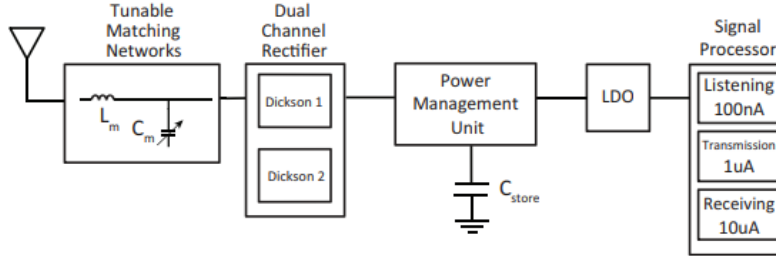


Figura 2.6: Esquema simbólico del circuito como presentado en [17].

Como se observa en la Fig. 2.6, el sistema selecciona o combina ambos canales para mantener alta eficiencia en un amplio rango dinámico. Esta topología alcanza eficiencias cercanas al 60 % en un rango de potencia de entrada desde -30 dBm hasta -5 dBm, superando la limitación del Dickson convencional.

■ **Polarización Dinámica de Puerta y Cuerpo [20]:**

Esta técnica utiliza circuitos auxiliares para ajustar dinámicamente los voltajes de compuerta y cuerpo de los transistores MOS.

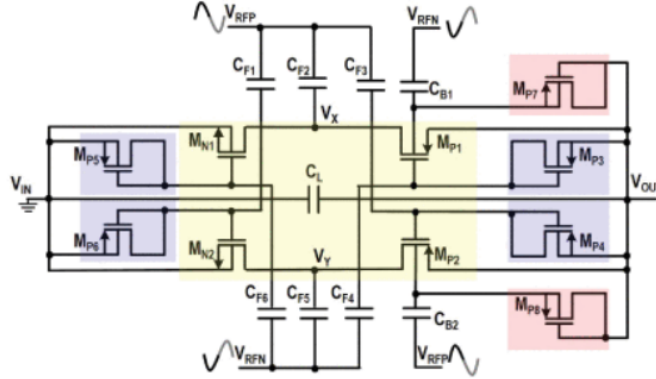


Figura 2.7: Rectificador de polarización de Puerta y base, directo de [20]

Como se muestra en la Fig. 2.7, el principio de operación consiste en reducir el V_{TH} durante la conducción y aumentarlo en corte. Esta técnica alcanza eficiencias de hasta 78 % para una potencia de entrada de -20 dBm, manteniendo un rango eficiente entre -20 dBm y -10 dBm. Además, permite obtener voltajes de salida superiores a 1 V a partir de niveles cercanos a -20 dBm.

■ **Rectificador Reconfigurable [19]:**

Esta topología permite modificar dinámicamente el número de etapas del rectificador en función de las condiciones de operación.

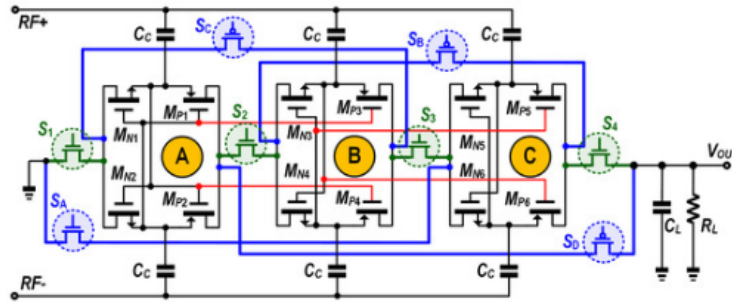


Figura 2.8: Rectificador Reconfigurable como visto en [19].

Como se observa en la Fig. 2.8, el principio de operación se basa en adaptar la estructura para optimizar la eficiencia. Esta topología alcanza eficiencias cercanas

al 50 % en un rango amplio de potencia de entrada desde -15 dBm hasta 0 dBm a 0.9 GHz, y alrededor de 45 % a 1.8 GHz. Esto la hace adecuada para aplicaciones multibanda, aunque introduce mayor complejidad de control.

■ **Rectificador con Técnica de Bootstrapping [23]:**

Esta topología emplea capacitores auxiliares para elevar dinámicamente el voltaje de compuerta de los transistores de paso, reduciendo su voltaje umbral efectivo.

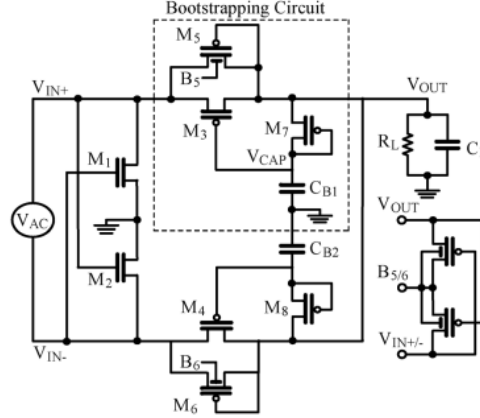


Figura 2.9: Rectificador usando Bootstrap circuito, tal cual [23].

Como se muestra en la Fig. 2.9, el principio de operación se basa en compensar el V_{TH} mediante el uso de capacitores de bootstrap. Esta técnica alcanza eficiencias cercanas al 70 %, logrando voltajes de salida superiores a 0.8 V. Además, presenta un comportamiento estable frente a variaciones de frecuencia en el rango de 1 MHz a 100 MHz, manteniendo su eficiencia en diferentes condiciones de operación.

2.1.3. Gestión de Energía (PM, Power Management)

La gestión de energía cumple un rol esencial en sistemas RF-EH, ya que permite regular y estabilizar la señal DC generada por el rectificador, ajustando dinámicamente el punto de operación según la potencia de entrada (P_{in}) y la carga conectada. Esta capacidad de ajuste es clave para optimizar el desempeño del sistema, dado que tanto la eficiencia de conversión de potencia (PCE) como el voltaje de salida (V_{out}) dependen directamente de P_{in} y de las condiciones de carga. Como se observa en las curvas de las Fig. 2.4 y 2.3, modificar la carga permite desplazar el punto de operación hacia regiones de mayor eficiencia o mayor voltaje, según los requerimientos de la aplicación.

Entre las funciones principales del bloque PM se incluyen la regulación del voltaje de salida, el almacenamiento temporal de la energía recolectada, y la implementación de técnicas de seguimiento del punto de máxima potencia (*Maximum Power Point Tracking*,

MPPT), que permiten mantener la operación en condiciones óptimas. Además, se incorporan estrategias como la compresión de resistencia (*Resistance Compression*), que reducen la resistencia efectiva vista por la fuente, mejorando la transferencia de potencia hacia la carga [7]. Esta técnica no solo contribuye a minimizar las pérdidas resistivas internas, sino que también permite regular el voltaje de salida y optimizar la eficiencia en función de la potencia de entrada. *Resistance Compression* es compatible con topologías CCDD y Dickson, y representa una herramienta clave para mejorar el acoplamiento entre el rectificador y la carga en aplicaciones de ultra baja potencia.

EXPLORACIÓN DEL FUNCIONAMIENTO DE LOS TRANSISTORES CMOS

3.1. Zonas de operación del transistor CMOS NMOS

El transistor MOSFET NMOS es un dispositivo controlado por campo eléctrico, cuyo comportamiento depende de las tensiones puerta–fuente (V_{GS}), drenador–fuente (V_{DS}) y sustrato–fuente (V_{SB}). Dependiendo de estas tensiones, el dispositivo opera en distintas regiones asociadas a mecanismos de conducción específicos. Se siguen mayoritariamente los análisis realizados por [24] respecto a las capacitancias parásitas en las distintas regiones de operación, junto con el análisis en DC, los cuales permiten comprender las corrientes parásitas que pueden disminuir la eficiencia del circuito. Las transiciones entre regiones no son abruptas, lo que justifica el uso de modelos compactos continuos como PSP, con el fin de simplificar los modelos físicos y poder caracterizar el transistor con un conjunto de parámetros.

3.1.1. Región de corte e inversión débil

La región de inversión débil se define aproximadamente por:

$$V_{GS} < V_{TH}. \quad (3.1)$$

El parámetro V_{TH} corresponde al voltaje de umbral, un valor característico que permite identificar las distintas zonas de operación del transistor. Este umbral está determinado por

diversos efectos físicos que se detallan en secciones posteriores. En la condición descrita en la Ec. 3.1 no existe un canal de inversión fuerte, por lo que la corriente de drenaje está dominada por la difusión de portadores minoritarios (*Diffusion Current*). De este modo, la corriente se expresa como:

$$I_{WI} = I_{D0} \frac{W}{L} \exp\left(\frac{V_{GS} - V_{TH}}{nV_T}\right) \left(1 - \exp\left(-\frac{V_{DS}}{nV_T}\right)\right), \quad (3.2)$$

donde $V_T = \frac{kT}{q}$ corresponde al voltaje térmico y n es el factor de pendiente subumbral. Además, la corriente de referencia en subumbral se representa como:

$$I_{D0} = \mu_n C_{ox} (n - 1) V_T^2, \quad (3.3)$$

donde μ_n es la movilidad electrónica de los portadores y la capacitancia C_{ox} corresponde a la capacitancia de óxido por unidad de área, dada por $C_{ox} = \varepsilon_{ox}/t_{ox}$, siendo t_{ox} el espesor del óxido de compuerta y ε_{ox} su permitividad. Las variables W y L representan las dimensiones físicas del canal del transistor, ancho y largo respectivamente.

3.1.1.1. Capacitancias en subumbral

Desde el punto de vista dinámico, aunque la corriente conductiva es pequeña, las capacitancias permanecen activas y están dominadas por efectos geométricos, ya que no existe un canal de inversión fuerte que apantalle el sustrato.

En esta condición, las capacitancias compuerta–fuente y compuerta–drenador están dominadas por las capacitancias de solape:

$$C_{GS} \approx C_{GD} \approx C_{ov} W. \quad (3.4)$$

Por otra parte, al no existir canal de inversión, la compuerta mantiene acoplamiento electrostático directo con el sustrato, por lo que la capacitancia compuerta–base resulta significativa y puede aproximarse como:

$$C_{GB} \approx C_{ox} W L_{eff}, \quad (3.5)$$

donde $L_{eff} = L - L_{ov}$.

La capacitancia de solape C_{ov} tiene un origen puramente geométrico y se debe a la superposición lateral entre la compuerta y las regiones altamente dopadas de fuente y drenador. Puede aproximarse a partir de parámetros tecnológicos como:

$$C_{ov} \approx C_{ox} L_{ov}, \quad (3.6)$$

donde $C_{ox} = \varepsilon_{ox}/t_{ox}$ es la capacitancia de óxido por unidad de área y L_{ov} corresponde a la longitud efectiva de solape determinada por el proceso de fabricación. Esta capacitancia

representa tanto el solape puerta–fuente como puerta–drenador, y constituye un término esencialmente independiente del punto de operación.

En consecuencia, en régimen de subumbral la capacitancia total vista desde la compuerta está dominada por el acoplamiento hacia el sustrato y por los términos de solape, siendo este régimen particularmente relevante para el análisis de pérdidas dinámicas cuando el transistor se encuentra apagado.

3.1.2. Región de inversión fuerte lineal

Cuando:

$$V_{GS} > V_{TH}, \quad V_{DS} < V_{GS} - V_{TH}, \quad (3.7)$$

se forma un canal continuo entre fuente y drenador.

La corriente está dominada por corriente deriva (*Drift Current*) y su comportamiento se modela como:

$$I_{LIN} = k_n \frac{W}{L} \left[(V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2} \right], \quad (3.8)$$

con:

$$k_n = \mu_n C_{ox}. \quad (3.9)$$

En tecnologías CMOS modernas, μ_n no es estrictamente constante, pero puede considerarse aproximadamente uniforme en la región lineal para propósitos de modelado compacto.

3.1.2.1. Capacitancias en Triode

En inversión fuerte lineal, la carga del canal se distribuye aproximadamente de forma uniforme entre fuente y drenador. En esta condición, el canal de inversión actúa como una pantalla electrostática que desacopla la compuerta del sustrato.

Como consecuencia, la capacitancia compuerta–sustrato puede considerarse despreciable:

$$C_{GB} \approx 0. \quad (3.10)$$

Si el dispositivo se encuentra en la región de triodo profundo, es decir, cuando las tensiones de fuente y drenador son aproximadamente iguales, la capacitancia total de canal WLC_{ox} se divide equitativamente entre compuerta–fuente y compuerta–drenador [24], lo que conduce a:

$$C_{GS} \approx C_{GD} \approx \frac{1}{2} WLC_{ox} + WC_{ov}. \quad (3.11)$$

En este régimen, las capacitancias dependen fuertemente de la carga de inversión, por lo que aumentan con V_{GS} y con el área del canal. Esto implica que, aunque la conducción

es máxima en esta región, también lo es la carga capacitiva que debe ser excitada en cada ciclo, contribuyendo de forma significativa a las pérdidas dinámicas del sistema.

3.1.3. Región de saturación y fenómeno de *pinch-off*

La región de saturación se alcanza cuando la tensión drenador-fuente satisface:

$$V_{GS} > V_{TH}, \quad V_{DS} \geq V_{GS} - V_{TH}. \quad (3.12)$$

En esta condición, el potencial del drenador es suficientemente elevado para provocar el fenómeno de *pinch-off* cerca de dicho terminal. Físicamente, esto corresponde a la expansión de la región de empobrecimiento asociada al drenador hacia el interior del canal debido al aumento de la tensión V_{DS} , lo que impide la formación de un canal de inversión continuo a lo largo de toda su longitud. Como consecuencia, la longitud efectiva del canal conductor se reduce y la compuerta pierde control electrostático directo sobre la región próxima al drenador, por lo que resulta crítico evitar operar demasiado cerca del voltaje umbral de V_{GS} cuando V_{DS} es elevado.

Desde el punto de vista del movimiento de cargas, la corriente deja de depender fuertemente de V_{DS} y pasa a estar principalmente controlada por la carga de inversión fijada por V_{GS} . En esta condición, la corriente de drenaje en saturación puede expresarse como:

$$I_{SAT} = \frac{1}{2} k_n \frac{W}{L} (V_{GS} - V_{TH})^2, \quad (3.13)$$

donde $k_n = \mu_n C_{ox}$ es el parámetro de conducción en inversión fuerte.

No obstante, en dispositivos reales la corriente en saturación presenta una dependencia residual con V_{DS} , atribuida a la reducción progresiva de la longitud efectiva del canal a medida que aumenta la región de *pinch-off*. Este efecto, conocido como modulación de longitud de canal (CLM), se modela introduciendo el parámetro λ :

$$I_{SAT} = \frac{1}{2} k_n \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}). \quad (3.14)$$

3.1.3.1. Origen físico y cálculo del parámetro λ

El parámetro λ representa la sensibilidad de la longitud efectiva del canal frente a variaciones de V_{DS} . Desde un punto de vista físico, puede interpretarse como:

$$\lambda \approx \frac{1}{V_A}, \quad (3.15)$$

donde V_A es el voltaje de Early del transistor MOS.

Una aproximación física para λ se obtiene considerando que el incremento de V_{DS} aumenta la longitud de la región de empobrecimiento del drenador, reduciendo la longitud efectiva del canal:

$$L_{\text{eff}}(V_{DS}) \approx L - \Delta L(V_{DS}). \quad (3.16)$$

Dado que la corriente en saturación es inversamente proporcional a la longitud efectiva del canal, $I_D \propto 1/L_{\text{eff}}$, el parámetro λ puede definirse de forma rigurosa como:

$$\lambda \equiv -\frac{1}{L_{\text{eff}}} \frac{\partial L_{\text{eff}}}{\partial V_{DS}}. \quad (3.17)$$

Identificando la reducción de longitud del canal con la extensión de la región de empobrecimiento del drenador, $\Delta L \approx x_d$, se obtiene una relación directa entre λ y la variación de dicha región con el voltaje drenador–fuente:

$$\lambda = \frac{1}{L_{\text{eff}}} \frac{\partial x_d}{\partial V_{DS}}. \quad (3.18)$$

La extensión de la región de empobrecimiento del drenador puede aproximarse como:

$$x_d \approx \sqrt{\frac{2\varepsilon_{si}}{qN_A} (V_{DS} + 2\phi_F)}, \quad (3.19)$$

donde N_A es el dopaje del sustrato y ε_{si} la permitividad del silicio. Sustituyendo esta expresión en la Ec. (3.18), se obtiene una expresión explícita para λ , que muestra su dependencia con la longitud efectiva del canal, el dopaje del sustrato y el voltaje de drenador:

$$\lambda \propto \frac{1}{L_{\text{eff}}} \frac{1}{\sqrt{V_{DS} + 2\phi_F}}. \quad (3.20)$$

De este modo, λ aumenta al reducirse la longitud de canal y se vuelve especialmente relevante en tecnologías de canal corto. En modelos compactos avanzados como PSP, la modulación de longitud de canal se incorpora de forma continua mediante parámetros calibrados, evitando discontinuidades entre regiones de operación.

3.1.3.2. Capacitancias en saturación

En saturación, la redistribución de carga asociada al fenómeno de *pinch-off* impacta directamente en las capacitancias intrínsecas del transistor. Al perderse el control electrostático de la compuerta sobre la región del drenador, la capacitancia puerta–drenador se reduce de manera significativa y queda dominada por la capacitancia de solape:

$$C_{GD} \approx WC_{ov}. \quad (3.21)$$

En paralelo, la mayor parte de la carga de inversión se concentra cerca de la fuente, lo que conduce a:

$$C_{GS} \approx \frac{2}{3}WLC_{ox} + WC_{ov}. \quad (3.22)$$

De forma similar a la región lineal, el canal de inversión apantalla el sustrato, por lo que la capacitancia compuerta–base resulta despreciable:

$$C_{GB} \approx 0. \quad (3.23)$$

Este comportamiento puede demostrarse formalmente, mostrando que la capacitancia equivalente de la estructura, excluyendo el solapamiento compuerta–fuente, es igual a $(2/3)WLC_{ox}$ [24]. En consecuencia, las variaciones del voltaje de drenador inducen una corriente de desplazamiento reducida a través de C_{GD} , descrita por $i_G = C_{GD} dV_{GD}/dt$.

Dado que en saturación C_{GD} está dominada por el solapamiento y su valor es bajo, la carga intercambiada entre drenador y compuerta disminuye respecto a la región lineal, limitando el acoplamiento capacitivo y el consumo dinámico asociado.

Esta dependencia de las capacitancias con el punto de operación constituye la base para la definición de una capacitancia efectiva continua $C_{\text{eff}}(V_{GS}, V_{DS})$, que sirve como parámetro de optimización.

3.2. Consideraciones en el Comportamiento de los CMOS

3.2.1. Extensión del modelo NMOS a PMOS

El modelamiento presentado se extiende directamente al transistor PMOS mediante:

$$-V_{GS,NMOS} \rightarrow V_{SG,PMOS}, \quad -V_{DS,NMOS} \rightarrow V_{SD,PMOS}, \quad -I_{DS,NMOS} \rightarrow I_{SD,PMOS}.$$

Debido a las diferencias en la estructura de los transistores PMOS y en la disposición de sus componentes, aun cuando se utilicen las mismas dimensiones que en un NMOS, el PMOS presentará características eléctricas distintas. Por esta razón, resulta necesario ajustar las dimensiones del PMOS para lograr que las características eléctricas de ambos dispositivos sean comparables y evitar discrepancias en su modelado. Este ajuste también contribuye a prevenir desgastes asimétricos que podrían reducir la vida útil del circuito integrado debido al deterioro prematuro de una sola parte del mismo. Dicho ajuste se realiza de manera implícita y, en lo que sigue, se trabajará considerando las dimensiones del NMOS y las correspondientes del PMOS ajustadas en consecuencia.

3.2.2. Efectos en la corriente debidos a las capacitancias parásitas

En régimen dinámico, la corriente de drenaje de un transistor MOSFET no está determinada únicamente por el transporte de portadores en el canal (corriente cuasi–estática), sino que también incluye contribuciones asociadas a la redistribución temporal

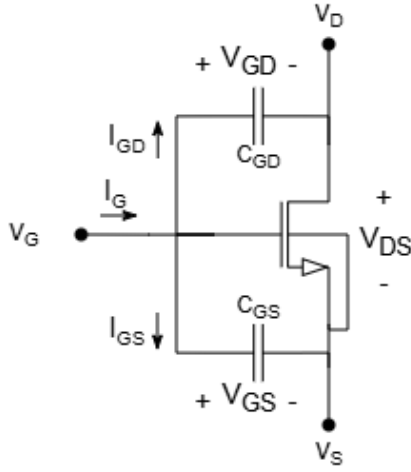


Figura 3.1: Capacitancias parásitas del NMOS.

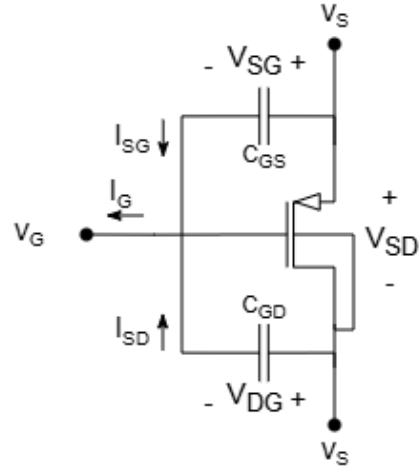


Figura 3.2: Capacitancias parásitas del PMOS.

de carga en las capacitancias parásitas del dispositivo. Estas capacitancias, directamente acopladas a los voltajes terminales V_{GS} y V_{GD} , adquieren relevancia cuando dichos voltajes varían en el tiempo y alcanzan amplitudes comparables al voltaje umbral.

En este contexto, el comportamiento dinámico del transistor está gobernado principalmente por las capacitancias asociadas a la compuerta, en particular C_{GS} y C_{GD} . Estas capacitancias representan la capacidad del dispositivo para almacenar carga entre la compuerta y los terminales fuente y drenador, respectivamente. En coherencia con el análisis por regiones de operación presentado anteriormente, y siguiendo los modelos de capacitancias descritos en [24], su contribución dinámica puede analizarse a partir de la evolución temporal de la carga almacenada en la compuerta.

3.2.2.1. Relación con los voltajes V_{GS} y V_{GD}

La carga total asociada a la compuerta del transistor puede expresarse, en primera aproximación, como la suma de las contribuciones puerta-fuente y puerta-drenador:

$$Q_G = C_{GS} V_{GS} + C_{GD} V_{GD}, \quad V_{GD} = V_{GS} - V_{DS}. \quad (3.24)$$

Esta formulación es consistente con el modelo de pequeña señal del MOSFET presentado en [25]. A partir de esta relación, la corriente asociada a la compuerta se obtiene derivando la carga respecto del tiempo:

$$I_G = \frac{dQ_G}{dt} = C_{GS} \frac{dV_{GS}}{dt} + C_{GD} \frac{d}{dt} (V_{GS} - V_{DS}). \quad (3.25)$$

La ecuación anterior muestra que las corrientes capacitivas dependen de la variación temporal de los voltajes terminales del dispositivo. En el rectificador CCDD, el voltaje V_{GS} coincide con la señal RF aplicada al transistor, mientras que V_{DS} está determinado por la diferencia entre la señal RF y el voltaje de salida del rectificador.

La expresión anterior describe la corriente asociada a la redistribución de carga en las capacitancias de compuerta. Sin embargo, en el rectificador CCDD esta corriente no contribuye directamente a la transferencia de carga hacia el nodo de salida, sino que representa un flujo de carga interno entre los terminales del transistor.

En particular, las corrientes asociadas a C_{GS} y C_{GD} producen un movimiento de carga entre compuerta, fuente y drenador que no atraviesa la carga del rectificador. Como consecuencia, una fracción de la corriente disponible del transistor se desvía hacia la carga y descarga periódica de estas capacitancias, reduciendo la corriente efectiva que puede transferirse al nodo de salida.

En esta expresión, $I_{D,DC}$ representa la corriente asociada al transporte de portadores a través del canal del transistor, mientras que I_{pump} modela la fracción de corriente desviada hacia la carga y descarga de las capacitancias internas del dispositivo.

Esta formulación permite capturar de manera compacta los efectos dominantes de las capacitancias parásitas en el comportamiento dinámico del rectificador CCDD, manteniendo una complejidad analítica adecuada para su uso en etapas de diseño.

Cabe destacar que I_{pump} actúa siempre como un término de pérdida, reduciendo la corriente efectiva disponible en la salida. En consecuencia, su contribución se opone a $I_{D,DC}$, adoptando un signo contrario al de la corriente de conducción del canal.

3.3. Formulación continua del modelo eléctrico

En transistores CMOS sometidos a señales de gran amplitud, el punto de operación puede transitar de manera continua entre inversión débil, inversión fuerte en región lineal y saturación a lo largo de un mismo ciclo de excitación. Para evitar discontinuidades artificiales en la corriente de drenaje al cambiar de región, se adopta una formulación continua basada en funciones de ponderación suaves que interpolan entre las distintas expresiones físicas de conducción.

Adicionalmente, para extender el modelo a todo el plano V_{DS} – V_{GS} , se considera un comportamiento aproximadamente simétrico impar respecto a la tensión drenador–fuente, de modo que la corriente de drenaje puede interpretarse como una función del valor absoluto de V_{DS} , cuyo signo queda determinado por la dirección de dicha tensión. Este tipo de aproximación ha sido utilizado en trabajos previos como [26] y descrito en [27].

Bajo estas consideraciones, la corriente cuasi–estática de drenaje se define como:

$$I_{D,DC} = w_{WI}I_{WI} + w_{SI}(w_{LIN}I_{LIN} + w_{SAT}I_{SAT}), \quad (3.26)$$

donde I_{WI} , I_{LIN} e I_{SAT} corresponden a las corrientes de drenaje en inversión débil (WI), región lineal (LIN) y saturación (SAT), respectivamente, y describen exclusivamente la conducción del canal.

Para efectos de implementación, esta corriente se construye como una magnitud positiva evaluada en función de $|V_{DS}|$, y posteriormente se aplica una simetría impar respecto a V_{DS} :

$$I_{D,DC}(V_{GS}, V_{DS}) = \text{sgn}(V_{DS}) \cdot I_{\text{cond}}^+(V_{GS}, |V_{DS}|), \quad (3.27)$$

donde I_{cond}^+ representa la corriente de conducción definida para $V_{DS} \geq 0$.

$$I_{\text{cond}}^+(V_{GS}, V_{DS}) = \begin{cases} I_{D0} m \frac{W}{L} \exp\left(\frac{V_{GT}}{nV_T}\right) \left[1 - \exp\left(-\frac{|V_{DS}|}{nV_T}\right)\right], & V_{GT} \leq 0, \\ K_n m \frac{W}{L} V_{GT} |V_{DS}| \left(1 - \frac{|V_{DS}|}{2V_{GT}}\right), & V_{GT} > 0, \\ & |V_{DS}| < V_{GT}, \\ \frac{1}{2} K_n m \frac{W}{L} V_{GT}^2 (1 + \lambda |V_{DS}|), & V_{GT} > 0, \\ & |V_{DS}| \geq V_{GT}, \end{cases} \quad (3.28)$$

donde se incorpora el factor de multiplicidad m , correspondiente al número de transistores puestos en paralelo.

En el contexto del modelo dinámico del rectificador, la corriente de salida no está determinada únicamente por la conducción del canal, sino que también se ve afectada por las corrientes asociadas a la carga y descarga de las capacitancias parásitas. Para capturar este fenómeno de forma compacta, se introduce una corriente de bombeo capacitivo I_{pump} , que representa la contribución combinada de las corrientes capacitivas I_{GS} e I_{GD} :

$$I_{\text{pump}} \triangleq I_G = I_{GS} + I_{GD}. \quad (3.29)$$

De este modo, la corriente efectiva entregada a la carga se expresa como una magnitud firmada, en la cual tanto la corriente de conducción como la de bombeo se calculan como cantidades positivas, mientras que la dirección de la corriente viene dada por el signo de V_{DS} :

$$I_{\text{out}}(V_{GS}, V_{DS}) = \text{sgn}(V_{DS}) \left(I_{\text{cond}}^+(V_{GS}, |V_{DS}|) - I_{\text{pump}}(V_{GS}, V_{DS}) \right). \quad (3.30)$$

Los factores de ponderación se definen como funciones suaves del punto de operación:

$$w_{WI} = \frac{1}{1 + \exp\left(\frac{V_{GT}}{\delta}\right)}, \quad (3.31)$$

$$w_{SI} = 1 - w_{WI}, \quad (3.32)$$

$$w_{LIN} = \frac{1}{1 + \exp\left(\frac{|V_{DS}| - V_{GT}}{\delta}\right)}, \quad (3.33)$$

$$w_{SAT} = 1 - w_{LIN}, \quad (3.34)$$

donde $V_{GT} = V_{GS} - V_{TH}$ es el voltaje de overdrive y el parámetro δ controla la suavidad de la transición entre regiones.

El valor de δ debe ser suficientemente pequeño para asegurar transiciones rápidas entre regiones sin introducir discontinuidades ni inestabilidades numéricas, especialmente en el régimen de inversión débil, donde la corriente presenta una dependencia exponencial con el voltaje de compuerta.

En coherencia con la formulación continua de la corriente, las capacitancias intrínsecas del transistor se interpolan utilizando los mismos factores de ponderación, definiendo una capacitancia efectiva dependiente del punto de operación:

$$C_{GD} = w_{WI}C_{WI,GD} + w_{SI}(w_{LIN}C_{LIN,GD} + w_{SAT}C_{SAT,GD}), \quad (3.35)$$

$$C_{GS} = w_{WI}C_{WI,GS} + w_{SI}(w_{LIN}C_{LIN,GS} + w_{SAT}C_{SAT,GS}). \quad (3.36)$$

El uso de ponderaciones idénticas en el modelo de corriente y de capacitancia garantiza consistencia física y continuidad, evitando la aparición de derivadas no físicas o discontinuidades en el comportamiento del modelo.

Cabe destacar que la formulación anterior constituye una aproximación en la cual la corriente se construye a partir de magnitudes positivas y una posterior simetrización respecto a V_{DS} . Este enfoque permite capturar de manera eficiente el comportamiento global del dispositivo en los cuatro cuadrantes de operación, siendo adecuado para el análisis del rectificador CCDD.

La implementación de este modelo continuo en MATLAB se presenta en el Anexo B.1 y sigue la filosofía de los modelos compactos basados en el potencial de superficie, como PSP, adecuados para análisis DC, AC y transitorio.

3.4. Parámetros físicos y su relación con el modelo compacto PSP

El modelo compacto PSP describe el comportamiento del transistor MOSFET mediante una formulación continua basada en el potencial de superficie. Aunque dicho potencial no se resuelve explícitamente a nivel circuito, su efecto queda incorporado a través de parámetros físicos y tecnológicos calibrados en el PDK.

En esta sección se establece la relación directa entre dichos parámetros del modelo PSP, las magnitudes físicas fundamentales del dispositivo y los coeficientes utilizados en el modelo continuo implementado en MATLAB para la comparación con simulaciones SPICE.

3.4.1. Óxido de compuerta y capacitancia

El óxido de compuerta controla electrostáticamente la formación de la carga de inversión en el canal. En el modelo PSP, este se caracteriza por su espesor efectivo y su permitividad dieléctrica, definidos como:

$$\varepsilon_0 = 8,85 \times 10^{-12} \text{ F/m}, \quad (3.37)$$

$$\varepsilon_{ox} = \varepsilon_{r,ox} \varepsilon_0, \quad \varepsilon_{r,ox} = \text{lp_epsrox}, \quad (3.38)$$

$$t_{ox} = \text{lp_tox}. \quad (3.39)$$

A partir de estos parámetros se define la capacitancia de óxido por unidad de área:

$$C'_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}, \quad (3.40)$$

Considerando las dimensiones geométricas efectivas del dispositivo,

$$W_{\text{eff}} = \text{weff}, \quad L_{\text{eff}} = \text{leff}, \quad (3.41)$$

la capacitancia total del canal queda definida como:

$$C_{ox} = C'_{ox} W_{\text{eff}} L_{\text{eff}}. \quad (3.42)$$

estos cálculos se usaron en el modelo propuesto del Anexo B.1, para el calculo de las capacitancias parasitas.

3.4.2. Permisividad del silicio y dopaje efectivo

La permitividad absoluta del silicio se define como:

$$\varepsilon_{si} = \varepsilon_{r,si} \varepsilon_0, \quad \varepsilon_{r,si} \approx 11,8. \quad (3.43)$$

El dopaje efectivo del sustrato es un parámetro interno del modelo PSP:

$$N_A = \text{lp_neff}. \quad (3.44)$$

Este parámetro gobierna simultáneamente la carga de empobrecimiento, el efecto de cuerpo y los fenómenos de corto canal, influyendo directamente en el voltaje umbral y en la pendiente del régimen de subumbral.

3.4.3. Voltaje umbral y efectos de segundo orden

El voltaje umbral del transistor MOSFET representa la condición electrostática a partir de la cual se forma una capa de inversión fuerte en la interfaz óxido-silicio. En el marco del modelo compacto PSP, el voltaje umbral incorpora de forma implícita múltiples efectos físicos de primer y segundo orden, tales como el efecto de cuerpo, el acortamiento efectivo del canal y la modulación inducida por el drenador.

Desde un punto de vista físico, el voltaje umbral ideal del dispositivo puede expresarse como:

$$V_{TH0} = V_{FB} + 2\phi_F + \gamma\sqrt{2\phi_F}, \quad (3.45)$$

donde V_{FB} es el voltaje de banda plana, ϕ_F es el potencial de Fermi del sustrato y el coeficiente de efecto de cuerpo γ se define como:

$$\gamma = \sqrt{\frac{2q\epsilon_{si}N_A}{C'_{ox}}}. \quad (3.46)$$

Cuando el potencial del sustrato difiere del potencial de la fuente, el voltaje umbral se ve modificado por el efecto de cuerpo, el cual introduce una corrección adicional:

$$\Delta V_{body} = \gamma \left(\sqrt{2\phi_F + V_{SB}} - \sqrt{2\phi_F} \right). \quad (3.47)$$

En transistores de canal corto, el campo eléctrico asociado al drenador reduce la barrera de potencial en la fuente, dando origen al fenómeno conocido como *Drain Induced Barrier Lowering* (DIBL). Este efecto se modela como una reducción del voltaje umbral proporcional a la tensión V_{DS} :

$$\Delta V_{DIBL} = \eta V_{DS}, \quad \eta \propto \frac{qN_A}{C'_{ox}L_{eff}^2}. \quad (3.48)$$

Asimismo, el acortamiento efectivo del canal produce un corrimiento adicional del voltaje umbral, conocido como *roll-off*, que depende exponencialmente de la longitud efectiva del dispositivo:

$$x_{d0} = \sqrt{\frac{4\epsilon_{si}\phi_F}{qN_A}}, \quad (3.49)$$

$$\theta_0 = qN_A x_{d0}, \quad (3.50)$$

$$\Delta V_{roll}(L_{eff}) = \theta_0 \exp\left(-\frac{L_{eff}}{\lambda_{eff}}\right), \quad (3.51)$$

donde λ_{eff} es una longitud característica dependiente del proceso tecnológico.

Finalmente, se consideran desplazamientos adicionales del voltaje umbral asociados a cargas fijas en el óxido, implantes de canal y variaciones de proceso, los cuales se agrupan en un término de corrección constante:

$$\Delta V_{offset} = \Delta V_{Q_{ox}} + \Delta V_{implante} + \Delta V_{process}. \quad (3.52)$$

El voltaje umbral efectivo total del dispositivo queda entonces definido como:

$$V_{TH,eff} = V_{TH0} + \Delta V_{body} + \Delta V_{DIBL} + \Delta V_{roll} + \Delta V_{offset} \quad (3.53)$$

En la implementación del modelo continuo utilizada en este trabajo, todos estos efectos se encuentran incorporados en un único parámetro efectivo V_{TH} , extraído directamente del modelo compacto PSP. Esta aproximación permite preservar la influencia de los fenómenos electrostáticos de segundo orden sin necesidad de resolver explícitamente el potencial de superficie en cada punto de operación. Cabe mencionar que estos cálculos no fueron usados en el modelo pero se hace necesario considerarlos para hacer algunos ajustes posteriores en el diseño del CCDD.

De este modo, los valores utilizados en el script MATLAB no constituyen parámetros ajustados empíricamente, sino que derivan directamente del modelo compacto PSP y de sus fundamentos físicos, garantizando consistencia entre la descripción tecnológica, el modelo SPICE y la formulación continua propuesta. En Tab. 3.1 esta el detalle de los parámetros utilizados para el modelo.

Tabla 3.1: Parámetros utilizados para la comparación entre el modelo continuo y el modelo PSP.

Parámetro	Valor	Parámetro	Valor	Parámetro	Valor
L	0,13 μm	W	0,15 μm	t_{ox}	2,24 nm
$\varepsilon_{r,ox}$	3,9	ε_{ox}	$3,45 \times 10^{-11}$ F/m	C'_{ox}	$1,54 \times 10^{-2}$ F/m ²
C_{ox}	$3,0 \times 10^{-15}$ F	V_{TH}	0,442 V	μ_n	0,035 m ² /Vs
K_n	$1,7 \times 10^{-4}$ A/V ²	V_A	17 V	λ	0,059 V ⁻¹
n	1,05	V_T	25,8 mV	I_{D0}	$1,0 \times 10^{-7}$ A
$C_{gs,ov}$	$9,99 \times 10^{-17}$ F	$C_{gd,ov}$	$9,27 \times 10^{-17}$ F	C_{eff}	$5,8 \times 10^{-17}$ F
R	100 k Ω	C	1,0 pF	f_o	900 MHz

3.4.4. Comparación entre modelo y simulación

Considerando los parámetros físicos y algunos correspondientes al modelo PSP, se realiza una comparación de la superficie de la función de corriente $I_D = f(V_{DS}, V_{GS})$. Esta se muestra en la Fig. 3.3, junto con los resultados de la simulación descrita en el Anexo A.1. Cabe destacar que las dimensiones utilizadas son $L = 0,13 [\mu\text{m}]$ y $W = 0,15 [\mu\text{m}]$.

En la simulación se exploró un rango de valores de V_{DS} y V_{GS} entre $[-2, 2]$ V, con incrementos de 0.1 V. A partir de este recorrido se determinaron las variables V_{DS} , V_{GS} , I_D , I_S , I_B , I_G , V_{THn} , V_{DB} y V_{GB} del transistor.

Se puede observar que no se logra una equivalencia exacta sin embargo es posible decir que siguen las tendencias mas importantes en los cuadrantes de I y IV. Sin embargo existen discrepancias claras para los cuadrantes II y III, lo cual nos lleva al siguiente apartado.

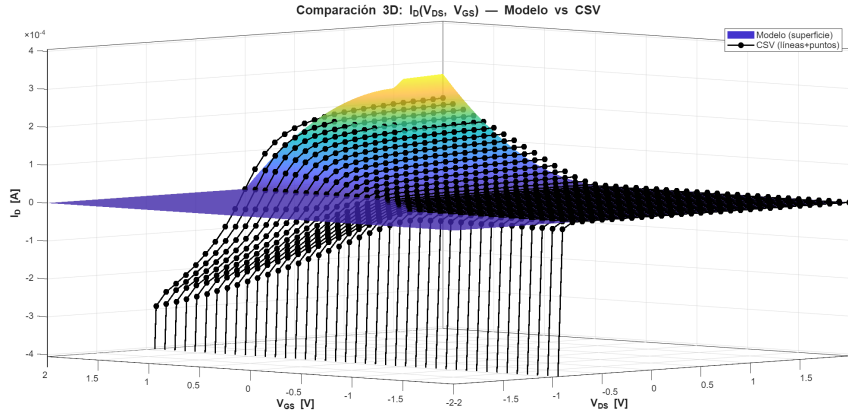


Figura 3.3: Comparación del modelo matemático propuesto (sin simetría) y los resultados de las simulaciones del modelo PSP 103.1, operación DC.

3.5. Clasificación extendida de las regiones de operación en NMOS y PMOS

El análisis DC y de pequeña señal permite identificar un conjunto reducido de regiones de operación clásicas del transistor MOS. Sin embargo, al considerar mapas completos $I_D(V_{GS}, V_{DS})$ y excitaciones de gran amplitud, particularmente en los cuadrantes no convencionales del plano V_{GS} – V_{DS} , emergen comportamientos adicionales que no se describen adecuadamente mediante la clasificación tradicional.

En esta sección se propone una partición extendida del espacio de operación en múltiples regiones, válida tanto para NMOS como para PMOS, que permite evidenciar los resultados DC, dinámicos y de alta frecuencia.

3.5.1. Secciones de Comportamientos de transistores CMOS

3.5.1.1. VS — Saturación por velocidad

En dispositivos de canal corto, el campo eléctrico longitudinal puede alcanzar valores suficientes para provocar la saturación de la velocidad de los portadores, limitando el incremento de corriente aun cuando el canal permanezca invertido.

Condiciones aproximadas de operación:

$$V_{GS} > V_{TH,VS}, \quad V_{DS} > V_{GS} - V_{TH,SI}, \quad (3.54)$$

con $V_{TH,SI} \approx V_{TH}$.

En esta región, la corriente se desvía del comportamiento cuadrático clásico y presenta una dependencia casi lineal con V_{GS} , dominada por la velocidad de saturación de los electrones.

3.5.1.2. SAT — Saturación

Corresponde a la región de saturación tradicional, donde ocurre el fenómeno de *pinch-off* cerca del drenador y la corriente queda principalmente controlada por la carga de inversión fijada por V_{GS} .

Condiciones de operación:

$$V_{GS} > V_{TH,SI}, \quad V_{DS} > V_{GS} - V_{TH,SI}. \quad (3.55)$$

La corriente presenta una dependencia residual con V_{DS} asociada a la modulación de longitud de canal.

3.5.1.3. SI — Inversión fuerte lineal

En esta región existe un canal continuo a lo largo de toda la longitud del dispositivo y el transporte está dominado por deriva.

Condiciones de operación:

$$V_{GS} > V_{TH,SI}, \quad V_{DS} < V_{GS} - V_{TH,SI}. \quad (3.56)$$

La corriente depende aproximadamente de forma lineal de V_{DS} y cuadrática de V_{GS} .

3.5.1.4. WI — Inversión débil

En inversión débil no se forma un canal de inversión fuerte y la corriente está dominada por difusión de portadores.

Condiciones de operación:

$$V_{off} < V_{GS} < V_{TH,MI}. \quad (3.57)$$

3.5.1.5. OFF — Apagado

En esta región el transistor se encuentra nominalmente apagado; sin embargo, subsisten corrientes de fuga asociadas a difusión subumbral y a mecanismos de generación recombinación.

Condición de operación:

$$V_{GS} < V_{off}. \quad (3.58)$$

3.5.1.6. SL — Inversión fuerte inversa

En esta región el transistor conduce con polaridades invertidas respecto al primer cuadrante, comportándose inicialmente de forma lineal y transitando posteriormente a un régimen cuadrático inverso.

Condiciones de operación:

$$V_{TH,rup} < V_{DS} < 0, \quad V_{GS} > 0. \quad (3.59)$$

Este comportamiento puede interpretarse como una extensión del régimen de inversión fuerte hacia polarizaciones inversas del drenador.

3.5.1.7. WE — Inversión débil exponencial inversa

Región caracterizada por una corriente de tipo exponencial, análoga a la inversión débil, pero bajo polarización inversa del drenador.

Condiciones aproximadas:

$$V_{TH,rup} < V_{DS} < 0, \quad V_{GS} + V_{TH,WE} > V_{DS}, \quad V_{GS} < 0. \quad (3.60)$$

La corriente está dominada por mecanismos de difusión y campos eléctricos débiles.

3.5.1.8. RUP — Ruptura

Cuando la tensión drenador–fuente supera un umbral negativo crítico, se activa la conducción tipo diodo asociada a la unión drenador–sustrato.

Condición de operación:

$$V_{DS} < V_{TH,rup}, \quad V_{TH,rup} < 0. \quad (3.61)$$

3.5.1.9. CE — Cero exponencial

Región caracterizada por corrientes muy pequeñas pero con una pendiente exponencial superior a la observada en la región OFF, relevante para análisis de conducción inversa ultra-débil.

Esta región resulta crítica en aplicaciones donde los voltajes VDS y VGS toman ambos valores negativos y de ultra baja potencia ya que para ciertos valores suficientemente negativos, ya no es posible considerar los transistor como apagado y las corrientes de polarización inversa se vuelven significativas.

3.5.2. Visualización de las zonas de operación

Desde la comparación hecha en la Fig. 3.3, se puede evidenciar que el modelo no sigue completamente el comportamiento del modelado matemático propuesto, más aún para los cuadrantes II y III, donde existe una evidente discrepancia. Estas zonas no son ampliamente estudiadas en los análisis de [24], pues requieren de un análisis físico–matemático más riguroso como el efectuado en [25]. Aun así, no se considera necesario conocer su comportamiento en detalle, ya que representan zonas de operación no alcanzadas

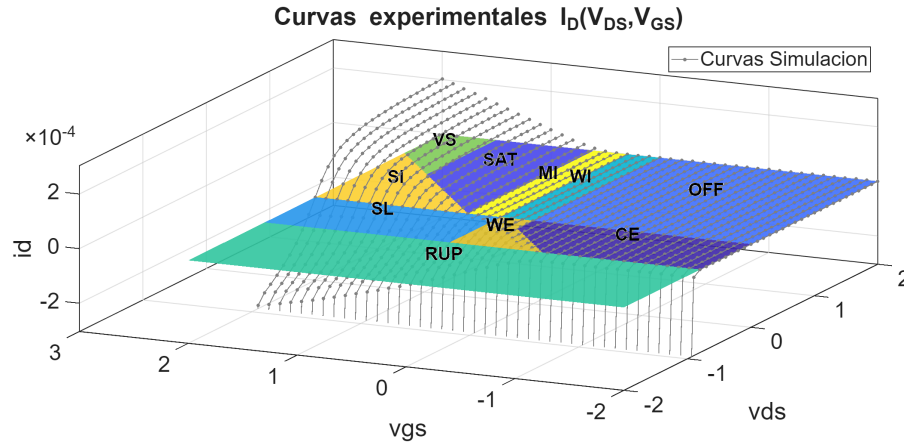


Figura 3.4: Superficie $I_D = f(V_{DS}, V_{GS})$ con representación de las zonas de operación.

en el funcionamiento del rectificador CCDD. Sin embargo, es necesario tomarlas en cuenta porque pueden presentar efectos no deseados en el caso de que no se cumpla la condición $V_{DS} \ll V_{GS}$ para $V_{DS}, V_{GS} < 0$.

A continuación, en la Fig. 3.4, se presenta una representación de las zonas de operación sobre la superficie $I_D = f(V_{DS}, V_{GS})$, con el fin de visualizar claramente las regiones válidas y aquellas no deseadas.

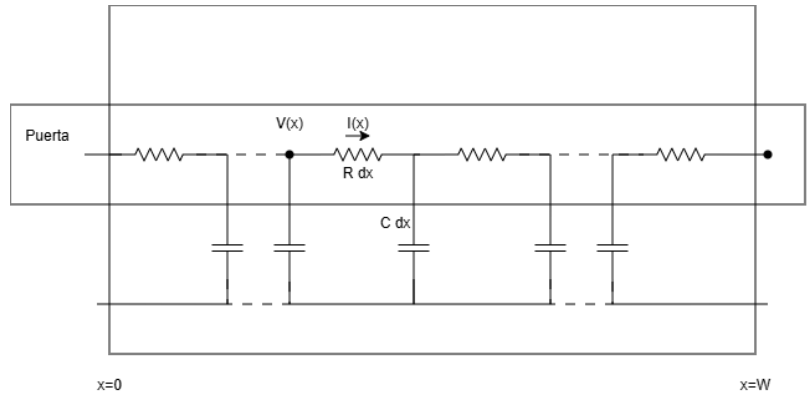


Figura 3.5: Esquema circuitual de la Puerta de un CMOS.

3.5.3. Efectos Dinámicos del Transistor en Grandes Dimensiones

3.5.3.1. Efecto del circuito RC de compuerta

La excitación de la compuerta en un transistor CMOS puede modelarse de forma más precisa como una línea de transmisión RC distribuida, tal como se ilustra en la Fig. 3.5,

siguiendo el análisis presentado en [25]. Este modelo permite capturar los efectos dinámicos asociados a la resistencia del polisilicio de compuerta y a la capacitancia distribuida del canal.

Bajo esta representación, la compuerta se modela como una red distribuida caracterizada por una resistencia por unidad de longitud R y una capacitancia por unidad de longitud C . Las ecuaciones diferenciales que describen el comportamiento de esta línea son:

$$V(x + dx) - V(x) = \frac{\partial V}{\partial x} dx = -I(x)R dx \quad (3.62)$$

$$I(x + dx) - I(x) = \frac{\partial I}{\partial x} dx = -C_p dx \frac{\partial V}{\partial t} \quad (3.63)$$

Combinando ambas expresiones, se obtiene la ecuación de difusión:

$$\frac{\partial^2 V}{\partial x^2} = R_p C_p \frac{\partial V}{\partial t} \quad (3.64)$$

Esta ecuación describe la propagación no instantánea del voltaje a lo largo de la compuerta, evidenciando que la excitación aplicada en el terminal de entrada no se distribuye de manera uniforme en todo el ancho del transistor.

La capacitancia por unidad de longitud puede aproximarse como:

$$W C_p \approx W C_{ox} L \quad (3.65)$$

No obstante, para un modelo más preciso, es posible incorporar las capacitancias de solape:

$$W C_p \approx W (C_{ox} L + C_{ov}) \quad (3.66)$$

donde C_{ox} es la capacitancia de óxido por unidad de área y C_{ov} representa la capacitancia de solape por unidad de ancho.

Por otra parte, la resistencia por unidad de longitud se expresa como:

$$W R_p = \frac{W \rho_g}{L} \quad (3.67)$$

donde ρ_g corresponde a la resistividad sheet del material de compuerta.

A partir de la solución de la ecuación de difusión, se define un tiempo característico asociado al retardo de compuerta, según trabajado en [25], como:

$$\tau_g \approx \frac{R_p C_p W^2}{4} \quad (3.68)$$

3.5.3.2. Efecto del retardo del canal

A frecuencias elevadas, los transistores MOS presentan desviaciones significativas respecto a su comportamiento cuasi-estático, especialmente cuando se combinan con dispositivos de grandes dimensiones. En las gráficas de la Fig. 3.6 se ilustran estos efectos, donde se compara la corriente de drenaje I_D obtenida en régimen DC para un rango de $V_{DS}, V_{GS} \in [-1,5, 1,5]$ V, con la corriente resultante bajo una excitación senoidal $V_{GS} = V_{DS} = \sin(2\pi f_0 t)$ V.

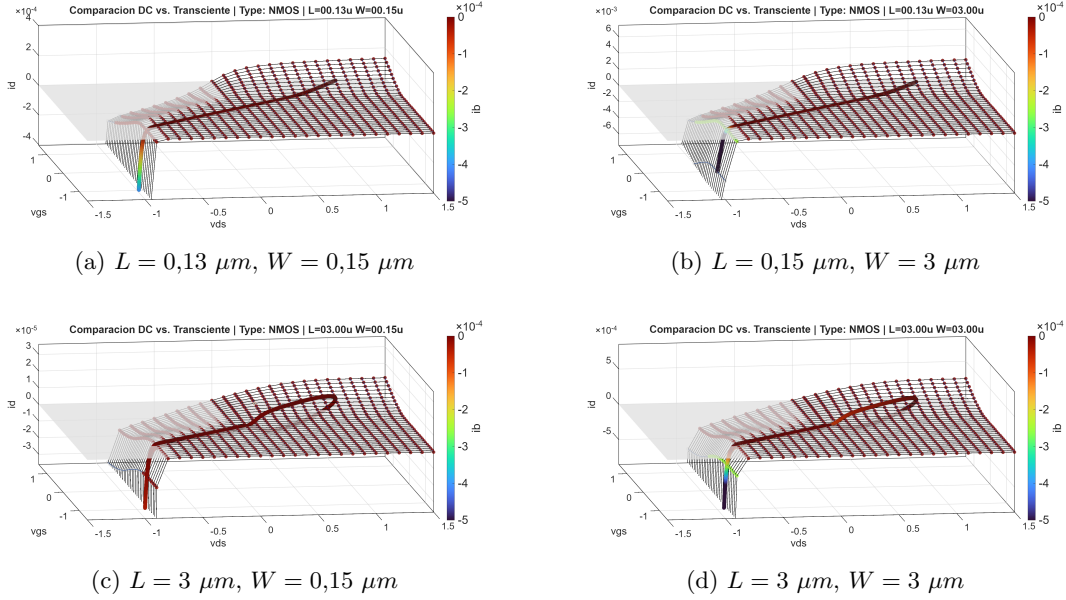


Figura 3.6: Comparación entre la respuesta DC y la dinámica transitoria en el plano I_D - V_{DS} bajo excitación senoidal $V_{GS} = V_{DS} = \sin(2\pi f_0 t)$ [V]

Estas discrepancias se deben principalmente a la aparición de efectos dinámicos no cuasi-estáticos (*Non-Quasi-Static, NQS*), asociados al transporte de carga a lo largo del canal del transistor. En dispositivos de gran longitud de canal, la redistribución de la carga inducida por la compuerta no ocurre de manera instantánea frente a variaciones rápidas de las tensiones terminales.

En el análisis DC convencional se asume implícitamente que la carga del canal se ajusta instantáneamente a los valores de V_{GS} y V_{DS} , permitiendo expresar la corriente de drenaje como una relación algebraica del tipo $I_D = f(V_{GS}, V_{DS})$. Sin embargo, bajo excitaciones de alta frecuencia y gran amplitud, esta hipótesis pierde validez, ya que aparecen retardos internos en la dinámica de portadores.

El parámetro físico que gobierna esta transición es el tiempo característico de tránsito del canal, τ_{ch} , que representa el tiempo necesario para que una perturbación de carga se

propague desde la fuente hasta el drenador. Bajo el modelo gradual del canal, este tiempo puede aproximarse por:

$$\tau_{ch} \approx \frac{L^2}{\mu_n(V_{GS} - V_{TH})}, \quad (3.69)$$

donde L es la longitud del canal, μ_n la movilidad electrónica efectiva y $V_{GS} - V_{TH}$ el sobrevoltaje de compuerta. Esta expresión pone de manifiesto la fuerte dependencia cuadrática con la longitud del canal, mientras que el ancho W no influye directamente en la dinámica temporal del transporte, sino en la magnitud de la corriente.

A partir de τ_{ch} puede definirse una frecuencia característica del canal, como se menciona en [24]:

$$f_{ch} = \frac{1}{2\pi\tau_{ch}}, \quad (3.70)$$

la cual establece el límite de validez de la aproximación cuasi-estática. Cuando la frecuencia de excitación satisface $f \ll f_{ch}$, la corriente transitoria sigue de cerca la característica DC, que actúa como una envolvente válida. En contraste, cuando $f \gtrsim f_{ch}$, la corriente de drenaje presenta retardos internos y efectos de histéresis, generando una separación apreciable entre la respuesta DC y la dinámica transitoria observada.

Adicionalmente, en las regiones donde V_{DS} alcanza valores negativos elevados, pueden observarse corrientes inversas significativas. Este comportamiento no está relacionado directamente con el modelo MOS ideal, sino con la activación de uniones parásitas internas del dispositivo. En particular, la unión drenador-cuerpo puede polarizarse en directa, dando lugar a una corriente adicional asociada al flujo de portadores a través de dicha unión.

Desde un punto de vista equivalente, el dispositivo presenta en esta región un comportamiento similar al de un diodo parásito, lo que introduce una componente adicional de corriente que no está incluida en los modelos de conducción de canal. Este efecto se vuelve más relevante en condiciones de gran señal y puede contribuir a las desviaciones observadas respecto al comportamiento puramente cuasi-estático.

ANÁLISIS DEL RECTIFICADOR CCDD

En este capítulo se presenta el modelado matemático y físico del rectificador *Cross-Coupled Differential Drive* (CCDD), una topología ampliamente utilizada en sistemas de *RF Energy Harvesting* (RF-EH) debido a su baja caída efectiva de tensión y a su buen desempeño bajo condiciones de potencia de entrada reducida.

El principio de operación del CCDD se basa en el uso de pares cruzados de transistores NMOS y PMOS, los cuales permiten aprovechar ambos semiciclos de la señal RF de entrada para transferir carga hacia un nodo de salida común. Esta simetría, junto con el uso de la fuente como terminal de activación de los transistores, mejora la eficiencia de rectificación en comparación con topologías más simples, especialmente en regímenes de baja amplitud de señal.

No obstante, tal como se reporta en [7], esta estructura presenta una limitación fundamental asociada a la aparición de corriente de fuga inversa durante los ciclos activos del CMOS, particularmente cuando la relación entre el voltaje DC de salida y la amplitud de la señal V_{RF} es cercana, es decir, cuando el voltaje de salida supera la amplitud instantánea de la excitación RF.

Adicionalmente, para valores elevados de V_{RF} , el circuito puede entrar en regiones de operación no deseadas, como la ruptura de los dispositivos. Ambos fenómenos limitan el *Power Dynamic Range* (PDR) del rectificador y constituyen una de las principales fuentes de degradación de la eficiencia, tanto en condiciones de baja amplitud de entrada como cuando la señal RF excede el rango adecuado de operación.

El análisis desarrollado en este capítulo se construye a partir del circuito base del CCDD

e incorpora las ecuaciones fundamentales derivadas de la Ley de Corrientes de Kirchhoff (LCK), la Ley de Voltajes de Kirchhoff (LVK) y modelos cuasi-estáticos de corriente de los transistores CMOS, considerando explícitamente las distintas regiones de operación: inversión débil, inversión fuerte lineal e inversión fuerte en saturación.

Adicionalmente, se incorpora el efecto de las capacitancias parásitas del dispositivo mediante un término de corriente dinámico, lo cual permite aproximar el comportamiento del rectificador en régimen RF de gran señal. Este enfoque posibilita unificar el análisis DC tradicional con algunos de los efectos dinámicos observados en simulaciones transitorias, en coherencia con el modelo CMOS desarrollado en el capítulo anterior, específicamente en la Sección 3.3.

Se asume que las dimensiones de los transistores son suficientemente pequeñas como para que su comportamiento dinámico pueda aproximarse mediante superficies de operación cuasi-estáticas. Esta hipótesis se encuentra justificada por los resultados presentados en la Sección 3.5, donde se demostró que, para longitudes de canal submicrométricas y frecuencias del orden de cientos de MHz, el desfase entre las trayectorias DC y transitorias permanece acotado, y las capacitancias equivalentes constituyen una aproximación adecuada del comportamiento real del dispositivo.

Bajo este marco, el modelo se validará inicialmente sobre la estructura CCDD con el objetivo de determinar su fiabilidad para la búsqueda de puntos óptimos de diseño. Asimismo, se deducirán las direcciones de optimización de los parámetros principales del rectificador.

Una vez establecidas dichas direcciones, se realizará una exploración sistemática de las dimensiones de los transistores CMOS, considerando las equivalencias necesarias entre NMOS y PMOS. En particular, se analizará la influencia del largo de canal L , el ancho de canal W y la multiplicidad m . Para esta etapa, la eficiencia de conversión de potencia (PCE) se adoptará como principal métrica de desempeño.

Posteriormente, una vez seleccionadas las dimensiones óptimas de los dispositivos, se evaluarán los efectos de la multiplicidad y se definirán los capacitores de acople entre rectificadores y de sincronización, siguiendo los modelos presentados por [26]. En esta etapa, la sensibilidad del sistema se considerará como el indicador principal, en concordancia con el requerimiento compartido con trabajos previos de alcanzar un voltaje de salida superior a 1 V.

Bajo estas consideraciones, el objetivo principal de este capítulo es:

- Derivar un modelo matemático continuo del rectificador CCDD.
- Identificar explícitamente las principales fuentes de pérdida de eficiencia.
- Establecer criterios eléctricos de diseño orientados a maximizar la transferencia de potencia.

- Determinar las dimensiones óptimas de los dispositivos para maximizar la eficiencia de conversión.
- Ajustar la estructura del rectificador con el fin de mejorar su desempeño y viabilizar su aplicación en sistemas de RF-EH.

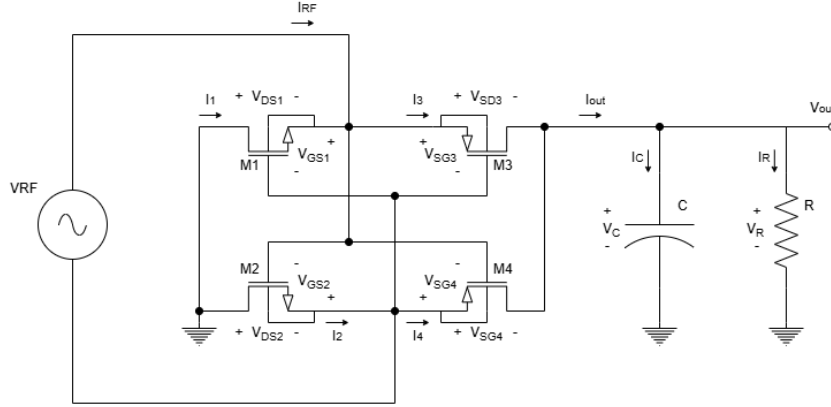


Figura 4.1: Esquema circuital del rectificador CCDD.

4.1. Análisis Matemático del Rectificador CCDD

El análisis matemático del rectificador CCDD se construye a partir de la aplicación las Leyes de Kirchhoff al circuito mostrado en la Fig. 4.1. Para ello, se establecen previamente las convenciones de polaridad y sentido de corriente que garantizan que los transistores operen dentro de su primer cuadrante, esto es:

$$V_{DS,NMOS} > 0, \quad V_{GS,NMOS} > 0, \quad V_{SD,PMOS} > 0, \quad V_{SG,PMOS} > 0 \quad (4.1)$$

Estas convenciones permiten describir el comportamiento de los dispositivos NMOS y PMOS mediante una función de corriente común, diferenciada únicamente por el signo instantáneo de la señal RF aplicada.

4.1.1. Relación entre la señal RF y las tensiones de compuerta

Una propiedad fundamental de la topología CCDD es que las tensiones compuerta-fuente de los transistores quedan directamente determinadas por la señal RF diferencial aplicada. En particular, se cumple la siguiente relación:

$$V_{RF} = V_{SG3} = V_{GS2} = -V_{SG4} = -V_{GS1}, \quad (4.2)$$

la cual garantiza una operación simétrica entre los pares M1, M4 y M2, M3. Esta igualdad permite expresar todas las corrientes del circuito como funciones explícitas de V_{RF} , del voltaje de salida V_{out} y de los voltajes drenaje–fuente correspondientes.

En adelante, esta relación será utilizada de manera implícita para simplificar la notación y reducir el número de variables independientes del sistema.

4.1.2. Modelo general de corrientes en los transistores

Las corrientes de los cuatro transistores del rectificador pueden escribirse en forma general como funciones de sus tensiones terminales. Incorporando la relación anterior, se obtiene:

$$I_1 = f(V_{DS1}, V_{GS1}) = f(V_{DS1}, -V_{RF}), \quad (4.3)$$

$$I_2 = f(V_{DS2}, V_{GS2}) = f(V_{DS2}, V_{RF}), \quad (4.4)$$

$$I_3 = f(V_{SD3}, V_{SG3}) = f(V_{SD3}, V_{RF}), \quad (4.5)$$

$$I_4 = f(V_{DS4}, V_{SG4}) = f(V_{DS4}, -V_{RF}). \quad (4.6)$$

Aquí, la función $f(\cdot)$ representa el modelo de corriente del transistor de las Ec. (4.3), (4.4), (4.5) y (4.6) común para NMOS y PMOS, el cual fue desarrollado en el capítulo anterior.

4.1.3. Corriente de salida y elementos pasivos

La corriente que abandona el nodo de salida del rectificador se reparte entre la resistencia de carga y el capacitor de almacenamiento, por lo que se cumple:

$$I_R = \frac{V_{out}}{R}, \quad (4.7)$$

$$I_C = C \frac{dV_{out}}{dt}. \quad (4.8)$$

La corriente total de salida queda entonces definida como:

$$I_{out} = I_R + I_C. \quad (4.9)$$

Esta expresión vincula directamente el comportamiento eléctrico del rectificador con la evolución temporal del voltaje DC de salida.

4.1.4. Aplicación de la Ley de Corrientes de Kirchhoff (LCK)

Aplicando la LCK en los nodos de entrada del rectificador se obtienen las siguientes ecuaciones:

$$I_{\text{RF}} = I_3 + I_{g2} + I_{g4} - I_1, \quad (4.10)$$

$$I_{\text{RF}} = -I_4 - I_{g1} - I_{g3} + I_2. \quad (4.11)$$

Dado que las corrientes de compuerta son despreciables en el régimen de operación considerado, se adopta la aproximación:

$$I_{g1} = I_{g2} = I_{g3} = I_{g4} \approx 0.$$

En el nodo de salida, la LCK impone la relación:

$$I_{\text{out}} = I_3 + I_4 = I_1 + I_2. \quad (4.12)$$

Cabe destacar que una de las ecuaciones de Ec. (4.12) no es independiente con las anteriores, sino que se deriva directamente de ellas. En consecuencia, para el desarrollo posterior se usará una de las igualdades.

4.1.5. Aplicación de la Ley de Voltajes de Kirchhoff (LVK)

Aplicando la LVK en los lazos principales del circuito se obtienen:

$$V_{\text{RF}} = V_{SD3} + V_{\text{out}} + V_{DS2}, \quad (4.13)$$

$$-V_{\text{RF}} = V_{SD4} + V_{\text{out}} + V_{DS1}. \quad (4.14)$$

A partir de estas expresiones se deduce que:

$$V_{\text{RF}} = V_{DS2} - V_{DS1} = V_{SD3} - V_{SD4}, \quad (4.15)$$

y que el voltaje de salida puede expresarse de manera equivalente como:

$$V_{\text{out}} = V_{DS1} + V_{SD3} = V_{DS2} + V_{SD4}. \quad (4.16)$$

Nuevamente, las relaciones de Ec. (4.16) no son todas independientes entre sí; basta con retener una de ellas junto con la ecuación (4.13) y (4.14) para describir completamente el sistema.

4.1.6. Simplificación del sistema

Aprovechando la simetría del circuito, como se observa en la Fig. 4.2a y la Fig. 4.2b, y ajustando las dimensiones de los transistores NMOS y PMOS de manera que presenten características eléctricas equivalentes, es posible establecer la siguiente aproximación:

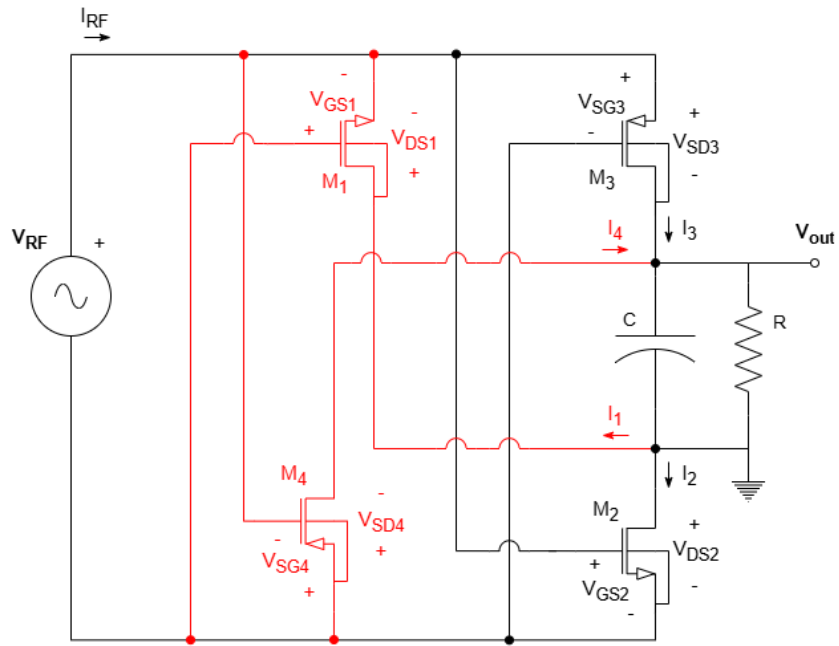
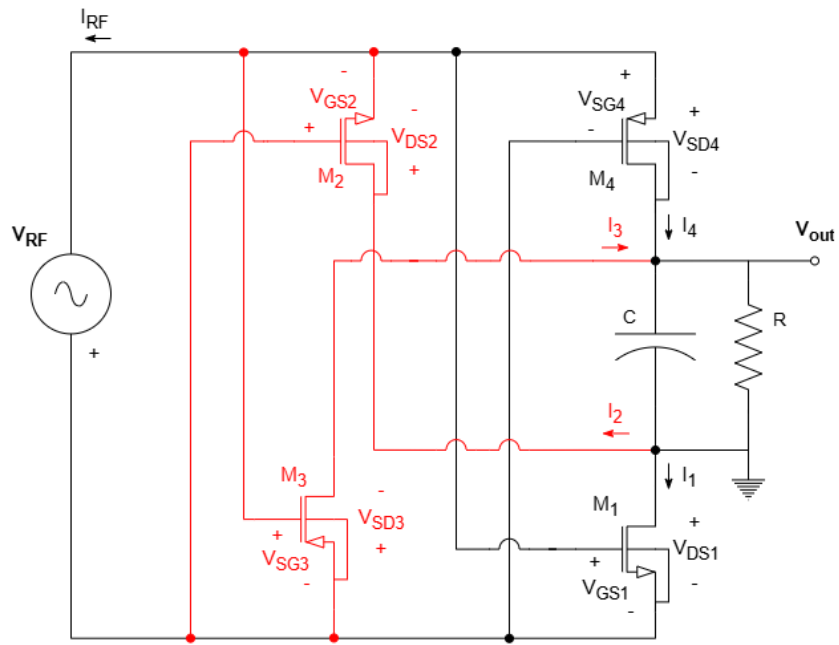
(a) CCDD para $V_{RF} > 0$.(b) CCDD para $V_{RF} < 0$.

Figura 4.2: Visualización de Operación CCDD.

$$V_{DS2} \approx V_{SD3} \equiv V_{DS}. \quad (4.17)$$

Esta hipótesis permite reducir el número de variables independientes del sistema y simplificar el análisis del circuito.

A partir de la Ec. (4.13), se obtiene, para el semiciclo positivo de la señal RF ($V_{RF} > 0$), la relación:

$$V_{DS+} = \frac{V_{RF} - V_{out}}{2}. \quad (4.18)$$

De manera análoga, durante el semiciclo negativo ($V_{RF} < 0$), a partir de la Ec. (4.14), se obtiene:

$$V_{DS-} = \frac{-V_{RF} - V_{out}}{2}. \quad (4.19)$$

Estas expresiones permiten describir el voltaje drenador-fuente efectivo en función de la señal de excitación y del voltaje de salida para cada semiciclo de operación.

En consecuencia, el comportamiento dinámico del rectificador puede expresarse en función de una única variable de estado, $V_{out}(t)$, lo que permite reducir el problema a una ecuación diferencial no lineal que gobierna su evolución temporal. Esta formulación constituye la base del modelo analítico desarrollado en las secciones siguientes.

4.2. Modelamiento del Rectificador CCDD

El comportamiento dinámico del rectificador *Cross-Coupled Differential Drive* (CCDD) está gobernado por la corriente de canal de los transistores MOS que lo componen. Dado que la señal RF impone una excitación de gran amplitud y polaridad alternante, el modelo de corriente debe ser válido tanto en inversión débil como en inversión fuerte, y permitir una transición continua entre regiones de operación a lo largo de un mismo ciclo.

En coherencia con el desarrollo del capítulo anterior, se adopta un modelo cuasi-estático de corriente consistente con el modelo compacto PSP utilizado en las simulaciones SPICE. En este marco, la corriente instantánea se evalúa como función directa de las tensiones terminales en cada instante de tiempo. Esta aproximación es válida mientras el tiempo característico del canal sea pequeño frente al período de la señal RF, condición que se cumple para longitudes de canal submicrométricas y frecuencias del orden de cientos de MHz, tal como se demostró previamente.

4.2.1. Regiones de operación relevantes

Durante la operación del rectificador, el punto de operación de cada transistor varía dinámicamente en función del valor instantáneo de la señal RF $V_{RF}(t)$ y del voltaje de salida

$V_{\text{out}}(t)$. En esta topología, las tensiones compuerta–fuente vienen directamente impuestas por la señal diferencial, cumpliéndose:

$$V_{GS+}(t) = V_{\text{RF}}(t), \quad V_{GS-}(t) = -V_{\text{RF}}(t). \quad (4.20)$$

Por otra parte, las tensiones drenador–fuente están dadas por:

$$V_{DS+}(t) = \frac{V_{\text{RF}}(t) - V_{\text{out}}(t)}{2}, \quad V_{DS-}(t) = \frac{-V_{\text{RF}}(t) - V_{\text{out}}(t)}{2}. \quad (4.21)$$

La frontera clásica entre las regiones de inversión fuerte lineal y saturación se obtiene imponiendo:

$$V_{DS} = V_{GS} - V_{TH}. \quad (4.22)$$

Aplicando esta condición al semiciclo positivo ($V_{\text{RF}} > 0$), se obtiene:

$$\frac{V_{\text{RF}} - V_{\text{out}}}{2} = V_{\text{RF}} - V_{TH} \implies \frac{V_{\text{RF}} + V_{\text{out}}}{2} = V_{TH}. \quad (4.23)$$

Una expresión análoga se obtiene para el semiciclo negativo, lo que permite definir una condición unificada en términos de V_{RF} y V_{out} .

A partir de esta relación, se identifican las regiones de operación relevantes durante cada ciclo RF:

■ **Inversión débil (WI):**

$$V_{\text{RF}}(t) \leq V_{TH}. \quad (4.24)$$

■ **Inversión fuerte en región lineal (SI–LIN):**

$$V_{\text{RF}}(t) > V_{TH}, \quad \frac{V_{\text{RF}}(t) + V_{\text{out}}(t)}{2} \geq V_{TH}. \quad (4.25)$$

■ **Inversión fuerte en saturación (SI–SAT):**

$$V_{\text{RF}}(t) > V_{TH}, \quad \frac{V_{\text{RF}}(t) + V_{\text{out}}(t)}{2} < V_{TH}. \quad (4.26)$$

Estas condiciones son consistentes con la formulación del modelo continuo presentado en la Sec. 3.3, y permiten describir la evolución del punto de operación del transistor a lo largo del ciclo RF mediante variables directamente observables del sistema. Cabe destacar que, debido a la naturaleza alternante de la señal RF, estas regiones son recorridas dinámicamente durante cada ciclo, pudiendo un mismo transistor transitar entre inversión débil, lineal y saturación en distintos instantes de tiempo.

4.2.2. Modelo de corriente del transistor MOS en el rectificador CCDD

Durante cada semiciclo de la señal de radiofrecuencia (RF), la corriente de salida del rectificador está determinada principalmente por el par activo de transistores. En este contexto, se definen $I_{\text{cond}+}(t)$ e $I_{\text{cond}-}(t)$ como las corrientes de conducción del canal asociadas a los semiciclos positivo y negativo, respectivamente.

En particular:

- Para $V_{\text{RF}}(t) > 0$, conducen los transistores M_2 y M_3 , generando una corriente $I_{\text{cond}+}$.
- Para $V_{\text{RF}}(t) < 0$, conducen los transistores M_1 y M_4 , generando una corriente $I_{\text{cond}-}$.

Bajo la aproximación cuasi-estática, la corriente de conducción puede modelarse a partir de las tensiones efectivas del rectificador, definidas en las Ec. (4.21) y (4.20). Estas relaciones reflejan la simetría del rectificador diferencial, donde cada rama experimenta excitaciones complementarias en función del signo de la señal de entrada.

En función de $V_{\text{RF}}(t)$ y $V_{\text{out}}(t)$, se tiene:

$$V_{GS}^{(\pm)} = \pm V_{\text{RF}}(t), \quad (4.27)$$

$$V_{DS}^{(\pm)} = \frac{\pm V_{\text{RF}}(t) - V_{\text{out}}(t)}{2}. \quad (4.28)$$

Definiendo, para simplificar la notación,

$$V_{GT}^{(\pm)} = \pm V_{\text{RF}}(t) - V_{TH}, \quad V_{DS}^{(\pm)} = \left| \frac{\pm V_{\text{RF}}(t) - V_{\text{out}}(t)}{2} \right|, \quad (4.29)$$

la corriente de conducción puede escribirse de forma compacta como:

$$I_{\text{cond}}(t) = \begin{cases} I_{D0} \frac{W}{L} \exp\left(\frac{V_{GT}^{(\pm)}}{nV_T}\right) \left[1 - \exp\left(-\frac{V_{DS}^{(\pm)}}{nV_T}\right)\right], & V_{GT}^{(\pm)} \leq 0, \\ K_n \frac{W}{L} \left[V_{GT}^{(\pm)} V_{DS}^{(\pm)} - \frac{(V_{DS}^{(\pm)})^2}{2} \right], & \begin{matrix} V_{GT}^{(\pm)} > 0, \\ V_{DS}^{(\pm)} < V_{GT}^{(\pm)}, \end{matrix} \\ \frac{1}{2} K_n \frac{W}{L} (V_{GT}^{(\pm)})^2 (1 + \lambda V_{DS}^{(\pm)}), & \begin{matrix} V_{GT}^{(\pm)} > 0, \\ V_{DS}^{(\pm)} \geq V_{GT}^{(\pm)}. \end{matrix} \end{cases} \quad (4.30)$$

Cabe destacar que el signo $\pm$ indica el semiciclo de operación, determinado exclusivamente por el signo de $V_{\text{RF}}(t)$. De este modo, el modelo queda completamente definido en función de la señal de entrada y del voltaje de salida, sin necesidad de introducir variables adicionales.

4.2.2.1. Fuga en régimen de corte

Cuando un transistor se encuentra en corte profundo, es decir, cuando $V_{GS} < 0$ y además se cumple la condición

$$|V_{GS}| \gg |V_{DS}|, \quad (4.31)$$

la corriente que circula está dominada por el mecanismo de conducción en subumbral. En este régimen, la corriente presenta una dependencia exponencial con el voltaje compuerta-fuente, mientras que su dependencia con V_{DS} es secundaria.

Bajo estas condiciones, la corriente de fuga puede aproximarse como:

$$I_F = -\frac{mW}{L} I_{D0} \exp\left(\frac{V_{RF}(t) - V_{TH}}{nV_T}\right), \quad (4.32)$$

donde la magnitud de la corriente de fuga crece proporcionalmente con el ancho del canal W e inversamente con su longitud L .

En el rectificador CCDD, esta corriente de fuga genera trayectorias parásitas de conducción entre los nodos de entrada y salida. Por ejemplo, durante el semiciclo positivo ($V_{RF} > 0$), parte de la corriente entregada por el transistor M_3 a la carga se desvía hacia el nodo negativo de la fuente de entrada a través del transistor M_4 , el cual se encuentra en corte. De manera análoga, el transistor M_1 permite el desvío de corriente desde el nodo positivo hacia la rama opuesta. Durante el semiciclo negativo, estos mecanismos se reproducen de forma simétrica.

El voltaje drenador-fuente en los transistores apagados puede expresarse como:

$$V_{DS-} = -(V_{out} + V_{DS+}), \quad (4.33)$$

$$V_{DS+} = -(V_{out} + V_{DS-}). \quad (4.34)$$

A medida que el voltaje de salida V_{out} aumenta, el punto de operación de los transistores en corte se desplaza hacia regiones más profundas del tercer cuadrante en el plano (V_{GS}, V_{DS}) . En esta zona, la conducción inversa se intensifica, incrementando las pérdidas por fuga.

En condiciones extremas, si el valor de $|V_{DS}|$ supera el voltaje de ruptura del dispositivo V_{RUP} , puede producirse un régimen de ruptura caracterizado por un crecimiento abrupto de la corriente inversa.

Este fenómeno introduce una limitación fundamental en la operación del rectificador: a altos niveles de excitación, el incremento de las corrientes de fuga e inversión reduce la potencia neta entregada a la carga. Como consecuencia, se observa una degradación de la eficiencia y una reducción del rango dinámico de potencia (PDR) en su cota superior, estableciendo un límite práctico para la potencia máxima de entrada que puede ser convertida eficientemente.

4.2.2.2. Descarga del nodo de salida por conducción inversa

Un segundo mecanismo de pérdida se manifiesta cuando el voltaje de salida $V_{\text{out}}(t)$ alcanza valores comparables o superiores a la amplitud de la señal de entrada $V_{\text{RF}}(t)$. En esta situación, se cumple que:

$$V_{\text{RF}}(t) < V_{\text{out}}(t) + V_{\text{DS}}(t), \quad (4.35)$$

y, considerando la relación:

$$V_{\text{DS}}(t) = \frac{V_{\text{RF}}(t) - V_{\text{out}}(t)}{2}, \quad (4.36)$$

se obtiene que $V_{\text{DS}}(t) < 0$ aun cuando $V_{\text{GS}}(t) > 0$.

Bajo esta condición, el transistor entra en un régimen de conducción inversa, en el cual el flujo de portadores ocurre desde el drenador hacia la fuente. Este fenómeno genera una corriente que descarga el nodo de salida, reduciendo la potencia efectiva transferida a la carga.

En este régimen, el dispositivo opera en la región de *inversión lineal inversa* (SL), cuyo comportamiento puede aproximarse al de conducción directa asumiendo la simetría del transistor, tal como se discute en [26].

Para incorporar este efecto en el modelo, se utiliza la función signo, introducida previamente en la Sec. 3.3, en conjunto con el valor absoluto de V_{DS} , lo que permite capturar tanto la conducción directa como la inversa dentro de un mismo formalismo.

Este mecanismo introduce una limitación adicional en el desempeño del rectificador. En particular, cuando V_{out} crece en exceso, la condición $V_{\text{DS}} < 0$ se cumple durante una mayor fracción del periodo, incrementando la descarga del nodo de salida.

Como consecuencia, el aumento de V_{out} deja de traducirse en mayor potencia útil, lo que reduce la eficiencia de conversión y contribuye a limitar el rango dinámico de potencia (PDR), especialmente en su cota superior.

El voltaje umbral V_{TH} introduce un compromiso fundamental de diseño. Valores elevados de V_{TH} reducen las pérdidas por conducción inversa, ya que dificultan la activación del transistor en esta región; sin embargo, también limitan la conducción directa, reduciendo la capacidad de cargar el nodo de salida.

Por el contrario, valores bajos de V_{TH} favorecen la conducción incluso para señales de RF de baja amplitud, mejorando la sensibilidad del rectificador. No obstante, esto incrementa la conducción inversa cuando V_{out} es elevado, aumentando las pérdidas y degradando la eficiencia a altos niveles de potencia.

Por lo tanto, la selección de V_{TH} implica un compromiso entre la eficiencia a baja potencia y la degradación del rendimiento en la región de alta potencia.

4.2.2.3. Corriente capacitiva

Además de la conducción del canal, la señal RF aplicada a la compuerta induce corrientes asociadas a la redistribución temporal de carga en las capacitancias parásitas del transistor, como se menciona en la Sec. 3.2.2. La variación temporal de la señal de entrada genera una corriente capacitiva que, considerando las Ec. (4.2) y Ec. (4.21), para el semiciclo positivo puede expresarse como:

$$I_{\text{pump}} = C_{GS} \frac{dV_{RF}}{dt} + C_{GD} \frac{dV_{RF}}{dt} - C_{GD} \frac{d\left(\frac{V_{RF} - V_{\text{out}}}{2}\right)}{dt} \quad (4.37)$$

$$= \left(C_{GS} + \frac{C_{GD}}{2}\right) \frac{dV_{RF}}{dt} + \frac{C_{GD}}{2} \frac{dV_{\text{out}}}{dt} \quad (4.38)$$

La Ec. 4.38 constituye el modelo dinámico de la corriente capacitiva y depende explícitamente tanto de la excitación de entrada $\frac{dV_{RF}}{dt}$ como de la dinámica del nodo de salida $\frac{dV_{\text{out}}}{dt}$. Por lo tanto, I_{pump} captura el acoplamiento entre la compuerta y el drenador a través de C_{GD} , lo que introduce una dependencia directa con V_{out} .

Desde el punto de vista físico, el primer término está asociado a la excitación directa de la compuerta, mientras que el segundo término refleja la realimentación dinámica del nodo de salida hacia la compuerta a través de la capacitancia C_{GD} .

En contraste con este modelo dinámico, es posible definir una capacitancia efectiva C_{eff} con el objetivo de obtener una estimación global de la carga capacitiva del transistor. Para ello, se considera una aproximación en la cual la variación temporal de V_{DS} , Ec. (4.21), es despreciable frente a la variación de V_{RF} , es decir:

$$\frac{dV_{DS}}{dt} \approx 0. \quad (4.39)$$

Bajo esta hipótesis, la Ec. 4.38 se simplifica a una contribución dominada por:

$$I_{\text{pump}} \approx (C_{GS} + C_{GD}) \frac{dV_{RF}}{dt}. \quad (4.40)$$

Esto permite interpretar que la compuerta “ve” una capacitancia equivalente:

$$C_{\text{eff}} \approx C_{GS} + C_{GD}. \quad (4.41)$$

Utilizando los modelos de capacitancias presentados en las secciones anteriores (Sec. 3.2.2), para operación en inversión fuerte, estas capacitancias pueden aproximarse como proporcionales al área de canal y a las capacitancias de solapamiento, lo que conduce a:

$$C_{\text{eff}} = m(WLC_{\text{ox}} + 2WC'_{\text{ov}}), \quad (4.42)$$

donde el término WLC_{ox} representa la capacitancia de canal, mientras que $2WC'_{ov}$ modela las capacitancias de solapamiento compuerta–fuente y compuerta–drenador. El factor de multiplicidad m aparece debido a que el transistor está implementado mediante m dedos en paralelo, por lo que tanto la corriente como las capacitancias escalan linealmente con este parámetro.

Es importante destacar que C_{eff} no forma parte explícita del modelo dinámico del rectificador, ya que éste está completamente descrito por la Ec. 4.38. En cambio, C_{eff} actúa únicamente como un parámetro agregado que permite estimar la carga capacitiva total y evaluar de forma cualitativa el impacto de las pérdidas reactivas.

En el rectificador CCDD, la corriente I_{pump} representa un flujo de carga alternante entre los nodos de entrada, el cual no contribuye a la transferencia neta de energía hacia la carga.

En particular, para el transistor PMOS, esta corriente circula entre los nodos V_{RF+} y V_{RF-} a través de las capacitancias parásitas. En el caso del transistor NMOS ocurre un fenómeno análogo, manteniéndose la circulación de corriente entre ambas ramas del rectificador.

Desde el punto de vista energético, este mecanismo no contribuye a la potencia útil entregada a la carga, sino que representa pérdidas de carácter reactivo asociadas a los procesos de carga y descarga de las capacitancias internas del dispositivo.

A medida que aumenta la capacitancia efectiva, se incrementa la energía intercambiada en cada ciclo de la señal RF entre las capacitancias parásitas y la fuente de excitación, lo que acentúa las pérdidas reactivas y reduce la eficiencia del rectificador.

4.2.2.4. Efecto dinámico de I_{pump} durante el ciclo RF

El efecto de la corriente capacitiva depende del signo de la señal RF y de su derivada temporal. Dado que I_{pump} es proporcional a $\frac{dV_{RF}}{dt}$, su contribución modifica de forma distinta la corriente efectiva durante las diferentes fases del ciclo RF.

Durante el semiciclo positivo ($V_{RF} > 0$):

- Si $\frac{dV_{RF}}{dt} > 0$, la corriente capacitiva reduce la corriente efectiva disponible para la conducción del transistor M3, dificultando el incremento de corriente hacia la carga. Además para el transistor M2 activo durante el semiciclo positivo presenta un flujo de corriente que no aporta a la carga.
- Si $\frac{dV_{RF}}{dt} < 0$, la corriente capacitiva aumenta temporalmente la corriente total que circula por el dispositivo, lo que dificulta el apagado del transistor correspondiente M3 y M2.

Durante el semiciclo negativo ($V_{RF} < 0$):

- Si $\frac{dV_{RF}}{dt} < 0$, la corriente capacitiva reduce nuevamente la corriente efectiva disponible para la conducción de M4, limitando la transferencia de carga hacia la carga. Además

para M1 transistor activo durante el semiciclo negativo, presenta un flujo de corriente desde entre los nodos de la fuente, limitando la entrega de potencia

- Si $\frac{dV_{RF}}{dt} > 0$, la corriente capacitiva incrementa transitoriamente la corriente en el dispositivo M4, dificultando el cierre del transistor. En el caso del transistor M1 fluyen corriente que no aportan a la carga.

En conjunto, este fenómeno introduce una corriente reactiva parásita I_{pump} que no contribuye a la rectificación efectiva y que circula a través de las interconexiones del rectificador, incrementando las pérdidas dinámicas del sistema. Por lo cual se debe atenuar para evitar las perdidas.

4.2.2.5. Influencia del largo de canal L

El largo de canal afecta simultáneamente:

- la corriente de conducción ($\propto 1/L$),
- la capacitancia del canal ($\propto L$),
- el tiempo característico del transporte.

El tiempo característico del canal puede aproximarse como:

$$\tau_{\text{ch}} \approx \frac{L^2}{\mu_n(V_{GS} - V_{TH})}, \quad (4.43)$$

con una frecuencia asociada:

$$f_{\text{ch}} = \frac{1}{2\pi\tau_{\text{ch}}}. \quad (4.44)$$

Para operación cuasi-estática debe cumplirse:

$$f \ll f_{\text{ch}}. \quad (4.45)$$

Esto implica que incrementos en L penalizan la transferencia de potencia de forma cuadrática. Para el caso de estudio mostrado en la Fig. 3.6, con excitaciones senoidales de frecuencia cercana a $f_0 = 900$ MHz y amplitudes del orden de 1 V, se verifica que para longitudes de canal elevadas el valor de τ_{ch} se vuelve comparable con el período de la señal excitadora. Considerando parámetros típicos $\mu_n = 0,035$, $V_{TH} = 0,45$ V y un sobrevoltaje de compuerta $V_{GS} - V_{TH} \approx 0,55$ V, se obtiene:

$$\tau_{\text{ch}}^{\text{máx}} = \frac{1}{2\pi \cdot 5f_0} \approx 3,5 \times 10^{-11} \text{ s}, \quad (4.46)$$

$$L_{\text{máx}} = \sqrt{\tau_{\text{ch}}^{\text{máx}} \cdot \mu_n \cdot (V_{GS} - V_{TH})} \approx 8,3 \times 10^{-7} \text{ m} \approx 1 \mu\text{m}. \quad (4.47)$$

El factor de seguridad $5f_0$ se adopta siguiendo criterios de la literatura [28], donde se enfatiza que el modelo cuasi-estático sólo es válido si la frecuencia característica del canal f_{ch} excede varias veces la frecuencia de excitación aplicada. De este modo, se garantiza que la redistribución de carga sea mucho más rápida que la señal excitadora y que los efectos NQS no dominen el comportamiento eléctrico.

4.2.2.6. Influencia del ancho de canal W

El ancho de canal afecta simultáneamente:

- la corriente de conducción ($\propto W$),
- la capacitancia de compuerta ($\propto W$),
- el retardo asociado a la distribución del voltaje en la compuerta.

A diferencia del largo de canal, el ancho no introduce limitaciones de transporte, pero sí un efecto dinámico asociado a la excitación de la compuerta, el cual puede modelarse mediante una línea RC distribuida.

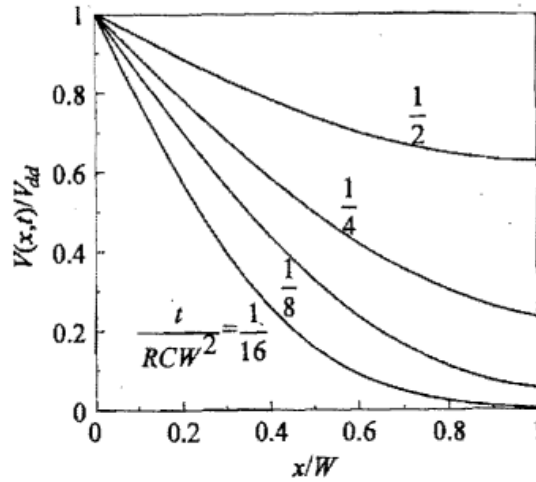


Figura 4.3: .

Distribución del voltaje de puerta en el tiempo y espacio, como presentado en [25].

El tiempo característico asociado al retardo de compuerta puede aproximarse como:

$$\tau_g \approx R_p C_p W^2, \quad (4.48)$$

donde, siguiendo la distribución espacial del voltaje mostrada en la Fig. 4.3, se adopta una aproximación más conservadora respecto al factor clásico $1/4$, utilizando un factor

unitario con el fin de capturar de mejor forma la degradación de amplitud de la señal RF y su impacto en la transferencia de potencia.

Con una frecuencia asociada:

$$f_g = \frac{1}{2\pi\tau_g}. \quad (4.49)$$

Para que la excitación RF sea efectiva debe cumplirse:

$$f \ll f_g. \quad (4.50)$$

Esto implica que incrementos en W penalizan la transferencia de potencia de forma cuadrática. Para el caso de estudio con excitaciones senoidales de frecuencia cercana a $f_0 = 900$ MHz, se verifica que para anchos elevados el valor de τ_g se vuelve comparable con el período de la señal excitadora.

Considerando parámetros tecnológicos típicos $\rho_g = 20 \text{ } \Omega/\square$, $C_{ox} = 0,0154 \text{ F/m}^2$, $C_{ov} = 6,42 \times 10^{-10} \text{ F/m}$ y $L = 0,13 \text{ } \mu\text{m}$, se obtiene:

$$\tau_g^{\text{máx}} = \frac{1}{2\pi \cdot 5f_0} \approx 3,5 \times 10^{-11} \text{ s}, \quad (4.51)$$

$$W_{\text{máx}} \approx \sqrt{\frac{\tau_g^{\text{máx}}}{R_p C_p}} \approx 9,3 \times 10^{-6} \text{ m} \approx 9,3 \text{ } \mu\text{m}. \quad (4.52)$$

4.2.2.7. Influencia de la multiplicidad m

La multiplicidad m permite escalar el ancho efectivo del transistor mediante la conexión en paralelo de múltiples dispositivos:

$$W_{\text{eff}} = mW. \quad (4.53)$$

Desde el punto de vista eléctrico, la multiplicidad afecta simultáneamente:

- la corriente de conducción ($\propto m$),
- la capacitancia efectiva de compuerta ($\propto m$),
- la corriente reactiva asociada a las capacitancias ($\propto m$).

A diferencia del ancho W , la multiplicidad no incrementa el retardo de compuerta τ_g , ya que cada transistor individual mantiene un ancho reducido y, por lo tanto, una distribución de voltaje más uniforme en su compuerta.

Sin embargo, la capacitancia efectiva total del dispositivo crece linealmente con m :

$$C_{\text{eff}} \approx m(WLC_{ox} + 2WC_{ov}), \quad (4.54)$$

lo que incrementa la corriente capacitiva:

$$I_{\text{pump}} \propto m. \quad (4.55)$$

Para operación eficiente, debe cumplirse que la corriente reactiva no domine sobre la corriente de conducción, lo que puede expresarse de forma cualitativa como:

$$I_{\text{pump}} \ll I_{\text{cond}}. \quad (4.56)$$

Esto introduce una cota práctica sobre la multiplicidad: aunque aumentar m permite incrementar la corriente total sin degradar el retardo de compuerta, también incrementa las pérdidas dinámicas asociadas a la carga y descarga de las capacitancias parásitas.

En el rectificador CCDD, este efecto se traduce en un aumento de la potencia reactiva intercambiada con la fuente RF, reduciendo la potencia neta entregada a la carga y, por lo tanto, degradando la eficiencia de conversión (PCE).

Por lo tanto, la selección de m implica un compromiso entre la mejora en capacidad de conducción y el incremento de pérdidas dinámicas, debiendo optimizarse en conjunto con W y L para maximizar la eficiencia del sistema.

4.2.2.8. Corriente total y ecuación dinámica del nodo

La corriente total suministrada al nodo de salida resulta de la superposición de la corriente conductiva y de la corriente capacitiva:

$$I_{\text{out}+}(t) = \text{sgn}\left(\frac{V_{RF} - V_{\text{out}}}{2}\right) \cdot (I_{\text{cond}}(V_{\text{out}}(t), V_{RF}(t)) - I_{\text{pump}}(V_{\text{out}}(t), V_{RF}(t))). \quad (4.57)$$

$$I_{\text{out}-}(t) = \text{sgn}\left(\frac{-V_{RF} - V_{\text{out}}}{2}\right) \cdot (I_{\text{cond}}(V_{\text{out}}(t), -V_{RF}(t)) - I_{\text{pump}}(V_{\text{out}}(t), -V_{RF}(t))). \quad (4.58)$$

de donde es posible apreciar que I_{pump} siempre reduce la corriente I_{cond} independientemente de su dirección.

La dinámica del voltaje de salida queda entonces gobernada por:

$$I_{\text{out}} = I_{\text{out}+} + I_{\text{out}-} \quad (4.59)$$

Sin embargo como la componente I_{out} aun depende de $\frac{dV_{\text{out}}}{dt}$ por lo que aplicando el álgebra correspondiente se puede llegar a que:

$$\begin{aligned}
\frac{dV_{out}}{dt} = & \frac{1}{C + \left(\text{sgn}(V_{DS+}) \frac{C_{GD+}}{2} + \text{sgn}(V_{DS-}) \frac{C_{GD-}}{2} \right)} \\
& \times \left[\text{sgn}(V_{DS+}) |I_{cond+}| + \text{sgn}(V_{DS-}) |I_{cond-}| \right. \\
& - \frac{dV_{RF}}{dt} \left(\text{sgn}(V_{DS+}) \frac{2C_{GS+} + C_{GD+}}{2} + \text{sgn}(V_{DS-}) \frac{2C_{GS-} + C_{GD-}}{2} \right) \\
& \left. - \frac{V_{out}}{R} \right]. \tag{4.60}
\end{aligned}$$

la cual constituye la base para el dimensionamiento de los transistores CMOS que se presentan en la sección siguiente.

4.2.3. Comparación del Modelo Propuesto con el Modelo PSP 130.1

El modelo matemático desarrollado se implementa en MATLAB, tal como se documenta en el Anexo B.5. Esta implementación permite resolver la dinámica del nodo de salida del rectificador CCDD bajo excitación RF de gran señal.

Los resultados del modelo propuesto se comparan con simulaciones SPICE basadas en el modelo compacto PSP 130.1, cuyo código se presenta en el Anexo A.5. Los parámetros empleados se obtienen siguiendo el procedimiento descrito en la Sección 3.4, garantizando consistencia física entre ambos enfoques.

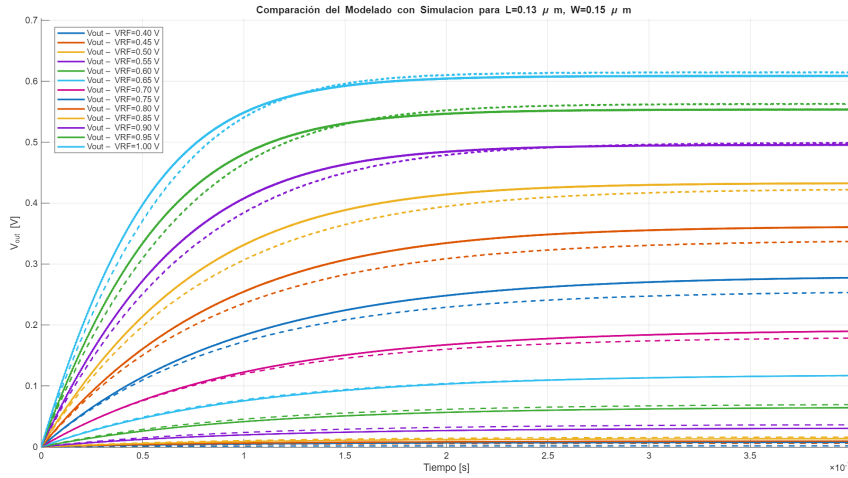


Figura 4.4: Comparación Modelo Propuesto con Simulación.

Se introduce un ajuste empírico para compensar las simplificaciones del modelo cuasi-estático y de la representación agregada de las capacitancias parásitas, especialmente en el

factor de ganancia del MOSFET $K = \mu_{n,p} C_{ox}$, donde se usa la mitad del valor calculado. La Fig. 4.4 muestra la comparación entre modelo y simulación, evidenciando una buena concordancia tanto en el valor estacionario de V_{out} como en su evolución temporal, lo que valida el modelo como herramienta de análisis del rectificador CCDD.

4.3. Criterios físicos y dinámicos de diseño para maximizar la transferencia de potencia

Una vez validado el modelo, éste se emplea como herramienta para el análisis y la optimización del rectificador CCDD. En régimen RF de gran señal, la eficiencia de conversión no depende únicamente de la corriente máxima de conducción en régimen cuasi-estático, sino del balance dinámico de potencia entre los distintos mecanismos físicos que tienen lugar a lo largo del ciclo de operación.

Siguiendo [26], la potencia entregada por la fuente RF puede descomponerse como:

$$P_{RF} = P_{out} + P_{fw} + P_{rv} + P_{sub} + P_{pump}, \quad (4.61)$$

donde $P_{out} = \left\langle \frac{V_{out}^2}{R} \right\rangle$ corresponde a la potencia útil entregada a la carga, mientras que los restantes términos representan distintos mecanismos de pérdida internos del rectificador.

En particular, P_{fw} está asociado a la potencia disipada durante la conducción directa del canal, P_{rv} modela las pérdidas por conducción inversa en los intervalos donde $V_{DS} < 0$, y P_{sub} representa las pérdidas por conducción en subumbral en los transistores apagados. Por otra parte, P_{pump} captura las pérdidas dinámicas asociadas a la carga y descarga periódica de las capacitancias parásitas a través de las resistencias internas del dispositivo.

Bajo esta descomposición, la optimización del rectificador puede formularse como un problema de balance de potencia:

$$\max P_{out} \iff \min (P_{fw} + P_{rv} + P_{sub} + P_{pump}), \quad (4.62)$$

lo que pone de manifiesto que la maximización de la eficiencia requiere minimizar simultáneamente múltiples mecanismos de pérdida de distinta naturaleza.

4.3.0.1. Estructura temporal del ciclo RF

Durante cada período $T = 1/f$, la conducción del rectificador no es uniforme, sino que se concentra en intervalos temporales bien definidos determinados por la excitación sinusoidal.

La conducción directa del canal ocurre en torno a los máximos de la señal RF, en intervalos centrados en $T/4$ y $3T/4$, con duración efectiva $2t_1$:

$$t \in \left[\frac{T}{4} - t_1, \frac{T}{4} + t_1 \right], \quad \left[\frac{3T}{4} - t_1, \frac{3T}{4} + t_1 \right]. \quad (4.63)$$

En estos intervalos, los transistores activos conducen corriente hacia la carga, determinando la transferencia útil de energía.

Adyacente a estos intervalos aparecen regiones de conducción inversa, de duración característica t_3 , en las cuales se cumple $V_{DS} < 0$:

$$t \in \left[\frac{T}{4} - t_1 - t_3, \frac{T}{4} - t_1 \right], \quad \left[\frac{T}{4} + t_1, \frac{T}{4} + t_1 + t_3 \right], \quad (4.64)$$

$$t \in \left[\frac{3T}{4} - t_1 - t_3, \frac{3T}{4} - t_1 \right], \quad \left[\frac{3T}{4} + t_1, \frac{3T}{4} + t_1 + t_3 \right]. \quad (4.65)$$

En estos intervalos, la corriente fluye en sentido opuesto al deseado, generando pérdidas asociadas a P_{rv} . Entre ambas regiones, se define un instante característico t_2 en el cual la conducción inversa alcanza su valor máximo.

Finalmente, durante el resto del período, los transistores permanecen en régimen de corte, donde predominan corrientes de fuga en subumbral que contribuyen a P_{sub} , aunque con menor peso relativo.

4.3.0.2. Interpretación física para la optimización

La estructura temporal descrita permite interpretar el funcionamiento del rectificador como un proceso de transferencia de carga concentrado en ventanas temporales limitadas.

En este contexto, el aumento del intervalo de conducción t_1 incrementa la carga transferida por ciclo,

$$\Delta Q \propto \int I_{cond}(t) dt, \quad (4.66)$$

favoreciendo la potencia entregada a la carga. Sin embargo, este incremento también conlleva un aumento de la carga capacitiva excitada y, por tanto, de las pérdidas dinámicas.

Por otra parte, el incremento del voltaje de salida V_{out} mejora la potencia útil, pero simultáneamente amplía los intervalos en los cuales se cumple $V_{DS} < 0$, incrementando la duración efectiva t_3 y, en consecuencia, las pérdidas por conducción inversa.

Adicionalmente, las capacitancias parásitas del transistor introducen una corriente dinámica de la forma:

$$I_{pump} \approx C_{eff} \frac{dV_{RF}}{dt}, \quad (4.67)$$

la cual no contribuye a la transferencia de carga hacia la salida, sino que representa un intercambio reactivo de energía que incrementa P_{pump} .

Finalmente, el retardo distribuido de compuerta, caracterizado por τ_g , reduce la amplitud efectiva del voltaje V_{GS} a lo largo del dispositivo, disminuyendo la corriente de conducción y acortando el intervalo útil t_1 .

4.3.0.3. Condición global de transferencia neta de potencia

Integrando los mecanismos anteriores, la condición para que exista transferencia neta de potencia hacia la carga puede expresarse como:

$$\int_{\text{activa}} I_{\text{cond}}(t) dt > \int_{\text{ciclo}} (I_{\text{pump}}(t) + I_{\text{rv}}(t) + I_{\text{sub}}(t)) dt + \frac{V_{\text{out}}}{R} T. \quad (4.68)$$

Esta relación establece que la carga transferida durante los intervalos activos debe ser suficiente para compensar tanto las pérdidas dinámicas como la energía entregada a la carga resistiva.

4.3.0.4. Implicancias para la optimización geométrica

Los parámetros geométricos del transistor determinan directamente este balance dinámico. El ancho de canal W incrementa la capacidad de conducción, pero también aumenta la capacitancia total y el retardo de compuerta, lo que intensifica las pérdidas dinámicas. El largo de canal L , en cambio, reduce la corriente disponible al aumentar la resistencia del canal, pero mejora el comportamiento cuasi-estático y atenúa ciertos efectos no ideales como la conducción inversa. Finalmente, la multiplicidad m escala linealmente tanto la corriente como las capacitancias, sin modificar el retardo distribuido de cada dedo individual.

En consecuencia, la maximización del PCE no se logra mediante la maximización individual de alguno de estos parámetros, sino a través de un compromiso óptimo entre conducción útil y pérdidas dinámicas, lo que justifica la exploración paramétrica presentada en la siguiente sección.

4.4. Exploración paramétrica de los parámetros geométricos

A partir de los criterios físicos y dinámicos establecidos en la Sección 4.3, se realizó una exploración sistemática de los parámetros geométricos del rectificador CCDD, con el objetivo de identificar configuraciones que maximicen la eficiencia de conversión de potencia (PCE) y el voltaje DC de salida bajo excitación RF.

La exploración se centró en tres parámetros fundamentales el largo de canal L , el ancho del canal W y la multiplicidad m . del transistor NMOS y su analogo PMOS, manteniendo constantes las condiciones de carga y frecuencia de operación.

Estos parámetros gobiernan de forma directa la corriente de conducción, la capacitancia efectiva del dispositivo y la magnitud de la corriente de fuga, y por tanto constituyen los principales grados de libertad de diseño del rectificador.

4.4.1. Metodología de simulación

Las simulaciones se realizaron en el dominio transitorio utilizando el modelo compacto PSP, implementado en el simulador *NGSpice*, cuyo código queda en el Anexo A.5. El rectificador CCDD fue excitado mediante una fuente sinusoidal de la forma:

$$V_{\text{RF}}(t) = A \sin(2\pi f_0 t), \quad (4.69)$$

donde la amplitud A se barrió en el rango de interés para aplicaciones de *RF Energy Harvesting* considerando la potencia de entrada como principal referencia, lo que se traduce a un rango de voltaje de $A = [0,4; 1,2]$ [V], y la frecuencia se fijó en $f_0 = 900$ MHz, valor representativo de sistemas ISM y coherente con el análisis dinámico previo.

La carga se mantuvo constante con valores:

$$R = 100 \text{ k}\Omega, \quad C = 1 \text{ pF}, \quad (4.70)$$

seleccionados como un compromiso entre realismo físico, costo computacional y similaridad con demas estudios. Para cada combinación de parámetros (L, W, m) , se ejecutaron simulaciones transitorias independientes hasta alcanzar régimen periódico estacionario.

A partir del último período de la señal RF se calcularon:

- la potencia promedio de entrada P_{in} ,
- la potencia promedio entregada a la carga P_{out} ,
- el voltaje DC promedio de salida V_{out} ,
- la eficiencia de conversión $\text{PCE} = P_{\text{out}}/P_{\text{in}}$.

Este procedimiento garantiza que los resultados reflejen el comportamiento dinámico real del rectificador, incluyendo los efectos de capacitancias parásitas y corrientes de fuga.

4.4.2. Rango de parámetros explorados

Los valores explorados para cada parámetro se resumen en la Tabla 4.1. Dichos rangos fueron seleccionados considerando las restricciones tecnológicas del proceso y los límites dinámicos discutidos previamente.

Esta exploración cubre desde transistores mínimos hasta configuraciones con área activa significativa, permitiendo evaluar de manera clara el impacto relativo de cada parámetro. Se puede ver una visualización de la exploración en la Fig. 4.5

Tabla 4.1: Rango de parámetros geométricos explorados

Parámetro	Valores explorados
L [μm]	$\{0,13, 0,15, 0,22, 0,30\}$
W [μm]	$\{0,15, 0,16, 0,22, 1,00\}$
m	$\{1, 5, 10, 20\}$

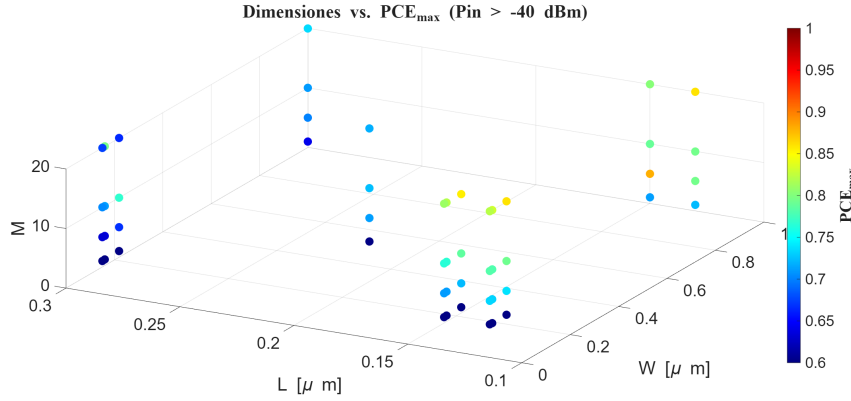


Figura 4.5: Exploración Dimensiones de Rectificador CCDD.

4.4.3. Resultados de la Exploración de las Dimensiones del Rectificador CCDD

A partir de la exploración paramétrica presentada en la sección anterior, se seleccionaron los casos que exhiben los mayores valores de eficiencia de conversión de potencia (PCE). Estos casos los valores característicos de estos casos se detallan en la Tab. 4.2 corresponden a configuraciones que maximizan simultáneamente la potencia entregada a la carga y el voltaje DC de salida, bajo condiciones idénticas de excitación RF y carga.

4.4.4. Características geométricas y tendencias dominantes en los mejores 20 casos

Los casos con mayor eficiencia de conversión (PCE) de la Tab. 4.2 presentan un conjunto consistente de características geométricas que concuerdan directamente con los criterios dinámicos de transferencia de carga desarrollados en la Sección 4.3. Estas configuraciones no son producto del azar, sino de la optimización implícita del balance entre corriente útil, capacitancias parásitas y pérdidas dinámicas propias de la estructura CCDD.

En particular, los casos maximizan lo definido en la Ec. 4.3, el cual gobierna la capacidad efectiva del transistor para suministrar carga útil al nodo de salida durante cada semiciclo activo de la señal RF, dentro del tiempo impuesto por la frecuencia de operación.

Tabla 4.2: Resultados de exploración de dimensiones

Dimensiones	PCE_{max}	P_{in} [dBm]	Área local	V_{out}
$L = 0,15 \mu m, W = 1,00 \mu m, m = 5$	0.88007	-27.025	4.6848	0.43124
$L = 0,15 \mu m, W = 0,22 \mu m, m = 20$	0.85506	-25.842	5.9643	0.48707
$L = 0,13 \mu m, W = 0,15 \mu m, m = 20$	0.82108	-25.476	5.6752	0.49782
$L = 0,15 \mu m, W = 0,16 \mu m, m = 20$	0.82090	-25.717	5.7699	0.48416
$L = 0,15 \mu m, W = 0,15 \mu m, m = 20$	0.80955	-25.555	5.5622	0.48984
$L = 0,30 \mu m, W = 0,16 \mu m, m = 20$	0.79609	-26.155	5.8419	0.45333
$L = 0,13 \mu m, W = 1,00 \mu m, m = 5$	0.79448	-25.086	5.0276	0.49834
$L = 0,13 \mu m, W = 1,00 \mu m, m = 10$	0.79448	-25.626	5.9124	0.46830
$L = 0,13 \mu m, W = 0,22 \mu m, m = 10$	0.79323	-25.240	5.7301	0.50282
$L = 0,15 \mu m, W = 1,00 \mu m, m = 10$	0.78969	-26.900	4.7369	0.40322
$L = 0,15 \mu m, W = 0,22 \mu m, m = 10$	0.78658	-25.246	5.6368	0.50034
$L = 0,13 \mu m, W = 0,15 \mu m, m = 10$	0.78142	-24.941	5.4216	0.51649
$L = 0,13 \mu m, W = 0,16 \mu m, m = 10$	0.77981	-25.119	5.6181	0.50549
$L = 0,30 \mu m, W = 0,22 \mu m, m = 10$	0.76750	-27.046	4.9629	0.40171
$L = 0,15 \mu m, W = 0,16 \mu m, m = 10$	0.76653	-25.215	5.5082	0.49566
$L = 0,15 \mu m, W = 0,15 \mu m, m = 10$	0.76452	-25.063	5.3290	0.50375
$L = 0,13 \mu m, W = 0,22 \mu m, m = 5$	0.73785	-23.887	5.1502	0.56668
$L = 0,13 \mu m, W = 0,15 \mu m, m = 5$	0.73303	-24.665	4.9099	0.51641
$L = 0,13 \mu m, W = 0,16 \mu m, m = 5$	0.73250	-23.838	5.0596	0.56783
$L = 0,22 \mu m, W = 0,50 \mu m, m = 10$	0.72374	-26.034	5.2261	0.42645

4.4.4.1. Rol dominante del largo de canal L

Entre todos los parámetros explorados, el largo de canal L emerge como el factor más determinante en la selección de los casos seleccionados. La reducción de L produce simultáneamente:

- un aumento de la corriente de conducción $I_D \propto 1/L$,
- una reducción del tiempo característico del canal $\tau_{ch} \propto L^2$,
- una disminución de la capacitancia efectiva del canal $C_{ch} = WLC_{ox}$.

Desde un punto de vista dinámico, estos efectos permiten que el transistor redistribuya su carga interna y entregue corriente al nodo de salida dentro del período impuesto por la señal RF, manteniéndose en un régimen cuasi-estático. Esta condición se refleja en simulación como una superposición cercana entre la superficie DC de corriente y la trayectoria transitoria recorrida durante la excitación RF.

Por el contrario, valores mayores de L incrementan rápidamente τ_{ch} y la carga almacenada en el canal, produciendo un desacople progresivo entre el comportamiento DC

y dinámico, y una penalización sistemática de la PCE.

4.4.4.2. Compromiso entre ancho W y capacitancias parásitas

El ancho del transistor presenta una influencia secundaria respecto a L , pero no despreciable. Un incremento de W aumenta la corriente máxima disponible, aunque también incrementa de forma proporcional las capacitancias parásitas del canal y de solape. En el modelo CCDD, la capacitancia total puede aproximarse como:

$$C_{\text{tot}} \approx m(WLC_{\text{ox}} + 2WC'_{\text{ov}}) + C_{\text{ext}}. \quad (4.71)$$

El aumento de C_{tot} implica una mayor corriente dinámica requerida para cargar y descargar estas capacitancias:

$$I_C \approx C_{\text{tot}} \frac{dV}{dt}, \quad (4.72)$$

la cual se manifiesta en el modelo como el término de bombeo capacitivo I_{pump} . En los casos seleccionados, el ancho adopta valores moderados, correspondientes a un punto de equilibrio donde el incremento de corriente útil aún domina sobre el aumento de corriente capacitiva, evitando que la redistribución interna de carga consuma una fracción significativa de la corriente total disponible.

4.4.4.3. Multiplicidad como estrategia de escalado eficiente

Un rasgo distintivo de las configuraciones óptimas es el uso de multiplicidad elevada como mecanismo de escalado de corriente. En primera aproximación, la corriente total puede expresarse como:

$$I_{\text{out}} = m I_{DS}, \quad (4.73)$$

lo que permite incrementar la capacidad de conducción sin modificar el largo de canal ni las condiciones locales de transporte del dispositivo.

A diferencia de un incremento directo del ancho total W , la multiplicidad consiste en implementar m transistores en paralelo, cada uno con ancho W . De este modo, aunque la corriente total y la capacitancia efectiva escalan linealmente con m ,

$$C_{\text{tot}} \propto mWL, \quad (4.74)$$

el comportamiento dinámico de cada transistor permanece gobernado por su ancho individual.

En particular, el retardo de compuerta asociado a cada dispositivo sigue una dependencia cuadrática con el ancho:

$$\tau_g \propto W^2, \quad (4.75)$$

mientras que en un transistor equivalente de ancho total $W_{\text{tot}} = mW$, el retardo crecería como:

$$\tau_g \propto (mW)^2. \quad (4.76)$$

Esto implica que implementar el mismo ancho total mediante un único transistor introduce una penalización dinámica cuadrática, mientras que la multiplicidad permite mantener acotado el retardo efectivo.

Adicionalmente, como cada transistor opera con el mismo largo de canal mínimo, la frecuencia característica del canal permanece elevada:

$$f \ll f_{\text{ch}}, \quad (4.77)$$

evitando la degradación asociada a efectos no cuasi-estáticos.

En consecuencia, la diferencia fundamental entre aumentar W y aumentar m radica en que un incremento de W degrada simultáneamente la excitación de compuerta debido al aumento de τ_g , mientras que la multiplicidad permite escalar la corriente manteniendo controladas las limitaciones dinámicas.

Por lo tanto, la multiplicidad se establece como una estrategia de diseño clave para maximizar el PCE, permitiendo aumentar la corriente de conducción sin incurrir en las penalizaciones cuadráticas asociadas a un único transistor de gran ancho.

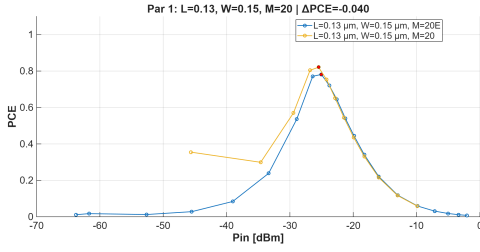
4.4.4.4. Relación con la corriente de fuga y el límite del PDR

En los casos 20 primeros casos, el voltaje DC de salida alcanza valores cercanos a la amplitud pico de la señal RF. En este régimen, la corriente de fuga durante el semiciclo no activo se convierte en un mecanismo relevante de pérdida y limita el *Power Dynamic Range* (PDR).

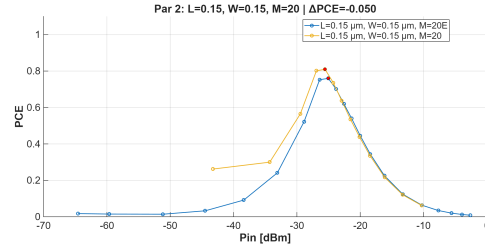
Las configuraciones óptimas mitigan este efecto gracias a:

- una mayor corriente útil durante el semiciclo activo,
- una reducción del tiempo efectivo en inversión débil,
- una menor fracción de corriente dedicada a cargar capacitancias internas.

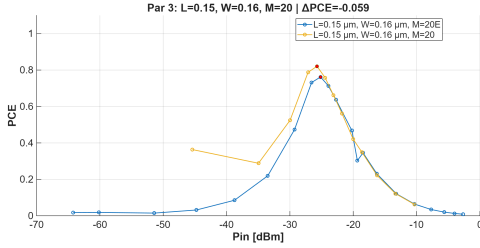
Como resultado, el balance neto de carga por ciclo se mantiene positivo incluso cuando $V_{\text{out}} \approx V_{\text{RF,pk}}$, extendiendo el rango dinámico de operación eficiente del rectificador.



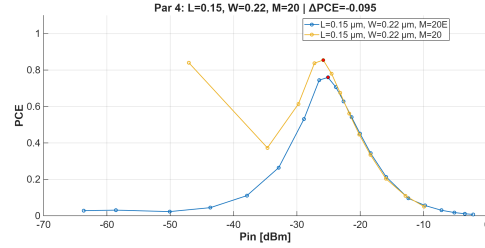
(a) PCE vs Pin, de CCDD para NMOS de $L = 0,13 \mu m$, $W = 0,15 \mu m$, $m = 20$.



(b) PCE vs Pin, de CCDD para NMOS de $L = 0,15 \mu m$, $W = 0,15 \mu m$, $m = 20$



(c) PCE vs Pin, de CCDD para NMOS de $L = 0,15 \mu m$, $W = 0,16 \mu m$, $m = 20$



(d) PCE vs Pin, de CCDD para NMOS de $L = 0,15 \mu m$, $W = 0,22 \mu m$, $m = 20$

Figura 4.6: Comparación de resultados para los primeros 4 pares en distintas métricas.

4.4.4.5. Coherencia con los resultados simulados

Los máximos valores de PCE obtenidos en simulación corresponden a configuraciones con L mínimo, W moderado y multiplicidad elevada, en completo acuerdo con el análisis dinámico desarrollado. Persisten, no obstante, desviaciones puntuales respecto de las tendencias generales en algunos casos cercanos al óptimo.

Una fuente probable de estas discrepancias es la sensibilidad del régimen dinámico a la resolución temporal de la simulación. Por este motivo, para los cinco mejores casos se emplearon pasos de tiempo más finos, del orden de 5 ps, obteniéndose un reordenamiento parcial de las configuraciones según PCE, el cual refuerza la correspondencia entre desempeño máximo y los criterios geométricos derivados para la optimización de la transferencia de potencia. Estos resultados quedan plasmados en Tab. 4.3.

Según las gráficas de la Fig 4.6, es posible ver que al aumentar la frecuencia de los pasos de la simulación los valores máximos de PCE para cada dimensión disminuyen, con la dimensión que no seguía la tendencia adecuada disminuyendo mas que las demás.

Tabla 4.3: Resultados de exploración de dimensiones de simulacion fina.

Dimensiones	PCE_{max}	P_{in} [dBm]	V_{out}	$V_{RF_{max}}$
$L = 0,13 \mu m, W = 0,15 \mu m, m = 20$	0.78131	-25.027	0.49783	0.60
$L = 0,15 \mu m, W = 0,15 \mu m, m = 20$	0.75972	-25.046	0.48983	0.60
$L = 0,15 \mu m, W = 0,16 \mu m, m = 20$	0.76206	-25.162	0.48411	0.60
$L = 0,15 \mu m, W = 0,22 \mu m, m = 20$	0.75973	-25.096	0.48700	0.60
$L = 0,15 \mu m, W = 1,00 \mu m, m = 5$	0.77222	-26.222	0.43130	0.55

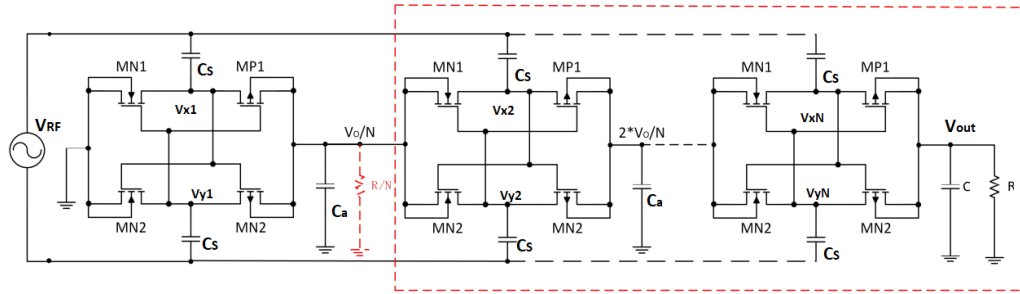


Figura 4.7: Esquema de Múltiples Etapas para Rectificador CCDD, como presentado en [26].

4.5. Múltiples Etapas

La extensión del rectificador CCDD a múltiples etapas permite incrementar el voltaje DC de salida a partir de una misma amplitud de señal RF, sin modificar el principio básico de rectificación diferencial. Este enfoque ha sido ampliamente reportado en la literatura [16,26] y resulta especialmente relevante en aplicaciones de *RF Energy Harvesting*, donde tanto la potencia disponible como el voltaje de entrada son limitados.

De acuerdo con el modelo analítico de [26], un rectificador CCDD de N etapas puede analizarse mediante una equivalencia a una única etapa, donde las $N - 1$ etapas posteriores se modelan como una carga resistiva efectiva R_L/N . Bajo esta aproximación, las corrientes de conducción son idénticas en cada etapa y los voltajes intermedios crecen de forma aproximadamente lineal. Como consecuencia, el voltaje DC total aumenta proporcionalmente con el número de etapas, mientras que la eficiencia de conversión de potencia (PCE) se mantiene idealmente constante.

Desde un punto de vista dinámico, la incorporación de etapas adicionales no altera el mecanismo fundamental de transferencia de carga, pero sí incrementa la capacitancia total involucrada en el proceso. Este aumento capacitivo modifica el balance de corrientes durante el ciclo RF y desplaza el punto de potencia de entrada óptima $P_{in,opt}$ hacia valores mayores, sin introducir una degradación significativa de la PCE máxima alcanzable, como es observable en Fig. 4.9.

4.5.1. Capacitancias relevantes en rectificadores CCDD multinivel

Las capacitancias asociadas a la compuerta de los transistores NMOS y PMOS se denotan como $C_{GD,n}$, $C_{GS,n}$, $C_{GB,n}$ y $C_{GD,p}$, $C_{GS,p}$, $C_{GB,p}$, respectivamente, siguiendo la notación empleada en [26]. Estas capacitancias dependen de la región de operación instantánea del dispositivo.

Para mantener coherencia con el modelo desarrollado previamente, las capacitancias de solape compuerta–fuente y compuerta–drenador se describen mediante un único parámetro tecnológico C_{ov} , mientras que la capacitancia de óxido se representa mediante $C_{ox} = \varepsilon_{ox}/t_{ox}$.

4.5.1.1. Capacitancias con transistores apagados

Cuando los transistores se encuentran en corte, la carga de inversión en el canal es despreciable, por lo que el comportamiento capacitivo está dominado por los términos de solape y por la capacitancia de óxido asociada al acoplamiento con el sustrato. En este régimen, las capacitancias pueden aproximarse como:

$$C_{GD,n/p} = C_{ov,n/p} m W_{n/p}, \quad (4.78)$$

$$C_{GS,n/p} = C_{ov,n/p} m W_{n/p}, \quad (4.79)$$

$$C_{GB,n/p} = C_{ox,n/p} m W_{n/p} L_{n/p}. \quad (4.80)$$

Estas expresiones son consistentes con lo desarrollado en la Sec. 3.1.1.1, donde se establece que, en ausencia de canal de inversión, la compuerta mantiene un acoplamiento electrostático directo con el sustrato, haciendo que C_{GB} sea el término dominante.

Considerando los parámetros tecnológicos empleados en este trabajo ($t_{ox} = 2,24 \text{ nm}$, $\varepsilon_{ox} = 3,9\varepsilon_0$), se obtiene $C_{ox} \approx 1,54 \times 10^{-2} \text{ F/m}^2$. Para un NMOS con $W_n = 0,15 \mu\text{m}$, $L_n = 0,13 \mu\text{m}$ y una multiplicidad $m_n = 20$, resulta $C_{gb,n} \approx 6 \text{ fF}$. De forma análoga, para un PMOS con $W_p = 0,45 \mu\text{m}$, $L_p = 0,16 \mu\text{m}$ y $m_p = 20$, se obtiene $C_{gb,p} \approx 22 \text{ fF}$.

4.5.1.2. Capacitancias en región triodo

En la región de triodo, la formación de un canal de inversión continuo produce un apantallamiento electrostático del sustrato, por lo que la capacitancia compuerta–base puede considerarse despreciable. En esta condición, la carga del canal se distribuye aproximadamente de forma uniforme entre fuente y drenador, dando lugar a:

$$C_{GD,n/p} = C_{ov,n/p} m W_{n/p} + \frac{1}{2} C_{ox,n/p} m W_{n/p} L_{n/p}, \quad (4.81)$$

$$C_{GS,n/p} = C_{ov,n/p} m W_{n/p} + \frac{1}{2} C_{ox,n/p} m W_{n/p} L_{n/p}, \quad (4.82)$$

$$C_{GB,n/p} = 0. \quad (4.83)$$

Los términos de solape C_{GS} y C_{GD} se obtienen a partir de los valores tecnológicos $C_{GS,ov} \approx 9,99 \times 10^{-17}$ F y $C_{GD,ov} \approx 9,27 \times 10^{-17}$ F por transistor unitario. Al considerar una multiplicidad de $m = 20$, se obtienen valores del orden de $C_{GS} \sim 2$ fF y $C_{GD} \sim 1,9$ fF tanto para NMOS como para PMOS, en concordancia con lo discutido en la Sec. 3.1.2.1.

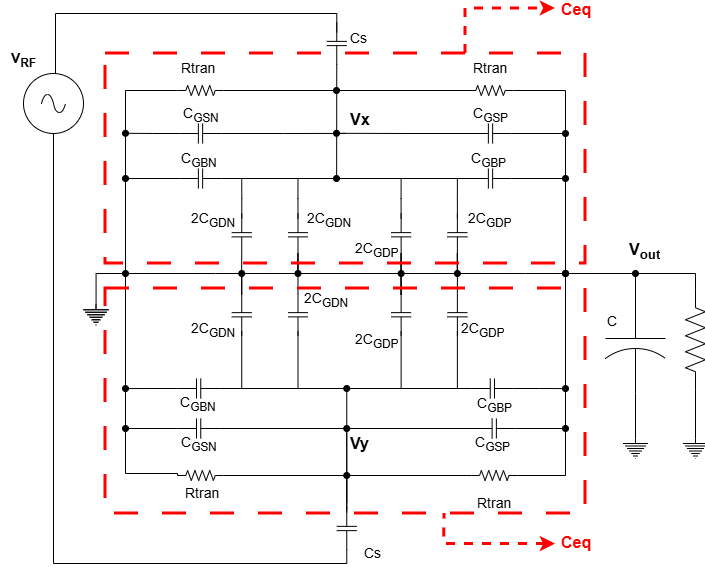


Figura 4.8: Modelo de Impedancia del Rectificador CCDD, extraído de [26].

4.5.1.3. Capacitancia equivalente vista desde la entrada RF

Las capacitancias anteriores pueden agruparse en una capacitancia equivalente C_{eq} vista desde la entrada RF del rectificador CCDD, tal como se ilustra en la Fig. 4.8 de [26]. Para su determinación, se analiza la contribución de cada nodo interno al observar la red desde el nodo V_x hacia tierra ($V_{out} \approx \text{GND}$ en AC).

Desde el nodo V_x se identifican las siguientes contribuciones capacitivas directas hacia tierra:

- La capacitancia puerta-fuente del transistor NMOS inferior:

$$C_{GS,n} \quad (4.84)$$

- La capacitancia puerta-sustrato del transistor NMOS inferior:

$$C_{GB,n} \quad (4.85)$$

- La resistencia de canal R_{tran} del NMOS superior no contribuye directamente a la capacitancia, pero define el camino resistivo asociado a la carga dinámica.

Adicionalmente, existen capacitancias entre nodos internos, particularmente entre V_x y V_y , dadas por:

$$C_{GD,n1} \text{ y } C_{GD,n2}, \quad (4.86)$$

las cuales se encuentran en paralelo, resultando en:

$$C_{xy,n} = 2C_{GD,n}. \quad (4.87)$$

Sin embargo, dado que el circuito opera en régimen diferencial, se cumple aproximadamente:

$$V_x \approx -V_y, \quad (4.88)$$

por lo que:

$$V_x - V_y \approx 2V_x. \quad (4.89)$$

La corriente asociada a estas capacitancias es entonces:

$$i = C_{xy,n} \frac{d(V_x - V_y)}{dt} \approx 2C_{xy,n} \frac{dV_x}{dt}. \quad (4.90)$$

Esto implica que, desde el punto de vista del nodo V_x , la capacitancia entre V_x y V_y se traduce en una capacitancia equivalente hacia tierra dada por:

$$C_{eq,n}^{(GD)} \approx 2 \cdot (2C_{GD,n}) = 4C_{GD,n}. \quad (4.91)$$

Este resultado corresponde a un efecto análogo al efecto Miller, donde la capacitancia entre nodos dinámicos se amplifica debido a la relación de fase entre las señales.

Un análisis completamente análogo se obtiene para los transistores PMOS, lo que conduce a:

$$C_{eq,p}^{(GD)} \approx 4C_{GD,p}. \quad (4.92)$$

Finalmente, sumando todas las contribuciones capacitivas vistas desde la entrada, se obtiene:

$$C_{eq} = 4C_{GD,n} + C_{GB,n} + C_{GS,n} + 4C_{GD,p} + C_{GB,p} + C_{GS,p}. \quad (4.93)$$

Sustituyendo los valores tecnológicos correspondientes, se obtiene un valor típico $C_{eq} \approx 50 \text{ fF}$ para una etapa CCDD. Este resultado confirma que la capacitancia equivalente está dominada por los términos $4C_{GD}$, los cuales surgen de la combinación entre el paralelismo de dispositivos y el comportamiento diferencial del circuito, junto con la contribución de óxido, particularmente en los transistores PMOS.

4.5.1.4. Valor efectivo del capacitor de acople C_s

En el modelo de impedancia de entrada presentado en [26], los voltajes de compuerta internos V_X y V_Y , tal como se observan en la Fig. 4.7, se expresan como:

$$V_X = \frac{C_s}{2(C_s + C_{eq})} V_{RF} \sin(\omega t) + \frac{V_{out}}{2}, \quad V_Y = -\frac{C_s}{2(C_s + C_{eq})} V_{RF} \sin(\omega t) + \frac{V_{out}}{2}. \quad (4.94)$$

De estas expresiones se desprende que la amplitud efectiva de la señal RF aplicada a las compuertas está directamente determinada por el factor de división capacitiva $\frac{C_s}{C_s + C_{eq}}$. En consecuencia, si C_s no es suficientemente grande en comparación con C_{eq} , se produce una atenuación significativa de la señal de entrada, reduciendo el voltaje efectivo V_{GS} y, por tanto, la corriente de conducción durante el semiciclo activo.

Por el contrario, al aumentar C_s de modo que:

$$C_s \gg C_{eq}, \quad (4.95)$$

se minimiza dicha atenuación, obteniéndose:

$$V_X \approx \frac{1}{2} V_{RF} \sin(\omega t) + \frac{V_{out}}{2}, \quad (4.96)$$

lo que maximiza la excitación de compuerta. En [26] se demuestra que este incremento en la amplitud efectiva de la señal RF se traduce directamente en un aumento del voltaje de salida V_{out} , al mejorar la transferencia de carga durante los intervalos de conducción.

Desde el punto de vista de diseño, esto implica que el capacitor de acople C_s no sólo define la adaptación de entrada, sino que también actúa como un parámetro crítico en la optimización del voltaje de salida del rectificador.

$$C_s = 1 \text{ pF}, \quad (4.97)$$

para el cual se cumple holgadamente $C_s \gg C_{eq}$. Esta elección permite minimizar la atenuación capacitiva en V_X y V_Y , estabilizar la simulación numérica y analizar el impacto del número de etapas sobre $P_{in,opt}$ sin modificar el mecanismo físico fundamental del rectificador CCDD.

Siguiendo el análisis presentado en [26], la carga efectiva vista por cada etapa del rectificador CCDD no es constante, sino que depende del número de etapas N . En particular, la primera etapa ve una carga equivalente reducida debido a la presencia de las etapas posteriores, pudiendo aproximarse como:

$$R_{L1} = \frac{R}{N}, \quad (4.98)$$

mientras que para la segunda etapa se tiene:

$$R_{L2} = \frac{R}{N-1}, \quad (4.99)$$

y de forma general, para la etapa k :

$$R_{Lk} = \frac{R}{N-k+1}, \quad (4.100)$$

hasta llegar a la última etapa, donde la carga corresponde directamente al circuito de salida R y C .

Este resultado refleja que las primeras etapas trabajan contra cargas más exigentes (menor resistencia equivalente), lo que impacta directamente en la dinámica de carga y en la transferencia de potencia.

Considerando que el rectificador ha sido optimizado para una carga nominal $R = 100 \text{ k}\Omega$ y una capacitancia $C = 1 \text{ pF}$, es necesario ajustar la capacitancia efectiva en cada etapa para mantener condiciones dinámicas similares. En particular, se busca conservar la constante de carga RC , de donde se impone:

$$R_{Lk} C_{ak} = RC. \quad (4.101)$$

Sustituyendo la expresión de R_{Lk} :

$$\frac{R}{n} C_{an} = RC, \quad (4.102)$$

donde $n = N, N-1, \dots, 1$, se obtiene finalmente:

$$C_{an} = nC. \quad (4.103)$$

Este resultado indica que la capacitancia efectiva debe escalar linealmente con el número de etapas restantes. Desde un punto de vista físico, esto permite:

- mantener constante la dinámica de carga/descarga entre etapas,
- evitar desadaptaciones temporales que reduzcan la transferencia de carga,
- asegurar que cada etapa opere en condiciones cercanas al óptimo previamente determinado.

En consecuencia, el escalado conjunto de R y C a lo largo de la cadena de etapas constituye un criterio fundamental para preservar la eficiencia del rectificador multietapa.

4.5.2. Efecto de múltiples etapas sobre PCE y voltaje de salida

Los resultados de las simulaciones de la Fig. 4.10 muestran que la incorporación de una segunda etapa incrementa significativamente el voltaje DC de salida para un mismo nivel de potencia de entrada, superando el umbral de 1 V bajo las mismas condiciones de carga.

Este comportamiento se refleja también en la Fig. 4.11, donde se observa un mayor cociente $V_{out}/V_{RF,pk}$, confirmando la transferencia de carga acumulativa a lo largo de la cadena CCDD.

Por otro lado, la Fig. 4.9 muestra que la PCE máxima no se degrada mayormente al pasar de una a dos etapas, sino que el punto $P_{in,opt}$ se desplaza hacia valores de potencia de entrada mayores, en concordancia con el modelo analítico de [26].

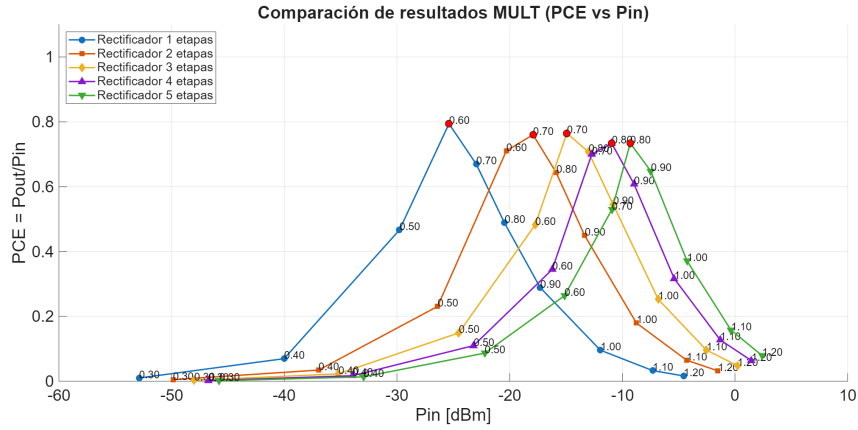


Figura 4.9: Comparación de resultados MULT: PCE vs Pin

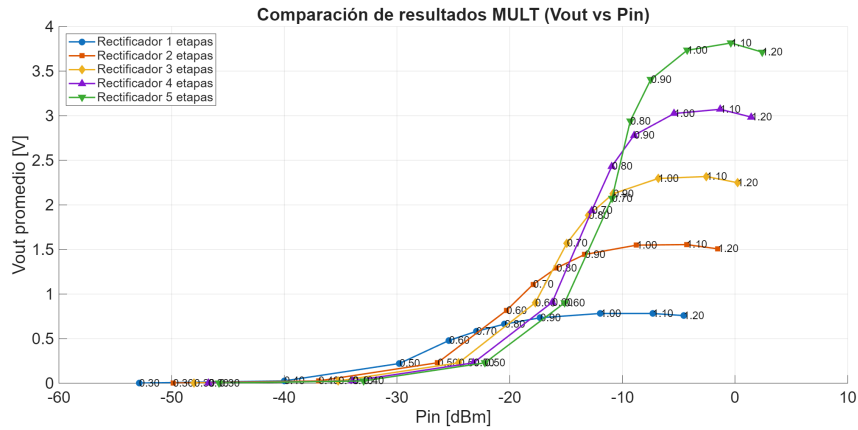


Figura 4.10: Comparación de resultados MULT: Vout vs Pin

4.5.3. Criterio de selección del número de etapas

Para las condiciones estudiadas, el uso de dos etapas CCDD representa el mejor compromiso entre voltaje de salida y eficiencia, por lo cual se selecciona como el número de etapas. Esta configuración permite alcanzar voltajes superiores a 1 V sobre una carga

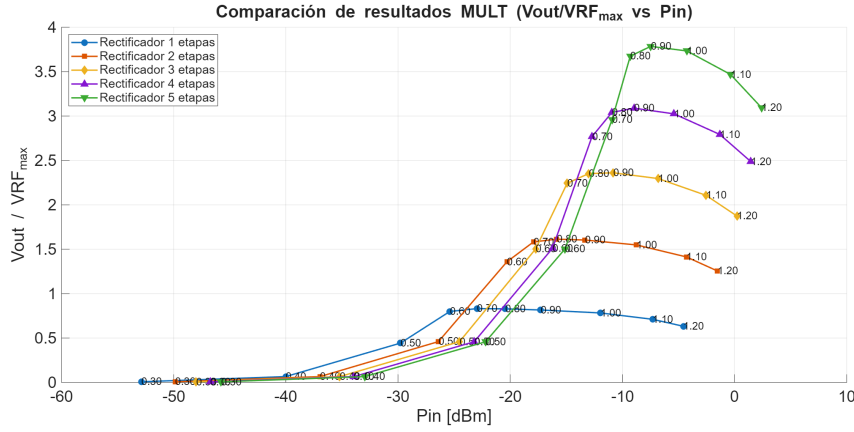


Figura 4.11: Comparación de resultados MULT: Vout/VRf_{max} vs Pin

de 100 kΩ, mantiene la PCE máxima en el rango $[-20, -15]$ dBm y no introduce una penalización significativa en eficiencia respecto a una sola etapa.

Sin embargo, un mayor número de etapas incrementa la capacitancia total y desplaza el punto óptimo de operación hacia potencias de entrada más elevadas, lo que resulta desfavorable en escenarios con potencia RF disponible limitada.

4.6. Adaptación de carga y operación en rango dinámico amplio

Uno de los factores más determinantes en el desempeño del rectificador CCDD es la impedancia de carga vista en su salida. A diferencia de rectificadores puramente DC, en sistemas de *RF Energy Harvesting* la carga no solo fija el nivel de voltaje de salida, sino que define el punto de operación dinámico del rectificador y, en consecuencia, su eficiencia de conversión de potencia (PCE).

Desde un punto de vista dinámico, la carga resistiva R determina el equilibrio entre la corriente entregada por el rectificador y la corriente extraída por la carga, de acuerdo con:

$$\frac{dV_{\text{out}}}{dt} = \frac{1}{C} \left[I_{\text{out}}(t) - \frac{V_{\text{out}}(t)}{R} \right]. \quad (4.104)$$

En régimen estacionario, el valor promedio de V_{out} se ajusta de forma tal que la corriente media suministrada por el rectificador compensa exactamente la corriente demandada por la carga. En consecuencia, valores bajos de R imponen corrientes elevadas, reduciendo el voltaje de salida, mientras que valores altos de R permiten alcanzar mayores niveles de V_{out} , pero amplifican el efecto de las corrientes de fuga y reducen la corriente útil extraída.

Este compromiso da lugar a la existencia de un valor óptimo de carga que maximiza la PCE para cada nivel de potencia de entrada RF. Como resultado, al modificar la resistancia de carga se produce un corrimiento del punto de máxima eficiencia sobre el eje de potencia

de entrada, fenómeno que constituye el fundamento físico de los resultados presentados a continuación.

En este contexto, la adaptación de carga emerge como una herramienta fundamental para maximizar la transferencia de potencia en un rango amplio de niveles de entrada RF. Si bien el seguimiento explícito del punto de máxima eficiencia no forma parte del alcance de este trabajo, resulta relevante analizar el efecto que ejerce la carga sobre el comportamiento del rectificador.

Para ello, se estudia la dependencia de la PCE y del voltaje de salida V_{out} en función de la potencia de entrada P_{in} para distintos valores de carga resistiva, considerando $R = 10\text{ k}\Omega$, $25\text{ k}\Omega$, $50\text{ k}\Omega$, $100\text{ k}\Omega$, $250\text{ k}\Omega$, $500\text{ k}\Omega$ y $1\text{ M}\Omega$.

Los resultados muestran que la variación de la carga produce corrimientos significativos del punto de máxima eficiencia sobre el eje de potencia de entrada, tal como se observa en la Fig. 4.12. Este comportamiento confirma que la carga modifica el balance dinámico de corrientes del rectificador, desplazando el nivel de potencia requerido para sostener el régimen de máxima eficiencia.

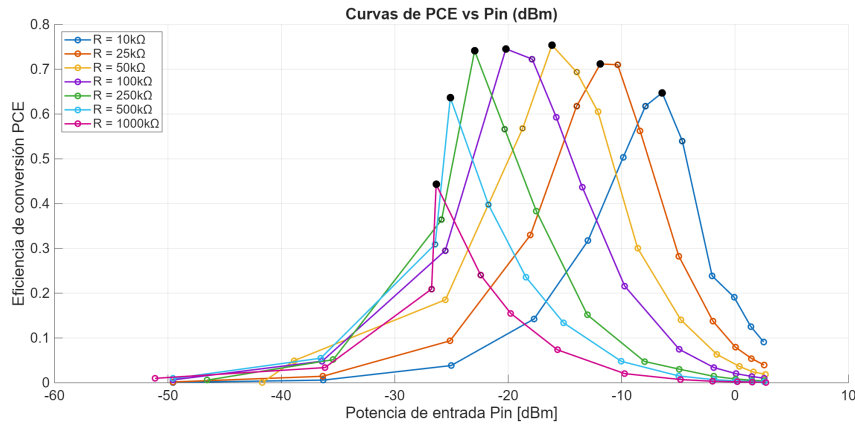


Figura 4.12: PCE en función de la potencia de entrada para distintos valores de carga en el rectificador CCDD multinivel.

Una forma práctica de interpretar este efecto consiste en analizar cómo varía la potencia de entrada para la cual se alcanza la máxima eficiencia en función de la resistencia de carga, tal como se ilustra en la Fig. 4.13. Este análisis permite identificar rangos de operación donde el rectificador puede mantenerse cercano a su punto óptimo mediante una selección adecuada de la impedancia de carga.

Adicionalmente, para que la operación en el punto de máxima eficiencia resulte útil en aplicaciones prácticas, es necesario garantizar un voltaje de salida superior o igual a 1 V . Con este objetivo, se destaca el punto de máxima eficiencia en la gráfica de V_{out} en función de P_{in} de la Fig. 4.14, permitiendo verificar que dicho requisito se cumple en las condiciones

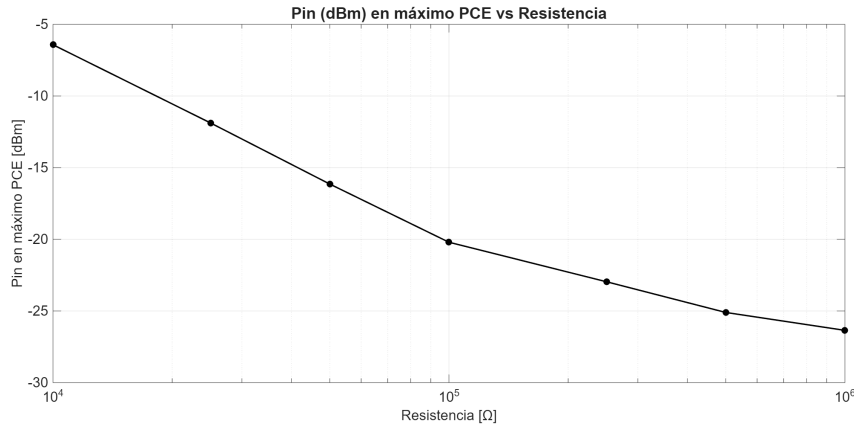


Figura 4.13: Corrimiento del punto de máxima eficiencia en función de la resistencia de carga.

de operación relevantes.

La Fig. 4.14 muestra que, para la mayoría de los valores de carga analizados, el rectificador alcanza voltajes de salida superiores a 1 V en el rango de potencias donde la PCE es máxima. Esto confirma que el rango dinámico de operación de máxima eficiencia resulta compatible con niveles de voltaje adecuados para alimentar circuitos posteriores.

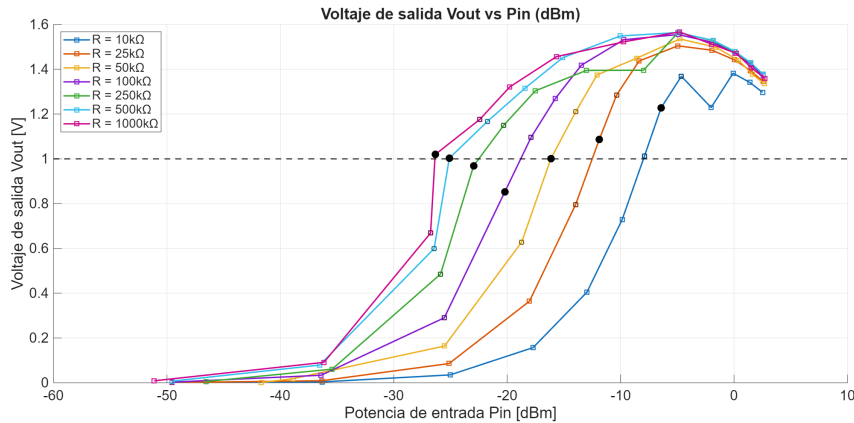


Figura 4.14: Voltaje de salida en función de la potencia de entrada para distintos valores de carga para CCDD de dos etapas.

En conjunto, estos resultados evidencian que la resistencia de carga no solo determina el punto de operación de máxima eficiencia, sino que también influye directamente en el nivel de voltaje de salida alcanzable, como se aprecia adicionalmente en las Fig. 4.15 y Fig. 4.16.

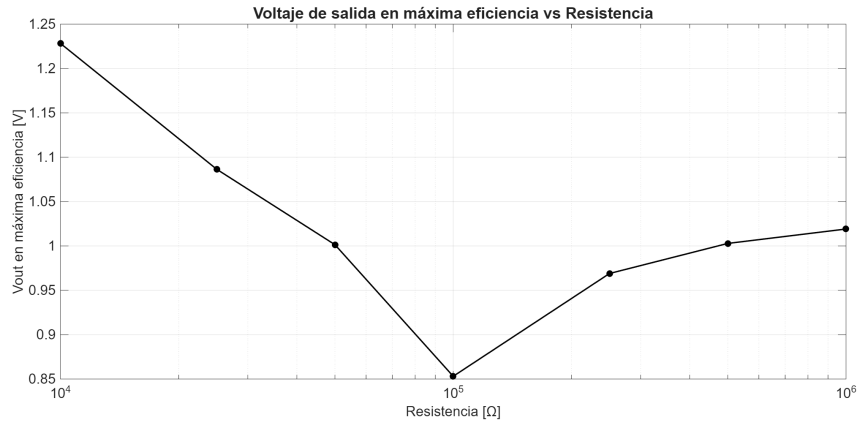


Figura 4.15: Voltaje de salida en función de la carga para distintos niveles de potencia de entrada.

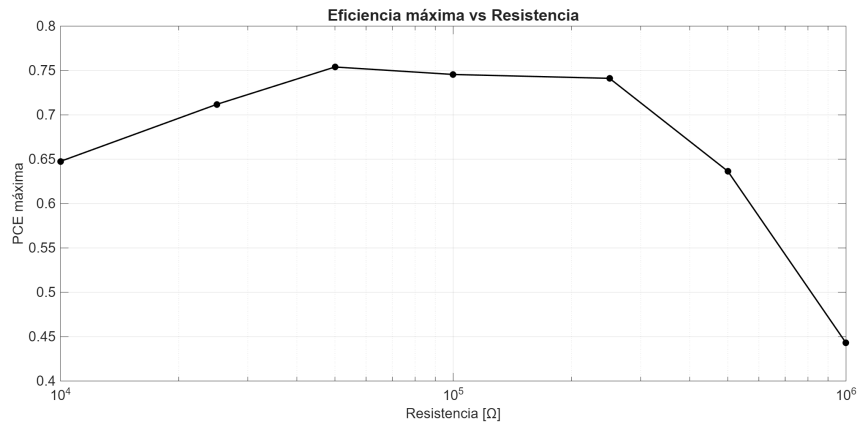


Figura 4.16: Eficiencia de conversión de potencia maxima en función de la carga.

4.6.1. Implicancias del valor de la resistencia de carga en sistemas con gestión de energía

En aplicaciones prácticas de RF-EH, la carga efectiva del rectificador suele estar determinada por el bloque de gestión de energía (*Power Management Unit*, PMU). Este bloque puede modificar dinámicamente la impedancia vista por el rectificador, operar en modos de carga intermitente o incluso desacoplar temporalmente la carga durante regímenes de baja potencia.

La Fig. 4.12 ilustra cómo el manejo de la carga de salida permite ajustar el punto de máxima eficiencia en función de la potencia de entrada. Por otra parte, en la Fig. 4.16 se muestra la relación entre la eficiencia de conversión y la resistencia de carga, donde se observan caídas significativas de la eficiencia máxima fuera del rango de [10–200] Ω.

La incorporación de mecanismos de adaptación de carga resulta fundamental para aprovechar plenamente las ventajas del rectificador CCDD, ya que extiende su rango dinámico útil y maximiza la energía extraída de la señal RF incidente.

CONCLUSIONES

5.1. Resumen de los Resultados Finales

A partir del análisis físico, matemático y circuital desarrollado a lo largo de esta memoria, se obtuvo como resultado final un rectificador CMOS diferencial tipo *Cross-Coupled Differential Drive* (CCDD) optimizado para aplicaciones de *Radio Frequency Energy Harvesting* (RF-EH) en el rango de sub-GHz. El circuito final se implementa en tecnología CMOS de 130 nm y opera a una frecuencia central de 900 MHz, utilizando una arquitectura de dos etapas sin circuitería auxiliar adicional para compensación de voltaje umbral.

El diseño final del rectificador utiliza transistores con dimensiones $L_n = 0,13 \mu\text{m}$, $W_n = 0,15 \mu\text{m}$ para los NMOS y $L_p = 0,16 \mu\text{m}$, $W_p = 0,45 \mu\text{m}$ para los PMOS, con un factor de multiplicidad $m = 20$. Estas dimensiones fueron seleccionadas a partir del análisis dinámico presentado en el Capítulo 4, considerando el compromiso entre capacidad de conducción, efectos capacitivos parásitos y mecanismos de bombeo de carga.

5.1.1. Resultados del Análisis Paramétrico

La Tabla 5.1 resume el desempeño del rectificador para distintos valores de resistencia de carga, manteniendo constante la frecuencia de operación, la tecnología y la topología del circuito. Los resultados muestran una fuerte dependencia del punto de máxima eficiencia de conversión de potencia (PCE) con la carga, reflejando la transición entre regímenes dominados por conducción resistiva y por efectos dinámicos de transferencia de carga.

En particular, la configuración con una carga de $100 \text{ k}\Omega$ presenta un compromiso favorable entre eficiencia, sensibilidad y estabilidad del voltaje de salida, alcanzando una PCE máxima cercana al 74.6% para una potencia de entrada de aproximadamente $-20,2 \text{ dBm}$. Esta configuración se adopta como punto de referencia para la comparación

Tabla 5.1: Resultados paramétricos del rectificador CCDD en tecnología CMOS de 130 nm

Resistencia	Tecnología	Frecuencia	Etapas	PCE	Pin _{PCE} (dBm)	V _{RF,max} (V)	Pin _{V_{out}=1V} (dBm)	FoM
10 kΩ	130 nm	900 MHz	2	0.6476	-6.42	1.0	-7.90	0.359
25 kΩ	130 nm	900 MHz	2	0.7118	-11.88	0.8	-11.88	0.436
50 kΩ	130 nm	900 MHz	2	0.7540	-16.14	0.7	-16.14	0.487
100 kΩ	130 nm	900 MHz	2	0.7456	-20.20	0.6	-17.89	0.478
250 kΩ	130 nm	900 MHz	2	0.7412	-22.96	0.6	-22.96	0.540
500 kΩ	130 nm	900 MHz	2	0.6365	-25.10	0.6	-25.10	0.480
1 MΩ	130 nm	900 MHz	2	0.4429	-26.35	0.6	-26.35	0.339

con el estado del arte.

5.1.2. Comparación con el Estado del Arte

La Tabla 5.2 presenta una comparación entre el rectificador desarrollado en esta memoria y diversos rectificadores RF reportados en la literatura, considerando tecnología, frecuencia de operación, carga, eficiencia y métricas de desempeño global.

Tabla 5.2: Comparación transpuesta de rectificadores RF en distintas tecnologías

Parámetro	Este trabajo (100kΩ)	[9]	[17]	[22]	[23]
Tecnología	130 nm	0.18 μm	0.18 μm	0.18 μm	0.18 μm
Frecuencia	900 MHz	13.56 MHz	953 MHz	915 MHz	900 MHz
Carga	100kΩ	2kΩ	10kΩ	5kΩ	100kΩ
Pin (dBm)	-20.2	11.98	-12.5	-3.7	-19.6
PCE _{pico}	74.6 %	87 %	67.5 %	72.3 %	66 %
FoM	0.478	0.33	1.08	1.27	—
Compensación	Optimización de	Bootstrapping	Differential	Body bia-	Differential
V _{th}	dimensiones	capacitors	drive	sing	drive
Sensibilidad	-17.9 dBm	—	-12.9 dBm	-5 dBm	-18.2 dBm
Área (mm ²)	4,0 × 10 ⁻⁶	—	0.0004	0.0768	0.0084

Del análisis comparativo se observa que el rectificador propuesto alcanza niveles de eficiencia comparables a trabajos previos que emplean técnicas explícitas de compensación de voltaje umbral, tales como *body biasing*, *bootstrapping capacitors* o cancelación dinámica de umbral. A diferencia de estos enfoques, el presente trabajo se basa exclusivamente en la optimización geométrica y en el aprovechamiento de los mecanismos físicos internos del transistor MOSFET.

Si bien algunos trabajos reportan valores superiores de *Figure of Merit* (FoM), estos suelen lograrse bajo condiciones de mayor potencia de entrada o mediante arquitecturas

más complejas que implican mayor tiempo de diseño y área en chip. En este sentido, el rectificador desarrollado presenta una solución competitiva y estructuralmente simple para aplicaciones RF-EH de baja potencia en el rango sub-GHz.

5.2. Análisis Deficiente como Base para la Optimización

Los resultados obtenidos confirman que los enfoques tradicionales de análisis de pequeña señal no ayudan mucho para modelar las CMOS bajo condiciones donde el voltaje de puerta es muy grande, incluso cuando incorporan modelos híbridos con efectos no cuasi-estáticos (NQS), resultan insuficientes para describir el comportamiento del transistor MOSFET bajo excitación RF de gran señal. En este régimen, la corriente deja de ser una función instantánea de las tensiones terminales y pasa a estar gobernada por procesos dinámicos de almacenamiento y transferencia de carga.

Tal como los análisis hechos en [26] y [25], una optimización rigurosa requiere un análisis profundamente físico, capaz de vincular la estructura interna del dispositivo con los mecanismos energéticos que gobiernan el circuito. En este contexto, el análisis basado en corriente de bombeo capacitivo desarrollado en el Capítulo 4 proporciona una aproximación más adecuada para describir la dinámica del rectificador bajo excitación RF.

5.3. Trabajo Futuro

El análisis realizado evidencia que las distintas regiones internas de operación del transistor MOSFET —incluyendo subumbral, conducción inversa y regímenes transitorios— no han sido plenamente explotadas en el diseño de rectificadores RF. Tradicionalmente, el transistor se utiliza como un bloque funcional único, ignorando la riqueza física de sus subestructuras internas.

Una línea futura de investigación consiste en utilizar el transistor no solo como un elemento activo convencional, sino como un dispositivo multifuncional capaz de comportarse, bajo ciertas condiciones, como un diodo, un elemento capacitivo o un mecanismo activo de bombeo de carga. Este enfoque permitiría concebir circuitos adaptativos y reconfigurables, capaces de modificar su modo de operación en función del entorno electromagnético, la carga o la potencia disponible.

Finalmente, la combinación de múltiples estrategias, como el ajuste dinámico de carga o el uso de canales duales, aparece como una vía prometedora para ampliar el rango dinámico de operación y mejorar la robustez de los sistemas RF-EH de ultra bajo consumo.

BIBLIOGRAFÍA

- [1] N. U. Khan, S. Ullah, F. U. Khan, and A. Merla, “Development of 2400–2450 mhz frequency band rf energy harvesting system for low-power device operation,” *Sensors*, vol. 24, p. 2986, 2024. [Online]. Available: <https://doi.org/10.3390/s24102986>
- [2] H. H. Ibrahim, M. J. Singh, S. S. Al-Bawri, S. K. Ibrahim, M. T. Islam, A. Alzamil, and M. S. Islam, “Radio frequency energy harvesting technologies: A comprehensive review on designing, methodologies, and potential applications,” *Sensors*, vol. 22, no. 4144, 2022.
- [3] L.-G. Tran, H.-K. Cha, and W.-T. Park, “Rf power harvesting: a review on designing methodologies and applications,” *Micro and Nano Systems Letters*, vol. 5, no. 14, 2017. [Online]. Available: <https://doi.org/10.1186/s40486-017-0051-0>
- [4] Ministerio del Medio Ambiente (Chile), “Establece norma de emisión de radiación electromagnética asociada a equipos y redes de transmisión de servicios de telecomunicaciones,” Decreto Supremo N° 5, Santiago, Chile, enero 2024, publicado el 11 de enero de 2024.
- [5] A. Abarca, R. Silva, and J. Piteira, “Design of a native nmos based rectifier operating in weak inversion for energy harvesting neural application,” *Int. Iberian Nanotechnol. Lab. (INL)*, 2023.
- [6] B. L. B. J. M. S. Visser and A. J. D. C. M. A. Dolmans, “Ultra-low power autonomous 2.4ghz rf energy harvesting and storage system,” in *Proc. IEEE Int. Conf. RFID*, San Diego, CA, USA, 2015.
- [7] A. C. C. Chun, H. Ramiah, and S. Mekhilef, “Wide power dynamic range cmos rf-dc rectifier for rf energy harvesting system: A review,” vol. 10, pp. 23 948–23 963, 2022.
- [8] M. Piñuela, P. D. Mitcheson, and S. Lucyszyn, “Ambient rf energy harvesting in urban and semi-urban environments,” *IEEE Trans. Microw. Theory Techn.*, vol. 61, no. 7, pp. 2715–2726, Jul. 2013.

- [9] A. S. Andrenko, X. Lin, and M. Zeng, "Outdoor rf spectral survey: A roadmap for ambient rf energy harvesting," in *Proc. IEEE Region 10 Conf. (TENCON)*, Nov. 2015, pp. 1–4.
- [10] I. Adam, M. N. M. Yasin, M. F. A. Malek, H. A. Rahim, M. S. Shakhirul, and M. S. Razalli, "Feasibility study on rf energy harvesting in malaysia," *Adv. Sci. Lett.*, vol. 23, no. 6, pp. 5034–5038, Jun. 2017.
- [11] F. Yildiz, Zhu, Pecen, and Guo, *Potential Ambient Energy-Harvesting Sources and Techniques*. Virginia Tech Publishing, 2009, vol. 35, no. 1, resumen de densidades típicas de energía ambiental incluyendo solar, RF, térmica y vibraciones. [Online]. Available: <https://jotsjournal.org/articles/10.21061/jots.v35i1.a.6>
- [12] D. S. Á., J. A. Steele, and et al., "A survey on ambient energy sources and harvesting methods for structural health monitoring," *International Journal of Structural Health Monitoring*, vol. 16, no. 3, pp. 239–257, 2017, revisión amplia sobre diferentes fuentes de energía ambiental y densidades típicas.
- [13] B. H. Hamadani, "Indoor light energy harvesting for battery-powered sensors," *Energy Science & Engineering*, 2021, caracteriza densidades de energía de PV bajo luz interior y su aplicación en sensado de bajo consumo. [Online]. Available: <https://pmc.ncbi.nlm.nih.gov/articles/PMC10395376/>
- [14] V. Bahrami-Yekta and T. Tiedje, "Limiting efficiency of indoor silicon photovoltaic devices," *Optics Express*, 2018, discusión de intensidades de luz interior hasta 10x comparado con luz solar, implicando $0.5 \mu\text{W}/\text{cm}^2$ o menos bajo iluminación muy baja. [Online]. Available: DOI:10.1364/OE.26.028238
- [15] H. Gao and et al., "Radiofrequency ambient level energy harvesting," *Wireless Power Transfer*, vol. 2, no. 2, pp. 121–126, 2015, estudio sobre niveles de potencia y eficiencia de rectenas RF ambientales.
- [16] J. Yin, E. Pantoja, Y. Gao, and M. R. Stan, "A feedback self-adaptive body biasing-based rf-dc rectifier for highly-sensitive rf energy harvesting," *IEEE Trans. Circuits Syst. I*, 2023.
- [17] Z. Hameed, M. A. Khan, S. U. Rehman, and H. S. Kim, "Design of the dual-channel dickson rectifier with native nmos for rf energy harvesting sensors," vol. 6, pp. 75 545–75 554, 2018.
- [18] D. Chen, R. Li, J. Xu, D. Li, C. Fei, and Y. Yang, "Recent progress and development of radio frequency energy harvesting devices and circuits," *Nano Energy*, vol. 117, p. 108845, 2023, online. [Online]. Available: <https://www.sciencedirect.com/science/article/pii/S2211285523006821>

- [19] Y. J. Low, Y. C. Lee, W. X. Lian, and H. Ramiah, “A novel reconfigurable gate-biasing technique for extending dynamic range in cmos rf-dc rectifiers targeting rfef applications,” *Chips*, vol. 4, no. 2, p. 22, 2025. [Online]. Available: <https://doi.org/10.3390/chips4020022>
- [20] R. Zhou, F. Li, W. Yang, and K. Zhang, “An efficient cmos rf-dc rectifier based on a dual dynamic self-biasing network,” *IEEE Trans. Circuits Syst. II*, 2025. [Online]. Available: <https://ieeexplore.ieee.org/document/11005478>
- [21] D. Kim, T. Han, and S. Park, “A cmos rectifier with a wide dynamic range using switchable self-bias polarity,” *MDPI Electronics*, vol. 13, no. 10, p. 1953, 2024.
- [22] M. A. Al-Absi, I. M. Alkhalifa, A. A. Mohammed, and A. A. Al-Khulaifi, “A cmos rectifier employing body biasing scheme for rf energy harvesting,” *IEEE Access*, vol. 9, pp. 103 841–103 850, 2021, received July 3, 2021; accepted July 17, 2021; published July 26, 2021; current version August 3, 2021.
- [23] S. S. Hashemi, M. Sawan, and Y. Savaria, “A high-efficiency low-voltage cmos rectifier for harvesting energy in implantable devices,” *IEEE Transactions on Biomedical Circuits and Systems*, vol. 6, no. 4, pp. 326–335, 2012. [Online]. Available: <https://ieeexplore.ieee.org/document/6104167>
- [24] B. Razavi, *Design of Analog CMOS Integrated Circuits*, 2nd ed. New York, NY, USA: McGraw-Hill Education, 2017.
- [25] Y. Taur and T. H. Ning, *Fundamentals of Modern VLSI Devices*, 2nd ed. Cambridge, UK: Cambridge University Press, 2009.
- [26] Z. Liang and J. Yuan, “Modelling and optimization of high-efficiency differential-drive cmos rectifier for uhf rf energy harvesters,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 11, pp. 2747–2756, 2015.
- [27] A. Bhat *et al.*, “Verification of gummel symmetry test in mosfet compact models,” *Journal of Physics Communications*, vol. 9, no. 9, p. 095003, 2025.
- [28] Y. Li, H. Zhang, and X. Chen, “Extraction of non-quasi-static parameters in rf mosfets for accurate modeling,” *Microsystem Technologies*, vol. 29, pp. 1123–1135, 2023.

SIMULACIONES

En este apartado se presentan los códigos *SPICE* utilizados en *Xschem* para realizar las simulaciones, analizar el comportamiento de los transistores, implementar el rectificador CCDD y extraer las variables eléctricas correspondientes.

A.1. Exploracion NMOS DC

```
"
.option wnflag=1          ; Activa opción de simulación (warnings/flags)
.savecurrents             ; Guarda corrientes de nodos en la simulación

* -----
* Definición de parámetros
* -----
.param Lval = 0.5u         ; Longitud del canal del transistor (5 µm)
.param Wval = 0.15u        ; Ancho del canal del transistor (2.5 µm)

* -----
* Fuentes de Alimentación
* -----
*vds VDS 0 dc=0.75         ; Fuente de voltaje drenador{fuente
*vgs VGS 0 dc=0.45         ; Fuente de voltaje puerta{fuente
* (Si no se definen fuentes, se usa io_pin)

* -----
```

```

* Definición de carga
* -----
*cload VDS 0 5p          ; Capacitancia de 5 pF entre VDS y tierra

* -----
* Bloque de control
* -----
.control

    set filetype = ascii      ; Archivos de salida en formato ASCII
    set color0 = white        ; Fondo blanco en gráficas
    save all                  ; Guarda todas las variables de la simulación

* Guarda parámetros del NMOS
save @n.xm1.nsg13_lv_nmos[ids] ; Corriente de drenador
save @n.xm1.nsg13_lv_nmos[gm]  ; Transconductancia
save @n.xm1.nsg13_lv_nmos[gds] ; Conductancia de salida
save @n.xm1.nsg13_lv_nmos[vth] ; Voltaje umbral
save @VB[i]                    ; Corriente en nodo Bulk
save @VSn[i]                  ; Corriente en nodo Source
save @VD[i]                    ; Corriente en nodo Drain
save @VG[i]                    ; Corriente en nodo Gate

* -----
* Barrido de voltaje en DC
* -----
dc vd -2 2 0.1 vg -2 2 0.1

* Definición de variables internas
let IDSn = @n.xm1.nsg13_lv_nmos[ids] ; Corriente de drenador
let gmn = @n.xm1.nsg13_lv_nmos[gm]  ; Transconductancia
let gdsn = @n.xm1.nsg13_lv_nmos[gds] ; Conductancia de salida
let VTHn = @n.xm1.nsg13_lv_nmos[vth] ; Voltaje umbral
let VDS = VD - VSn                  ; Voltaje drenador{fuente
let VGS = VG - VSn                  ; Voltaje puerta{fuente
let VDB = VD - VB                    ; Voltaje drenador{bulk
let VGB = VG - VB                    ; Voltaje puerta{bulk
let IS = @VSn[i]                    ; Corriente en Source

```

```

let ID = -@VD[i]                ; Corriente en Drain (invertida)
let IG = @VG[i]                 ; Corriente en Gate
let IB = @VB[i]                 ; Corriente en Bulk

* Gráfica de variables
plot ID IS IB vs v(VDS)         ; Grafica corrientes vs VDS

* Guardado de variables en archivo CSV
write Memoria_NMOS_DC_LO-5uW0-15u.csv VDS VGS ID IS IB IG VTHn VDB VGB

* Gráficas adicionales (comentadas)
*plot gmn deriv(idsn) deriv(gmn) vs vds
*plot gdsn vs vgs
*plot 1/gdsn vs vgs ylimit 0 1G xlimit 0 0.5
*plot log(idsn) vs vgs ylimit -20 -4

.endc
"
```

A.2. Exploracion PMOS DC

```

"

.option wnflag=1                ; Activa opción de simulación (warnings/flags)
.savecurrents                   ; Guarda corrientes de nodos en la simulación

* -----
* Definición de parámetros
* -----

.param Lval = 5u                ; Longitud del canal del transistor (x µm)
.param Wval = 0.5u              ; Ancho del canal del transistor (x µm)

* -----
* Fuentes de Alimentación
* -----

*vds VDS 0 dc=0.75              ; Fuente de voltaje drenador{fuente
*vgs VGS 0 dc=0.45              ; Fuente de voltaje puerta{fuente
* (Si no se definen fuentes, se usa io_pin)

* -----

```

```

* Definición de carga
* -----
*cload VDS 0 5p          ; Capacitancia de 5 pF entre VDS y tierra (comentada)

* -----
* Bloque de control
* -----
.control

    set filetype = ascii      ; Archivos de salida en formato ASCII
    set color0 = white        ; Fondo blanco en gráficas
    save all                  ; Guarda todas las variables de la simulación

* Guarda parámetros del PMOS
save @n.xm1.nsg13_lv_pmos[ids] ; Corriente de drenador
save @n.xm1.nsg13_lv_pmos[gm]  ; Transconductancia
save @n.xm1.nsg13_lv_pmos[gds] ; Conductancia de salida
save @n.xm1.nsg13_lv_pmos[vth] ; Voltaje umbral
save @VB[i]                    ; Corriente en nodo Bulk
save @VSn[i]                  ; Corriente en nodo Source
save @VD[i]                    ; Corriente en nodo Drain
save @VG[i]                    ; Corriente en nodo Gate

* -----
* Barrido de voltaje en DC
* -----
dc vd -2 2 0.1 vg -2 2 0.1

* Definición de variables internas
let IDSn = @n.xm1.nsg13_lv_pmos[ids] ; Corriente de drenador
let gmn = @n.xm1.nsg13_lv_pmos[gm]  ; Transconductancia
let gdsn = @n.xm1.nsg13_lv_pmos[gds] ; Conductancia de salida
let VTHn = @n.xm1.nsg13_lv_pmos[vth] ; Voltaje umbral
let VSD = VSn - VD                    ; Voltaje drenador{fuente
let VSG = VSn - VG                    ; Voltaje puerta{fuente
let VBD = VB - VD                    ; Voltaje drenador{bulk
let VBG = VB - VG                    ; Voltaje puerta{bulk
let IS = @VSn[i]                    ; Corriente en Source

```

```

let ID = -@VD[i]                ; Corriente en Drain (invertida)
let IG = @VG[i]                 ; Corriente en Gate
let IB = @VB[i]                 ; Corriente en Bulk

* Gráfica de variables
plot ID IS IB vs v(VSD) Title Corriente          ; Grafica corrientes vs VDS

* Guardado de variables en archivo CSV
write Memoria_PMOS_DC_L5uW0-5u.csv VSD VSG ID IS IB IG VTHn VBD VBG

* Gráficas adicionales (comentadas)
*plot gmn deriv(idsn) deriv(gmn) vs vds
*plot gdsn vs vgs
*plot 1/gdsn vs vgs ylimit 0 1G xlimit 0 0.5
*plot log(idsn) vs vgs ylimit -20 -4

.endc
"
```

A.3. Exploracion NMOS TRAN

```

"

.option wnflag=1
.savecurrents

* =====
* PARAMETROS DE SIMULACION
* =====
* Parametros NMOS
.param Lval = 1u
.param Wval = 0.15u

* Parametros Fuente Sinusoidal
.param VAMPL = 0.5      ; Amplitud (V)
.param VOFFS = 0        ; Valor medio (V)
.param FREQ = 900MEG     ; Frecuencia (Hz)
.param PHASE = 0         ; Fase1 (grados)
.param PHASE2 = 0        ; Fase2 (grados)

```

```
* =====
* BLOQUE DE CONTROL NGSPICE
* =====

.control
  set filetype=ascii
  set color0=white
  save all

  * Variables de Calculo
  let i = 0
  let IDmax = 0
  let IGmax = 0
  let VDSmax = 0
  let VGSmax = 0

  * Variables de interés
  save @n.xml1.nsg13_lv_nmos[ids]
  save @n.xml1.nsg13_lv_nmos[gm]
  save @n.xml1.nsg13_lv_nmos[gds]
  save @n.xml1.nsg13_lv_nmos[vth]
  save @VD[i]
  save @VG[i]
  save @VSn[i]
  save @VB[i]

* =====
* SIMULACION TRANSITORIA
* =====

  tran 1p 10n

* -----
* Definicion de Varriables Internas
* -----

  * Variables internas de NMOS
  let IDSn = @n.xml1.nsg13_lv_nmos[ids]
```

```
let gmn = @n.xm1.nsg13_lv_nmos[gm]
let gdsn = @n.xm1.nsg13_lv_nmos[gds]
let VTHn = @n.xm1.nsg13_lv_nmos[vth]

* Voltajes de NMOS
let VDS = VD - VSn
let VGS = VG - VSn
let VDB = VD - VB
let VGB = VG - VB

let i=0
while i le length(VDS)-1
  if VDSmax le abs(VDS[i])
    let VDSmax = abs(VDS[i])
  end
  let i = i + 1
end
let i=0
while i le length(VGS)-1
  if VGSmax le abs(VGS[i])
    let VGSmax = abs(VGS[i])
  end
  let i = i + 1
end

* Corrientes de NMOS
let IS = @VSn[i]
let ID = -@VD[i]
let IG = @VG[i]
let IB = @VB[i]

let i=0
while i le length(ID)-1
  if IDmax le abs(ID[i])
    let IDmax = abs(ID[i])
  end
  let i = i + 1
end
```

```

let i=0
while i le length(IG)-1
  if IGmax le abs(IG[i])
    let IGmax = abs(IG[i])
  end
  let i = i + 1
end

* Resultados
print IDmax
print IGmax

* Graficas
plot v(VDS) VDSmax*ID/IDmax
plot v(VGS) VGSmax*IG/IGmax
plot ID
plot IG

* Guardado de resultados
write Memoria_NMOS_TRAN_L1uW0-15u_A0-5_PO.csv time v(VD) v(VG) ID IS ...
IB IG VTHn v(VDB) v(VGB)
.endc

"

```

A.4. Código Simulador de Rectificador CCDD de múltiples etapas.

```

** sch_path: /home/designer/mis_archivos/Proyectos/Memoria ...
/Memoria_CCDD_TRAN.sch
**.subckt Memoria_CCDD_TRAN VRFP VRFM VOUT VRFP VRFM
*.iopin VRFP
*.iopin VRFM
*.iopin VOUT
*.iopin VRFP
*.iopin VRFM
XM3 VOUT VRFM VRFP VRFP sg13_lv_pmos w={W34} l={L34} ng=1 m={mult34}

```

```

XM2 GND VRFP VRFM VRFM sg13_lv_nmos w={W12} l={L12} ng=1 m={mult12}
XM1 GND VRFM VRFP VRFP sg13_lv_nmos w={W12} l={L12} ng=1 m={mult12}
XM4 VOUT VRFP VRFM VRFM sg13_lv_pmos w={W34} l={L34} ng=1 m={mult34}
R1 VOUT GND {R1v} m=1
C1 VOUT GND {C1v} m=1
VRF VRFP VRFM SIN(0 {VAMPL} {FREQ})
.save i(vrf)

```

```

**** begin user architecture code

```

```

.param corner=0
.if (corner==0)
.lib cornerMOSlv.lib mos_tt
.lib cornerRES.lib res_typ
.lib cornerCAP.lib cap_typ
.endif

```

```

* =====
* PARAMETROS DE SIMULACION
* =====

```

```

**** Parametros PMOS M3 y M4

```

```

.param L34 = 0.15u
.param W34 = 0.22u
.param mult34 = 20

```

```

**** Parametros NMOS M1 y M2

```

```

.param L12 = 0.15u
.param W12 = 0.22u
.param mult12 = 20

```

```

* Parametros PMOS M1

```

```

*.param Lval1 = 1u
*.param Wval1 = 0.15u
*.param mult1 = 1

```

```

* Parametros NMOS M2

```

```
*.param Lval2 = 1u
*.param Wval2 = 0.15u
*.param mult2 = 1

* Parametros NMOS M3
*.param Lval3 = 1u
*.param Wval3 = 0.15u
*.param mult3 = 1

* Parametros PMOS M4
*.param Lval4 = 1u
*.param Wval4 = 0.15u
*.param mult4 = 1

**** Parametros de Carga
.param C1v = 1p
.ic V(VOUT) = 0
.param R1v = 100k

**** Parametros Fuente Sinusoidal
.param VAMPL = 0.1      ; Amplitud (V)
.param VOFFS = 0        ; Valor medio (V)
.param FREQ = 900MEG    ; Frecuencia (Hz)
.param PHASE = 0        ; Fase1 (grados)

.option wnflag=1
.savecurrents
* =====
* BLOQUE DE CONTROL NGSPICE
* =====
.control

**** Compatibilidad y Color
    set filetype = ascii
    set color0 = white

**** Inicializacion de Parametro While
    let k = 0
```

```

let start_VRF = 0.2
let stop_VRF = 1.2
let delta_VRF = 0.05
let VRF_act = start_VRF

**** Inicializacion Constantes para Calculos
let i = 0
let IDmax = 0
let IGmax = 0
let VDSmax = 0
let VGSmax = 0

**** Variables Exteriores a Sim

* =====
* Inicio del While
* =====
while VRF_act le stop_VRF + 2*delta_VRF
    tran 40p 400n UIC
    alterparam VAMPL = $&VRF_act
    reset

* -----
* Almacenamiento de Variables
* -----
    save all

**** M1
save @n.xm1.nsg13_lv_nmos[ids]
save @n.xm1.nsg13_lv_nmos[gm]
save @n.xm1.nsg13_lv_nmos[gds]
save @n.xm1.nsg13_lv_nmos[vth]

**** M2
save @n.xm2.nsg13_lv_nmos[ids]
save @n.xm2.nsg13_lv_nmos[gm]
save @n.xm2.nsg13_lv_nmos[gds]

```

```

save @n.xm2.nsg13_lv_nmos[vth]

**** M3
save @n.xm3.nsg13_lv_pmos[ids]
save @n.xm3.nsg13_lv_pmos[gm]
save @n.xm3.nsg13_lv_pmos[gds]
save @n.xm3.nsg13_lv_pmos[vth]

**** M4
save @n.xm4.nsg13_lv_pmos[ids]
save @n.xm4.nsg13_lv_pmos[gm]
save @n.xm4.nsg13_lv_pmos[gds]
save @n.xm4.nsg13_lv_pmos[vth]

**** Fuente de Voltaje
save @VRF[i]
save @VRF[p]

**** Carga
save R1[i]
save C1[i]

* -----
* Definicion de Varriables Internas
* -----

if k = 1

**** M1
let ids1 = @n.xm1.nsg13_lv_nmos[ids]
let gm1 = @n.xm1.nsg13_lv_nmos[gm]
let gds1 = @n.xm1.nsg13_lv_nmos[gds]
let vth1 = @n.xm1.nsg13_lv_nmos[vth]
let VDS1 = 0 - VRFP
let VGS1 = VRFM - VRFP

**** M2
let ids2 = @n.xm2.nsg13_lv_nmos[ids]
let gm2 = @n.xm2.nsg13_lv_nmos[gm]

```

```

let gds2 = @n.xm2.nsg13_lv_nmos[gds]
let vth2 = @n.xm2.nsg13_lv_nmos[vth]
let VDS2 = 0 - VRFM
let VGS2 = VRFP - VRFM

**** M3
let ids3 = @n.xm3.nsg13_lv_pmos[ids]
let gm3 = @n.xm3.nsg13_lv_pmos[gm]
let gds3 = @n.xm3.nsg13_lv_pmos[gds]
let vth3 = @n.xm3.nsg13_lv_pmos[vth]
let VSD3 = VRFP - VOUT
let VSG3 = VRFP - VRFM

**** M4
let ids4 = @n.xm4.nsg13_lv_pmos[ids]
let gm4 = @n.xm4.nsg13_lv_pmos[gm]
let gds4 = @n.xm4.nsg13_lv_pmos[gds]
let vth4 = @n.xm4.nsg13_lv_pmos[vth]
let VSD4 = VRFM - VOUT
let VSG4 = VRFM - VRFP

**** Fuente de Voltaje
let IRF = @VRF[i]
let PRF = @VRF[p]
let VRF = VRFP - VRFM

**** Carga
let IC = @C1[i]
let IR = @R1[i]
let IRC = IC + IR
let PR = IR * VOUT

end

* =====
* RESULTADOS
* =====
* -----

```

```

* Graficas de la Simulacion
* -----
    **** Fuente
    *plot VRF vs time
    *plot IRF vs time

    **** Carga
    plot VOUT vs time
    *plot IRC vs time
    *plot avg(PR/PRF)

* -----
* Registro de Datos
* -----
    remzerovec
    write Memoria_CCDD_TRAN_L00-15_W00-22_R100kM20E.csv time VRF IRF VOUT ...
    IC IR VDS1 VDS2 VDS3 VDS4 VGS1 VGS2 VSG3 VSG4 ...
    ids1 ids2 ids3 ids4 vth1 vth2 vth3 vth4

* =====
* CIERRE DE WHILE
* =====
    **** Definicion de proximo valor (while)
    let VRF_act = VRF_act + delta_VRF
    let k = 1
    set appendwrite
end
.endc

**** end user architecture code
**.ends
.GLOBAL GND
.end

```

A.5. Archivo Spice del Rectificador CCDD Multiple Simulado

```

** sch_path: /home/designer/mis_archivos/Proyectos/Memoria/Memoria_CCDD_TRAN_MULT2.sch

```

```

**.subckt Memoria_CCDD_TRAN_MULT2 VRFP VRFM VOUT VRFP VRFM
*.iopin VRFP
*.iopin VRFM
*.iopin VOUT
*.iopin VRFP
*.iopin VRFM
XM3 V1 net2 net1 net1 sg13_lv_pmos w={W34} l={L34} ng=1 m={mult34}
XM2 GND net1 net2 net2 sg13_lv_nmos w={W12} l={L12} ng=1 m={mult12}
XM1 GND net2 net1 net1 sg13_lv_nmos w={W12} l={L12} ng=1 m={mult12}
XM4 V1 net1 net2 net2 sg13_lv_pmos w={W34} l={L34} ng=1 m={mult34}
R1 VOUT GND {R1v} m=1
C1 VOUT GND {C1v} m=1
VRF VRFP VRFM SIN(0 {VAMPL} {FREQ})
.save i(vrf)
C2 net3 net1 {Csv} m=1
C3 net2 net4 {Csv} m=1
XM7 VOUT net6 net5 net5 sg13_lv_pmos w={W34} l={L34} ng=1 m={mult34}
XM6 V1 net5 net6 net6 sg13_lv_nmos w={W12} l={L12} ng=1 m={mult12}
XM5 V1 net6 net5 net5 sg13_lv_nmos w={W12} l={L12} ng=1 m={mult12}
XM8 VOUT net5 net6 net6 sg13_lv_pmos w={W34} l={L34} ng=1 m={mult34}
C5 net3 net5 {Csv} m=1
C6 net6 net4 {Csv} m=1
C4 V1 GND {Cav} m=1
R8 net3 VRFP 1 m=1
R2 net4 VRFM 1 m=1
R3 net3 GND 1000000000 m=1
R4 GND net2 1000000000 m=1
R5 GND net4 1000000000 m=1
R6 GND net6 1000000000 m=1
R7 GND net5 1000000000 m=1
R9 GND net1 1000000000 m=1
**** begin user architecture code

.param corner=0

.if (corner==0)
.lib cornerMOSlv.lib mos_tt
.lib cornerRES.lib res_typ

```

```
.lib cornerCAP.lib cap_typ
.endif

.option wnflag=1
.savecurrents

* =====
* PARAMETROS DE SIMULACION
* =====

**** Parametros PMOS M3 y M4
.param L34 = 0.16u
.param W34 = 0.45u
.param mult34 = 20

**** Parametros NMOS M1 y M2
.param L12 = 0.13u
.param W12 = 0.15u
.param mult12 = 20

* Parametros PMOS M1
*.param Lval1 = 0.16u
*.param Wval1 = 0.45u
*.param mult1 = 5

* Parametros NMOS M2
*.param Lval2 = 1u
*.param Wval2 = 0.15u
*.param mult2 = 1

* Parametros NMOS M3
*.param Lval3 = 1u
*.param Wval3 = 0.15u
*.param mult3 = 1

* Parametros PMOS M4
*.param Lval4 = 1u
```

```
*.param Wval4 = 0.15u
*.param mult4 = 1

**** Parametros de Carga
.param C1v = 1p
.ic V(VOUT) = 0
.param R1v = 25k

**** Parametros de Acople
.param Csv = 1p
.param Cav = 1p

**** Parametros Fuente Sinusoidal
.param VAMPL = 0.1      ; Amplitud (V)
.param VOFFS = 0        ; Valor medio (V)
.param FREQ  = 900MEG    ; Frecuencia (Hz)
.param PHASE = 0         ; Fase1 (grados)

.option wnflag=1
.savecurrents

* =====
* BLOQUE DE CONTROL NGSPICE
* =====
.control

**** Compatibilidad y Color
    set filetype = ascii
    set color0 = white

**** Inicializacion de Parametro While
    let k = 0
    let start_VRF = 0.3
    let stop_VRF = 1.5
    let delta_VRF = 0.1
    let VRF_act = start_VRF
```

```
**** Inicializacion Constantes para Calculos
```

```
let i = 0
let IDmax = 0
let IGmax = 0
let VDSmax = 0
let VGSmax = 0
```

```
**** Variables Exteriores
```

```
* =====
```

```
* Inicio del While
```

```
* =====
```

```
while VRF_act le stop_VRF + 2*delta_VRF
  if k = 1
    tran 50p 400n
  end
  alterparam VAMPL = $&VRF_act
  reset
```

```
* -----
```

```
* Almacenamiento de Variables
```

```
* -----
```

```
save all
```

```
**** M1
```

```
save @n.xm1.nsg13_lv_nmos[ids]
save @n.xm1.nsg13_lv_nmos[gm]
save @n.xm1.nsg13_lv_nmos[gds]
save @n.xm1.nsg13_lv_nmos[vth]
```

```
**** M2
```

```
save @n.xm2.nsg13_lv_nmos[ids]
save @n.xm2.nsg13_lv_nmos[gm]
save @n.xm2.nsg13_lv_nmos[gds]
save @n.xm2.nsg13_lv_nmos[vth]
```

```
**** M3
```

```

save @n.xm3.nsg13_lv_pmos[ids]
save @n.xm3.nsg13_lv_pmos[gm]
save @n.xm3.nsg13_lv_pmos[gds]
save @n.xm3.nsg13_lv_pmos[vth]

**** M4
save @n.xm4.nsg13_lv_pmos[ids]
save @n.xm4.nsg13_lv_pmos[gm]
save @n.xm4.nsg13_lv_pmos[gds]
save @n.xm4.nsg13_lv_pmos[vth]

**** Fuente de Voltaje
save @VRF[i]
save @VRF[p]

**** Carga
save R1[i]
save C1[i]

* -----
* Definicion de Varriables Internas
* -----

if k = 1

**** M1
let ids1 = @n.xm1.nsg13_lv_nmos[ids]
let gm1 = @n.xm1.nsg13_lv_nmos[gm]
let gds1 = @n.xm1.nsg13_lv_nmos[gds]
let vth1 = @n.xm1.nsg13_lv_nmos[vth]
let VDS1 = 0 - VRFP
let VGS1 = VRFM - VRFP

**** M2
let ids2 = @n.xm2.nsg13_lv_nmos[ids]
let gm2 = @n.xm2.nsg13_lv_nmos[gm]
let gds2 = @n.xm2.nsg13_lv_nmos[gds]
let vth2 = @n.xm2.nsg13_lv_nmos[vth]
let VDS2 = 0 - VRFM

```

```

let VGS2 = VRFP - VRFM

**** M3
let ids3 = @n.xm3.nsg13_lv_pmos[ids]
let gm3 = @n.xm3.nsg13_lv_pmos[gm]
let gds3 = @n.xm3.nsg13_lv_pmos[gds]
let vth3 = @n.xm3.nsg13_lv_pmos[vth]
let VSD3 = VRFP - VOUT
let VSG3 = VRFP - VRFM

**** M4
let ids4 = @n.xm4.nsg13_lv_pmos[ids]
let gm4 = @n.xm4.nsg13_lv_pmos[gm]
let gds4 = @n.xm4.nsg13_lv_pmos[gds]
let vth4 = @n.xm4.nsg13_lv_pmos[vth]
let VSD4 = VRFM - VOUT
let VSG4 = VRFM - VRFP

**** Fuente de Voltaje
let IRF = @VRF[i]
let PRF = @VRF[p]
let VRF = VRFP - VRFM

**** Carga
let IC = @C1[i]
let IR = @R1[i]
let IRC = IC + IR
let PR = IR * VOUT

end

* =====
* RESULTADOS
* =====
* -----
* Graficas de la Simulacion
* -----
**** Fuente

```

```
*plot VRF vs time
*plot IRF vs time

**** Carga
plot VOUT VRF vs time
*plot IRC vs time
*plot avg(PR/PRF)

* -----
* Registro de Datos
* -----
    remzerovec
    write Memoria_CCDD_TRAN_MULT2_L00-13_W00-15_R25kM20.csv time VRF IRF VOUT ...
    IC IR VDS1 VDS2 VSD3 VSD4 VGS1 VGS2 VSG3 VSG4 ids1 ids2 ids3 ids4 vth1 ...
    vth2 vth3 vth4 V1

* =====
* CIERRE DE WHILE
* =====
    **** Definicion de proximo valor (while)
    let VRF_act = VRF_act + delta_VRF
    let k = 1
    set appendwrite

end

.endc

**** end user architecture code
**.ends
.GLOBAL GND
.end
```

Apéndice B

CODIGOS DE MATLAB

En este apartado se presentan los códigos de *Matlab* utilizados para el análisis de datos, la extracción de información de las simulaciones, la generación de gráficas y los modelados matemáticos empleados.

B.1. Modelamiento Cuasi-Estatico del NMOS.

```
%% ===== MAIN =====
% Modelo de Iout y dinámica de Vout con VRF sinusoidal
% Autor: Bastián Veas
% -----
% Este script implementa:
% 1. Definición de parámetros físicos y eléctricos del NMOS SG13G2
% 2. Lectura de datos experimentales desde un archivo CSV
% 3. Cálculo del modelo de corriente Iout y capacitancia efectiva Ceff
% 4. Comparación gráfica 3D entre el modelo y los datos experimentales
% -----

clc; clear; close all

%% =====
%% PARÁMETROS FÍSICOS DEL NMOS (SG13G2)
%% =====

% Geometría del transistor
```

```

geom.w = 0.15e-6;    % ancho efectivo [m]
geom.l = 0.13e-6;    % largo efectivo [m]

% Constantes físicas
phys.eps0 = 8.854e-12;    % permitividad del vacío [F/m]
phys.epsrox = 3.9;    % constante dieléctrica relativa SiO2
phys.epsox = phys.epsrox * phys.eps0; % permitividad absoluta del óxido
phys.tox = 2.2404e-9;    % espesor del óxido [m]
phys.mu_n = 0.035;    % movilidad efectiva de electrones [m^2/Vs]
phys.T = 300;    % temperatura [K]
phys.k = 1.380649e-23;    % constante de Boltzmann
phys.q = 1.602176634e-19;    % carga del electrón

% Parámetros eléctricos derivados
elec.Cox_p = phys.epsox / phys.tox;    % C_ox' [F/m^2]
elec.Cox = elec.Cox_p * geom.w * geom.l;    % C_ox total canal [F]
elec.Kn = phys.mu_n * elec.Cox_p;    % parámetro de conducción [A/V^2]

% Parámetros de subumbral y umbral
elec.VT = phys.k * phys.T / phys.q;    % voltaje térmico (~25.8 mV)
elec.n = 1.05;    % factor de idealidad
elec.ID0 = 1e-7;    % corriente de referencia
elec.VTH = 0.442;    % voltaje umbral [V]

% Parámetros de modulación de canal
elec.VA = 17;    % voltaje de Early
elec.lambda = 1 / elec.VA;    % parámetro de CLM

% Capacitancias parásitas
cap.Cgs_ov = 9.99e-17;    % solape compuerta{fuente
cap.Cgd_ov = 9.27e-17;    % solape compuerta{drenador
cap.Cch = elec.Cox;    % capacitancia de canal
cap.Ceff = 0.3 * (cap.Cgs_ov + cap.Cgd_ov); % valor aproximado

% Parámetros del modelo usados en simulación
params.ID0 = elec.ID0;
params.m = 1;
params.w = geom.w;

```

```

params.l      = geom.l;
params.n      = elec.n;
params.VT     = elec.VT;
params.VTH    = elec.VTH;
params.Kn     = 1.7e-4;
params.lambda = elec.lambda;
params.C      = 1e-12;
params.R      = 100e3;
params.If     = 1e-9;
params.Cox    = elec.Cox_p;
params.Cov    = (cap.Cgs_ov + cap.Cgd_ov) / (2*geom.w);
params.delta  = 0.001;
params.fo     = 900e6;

p = params; % estructura de parámetros

%% =====
%% LECTURA DE CSV EXPERIMENTAL
%% =====

folder = 'D:\Programas\usm-vlsi-tools-main\Proyectos\Memoria\NMOS_DC_Sweep';
filename = 'Memoria_NMOS_DC_L00-13W00-15.csv';
data = readcell(fullfile(folder, filename));

% Detección de metadatos en el CSV
NoPoints = 0; NoVar = 0; IVar = 0; IVal = 0;
for i = 1:length(data)
    if ischar(data{i}) || isstring(data{i})
        line = string(data{i});
        if contains(line, 'No. Points:')
            NoPoints = str2double(extractAfter(line, ': '));
        elseif contains(line, 'No. Variables:')
            NoVar = str2double(extractAfter(line, ': '));
        elseif strcmp(line, 'Variables:')
            IVar = i;
        elseif strcmp(line, 'Values:')
            IVal = i;
        end
    end
end

```

```

        end
    end

    if NoPoints == 0 || NoVar == 0
        error('No se detectaron metadatos válidos en el archivo CSV.');
```

end

```

% Extracción de nombres de variables
NomEje = strings(1, NoVar);
for i = 1:NoVar
    rawname = string(data{IVar + i, 3});
    rawname = strtrim(lower(rawname));
    ini = strfind(rawname, '(');
    fin = strfind(rawname, ')');
    if ~isempty(ini) && ~isempty(fin) && ini < fin
        NomEje(i) = extractBetween(rawname, ini+1, fin-1);
    else
        NomEje(i) = rawname;
    end
end

end

% Construcción de la matriz de valores
Values = zeros(NoPoints, NoVar);
for i = 1:NoVar
    bloque = data(IVar + i : NoVar : IVar + NoVar*(NoPoints-1) + i, 2);
    Values(:, i) = cellfun(@double, bloque);
end

TableValues = array2table(Values, 'VariableNames', NomEje);

% Ajustar nombres según el CSV
VDS_csv = TableValues.vds;
VGS_csv = TableValues.vgs;
ID_csv = TableValues.id;

%% =====
%% CÁLCULO DEL MODELO
%% =====

```

```

VDS_values = unique(VDS_csv);
VGS_values = unique(VGS_csv);

Iout_model = zeros(numel(VDS_values), numel(VGS_values));

for i = 1:numel(VGS_values)
    VGS = VGS_values(i);
    for j = 1:numel(VDS_values)
        VDS = VDS_values(j);
        [Iout,~,~,~] = calc_Iout_VGS_VDS(VGS,VDS,p); % corriente modelo
        Ceff = calc_Ceff_VGS_VDS(VGS,VDS,p);          % capacitancia efectiva
        Ipump = Ceff .* max(VGS,0);                    % bombeo capacitivo
        Iout_model(j,i) = Iout + Ipump;                % corriente total
    end
end

idmax = max(ID_csv(ID_csv > 0)); % valor máximo experimental

%% =====
%% GRÁFICA 3D COMPARATIVA
%% =====

figure;

% Superficie del modelo
[X,Y] = meshgrid(VDS_values, VGS_values);
Z = Iout_model';
surf(X, Y, Z, 'FaceAlpha',0.8, 'EdgeColor','none'); hold on
shading interp;
colormap parula;

% Interconectar puntos experimentales
color_unico = [0 0 0]; % negro

for i = 1:numel(VGS_values)
    idx = VGS_csv == VGS_values(i);
    [vds_ord, ord] = sort(VDS_csv(idx));
    id_ord = ID_csv(idx); id_ord = id_ord(ord);

```

```

vgs_ord = VGS_csv(idx); vgs_ord = vgs_ord(ord);

plot3(vds_ord, vgs_ord, id_ord, '-o', ...
      'Color', color_unico, ...
      'MarkerFaceColor', color_unico, ...
      'MarkerEdgeColor', color_unico, ...
      'MarkerSize', 5, 'LineWidth', 1.5);
end

% Límites de los ejes
xlim([min(VDS_values) max(VDS_values)]);
ylim([min(VGS_values) max(VGS_values)]);
zlim([-2*idmax 2*idmax]);

% Etiquetas y título
xlabel('V_{DS} [V]', 'FontSize',14, 'FontWeight','bold'); % eje X
ylabel('V_{GS} [V]', 'FontSize',14, 'FontWeight','bold'); % eje Y
zlabel('I_{D} [A]', 'FontSize',14, 'FontWeight','bold'); % eje Z
title('Comparación 3D: I_{D}(V_{DS}, V_{GS}) | Modelo vs CSV', ...
      'FontSize',16, 'FontWeight','bold');

% Límites de los ejes
xlim([min(VDS_values) max(VDS_values)]);
ylim([min(VGS_values) max(VGS_values)]);
zlim([-2*idmax 2*idmax]);

% Leyenda y vista
legend({'Modelo (superficie)', 'CSV (líneas+puntos)'}, ...
      'Location','northeast', 'FontSize',12);
grid on; box on;
view(135,30);

%% =====
%% FUNCIONES AUXILIARES
%% =====

% --- Modelo de corriente continua ---
function [Iout,I_WI,I_LIN,I_SAT] = calc_Iout_VGS_VDS(VGS,VDS,p)

```

```

% Overdrive
VGT = VGS - p.VTH;

% (1) Weak inversion
I_WI = p.ID0 * p.m * (p.w/p.l) .* ...
        exp(VGT./(p.n*p.VT)) .* ...
        (1 - exp(-VDS./(p.n*p.VT)));
I_WI = max(I_WI,0);

% (2) Strong inversion - lineal
I_LIN = p.Kn * p.m * (p.w/p.l) .* ...
        max(VGT,0) .* VDS .* ...
        (1 - VDS./(2*max(VGT,1e-10)));
I_LIN = max(I_LIN,0);

% Corriente máxima lineal
I_LIN_max = 0.5 * p.Kn * p.m * (p.w/p.l) .* max(VGT,0).^2;
if VDS >= max(VGT,0)
    I_LIN = I_LIN_max;
end

% (3) Saturación con CLM físico
I_SAT = I_LIN_max .* (1 + p.lambda .* VDS);
I_SAT = max(I_SAT,0);

% Pesos logísticos (PSP-like)
w_WI = 1 ./ (1 + exp( VGT ./ p.delta ));
w_SI = 1 - w_WI;
w_LIN = 1 ./ (1 + exp( (VDS - VGT) ./ p.delta ));
w_SAT = 1 - w_LIN;

% Corriente total continua
Iout = w_WI .* I_WI + ...
        w_SI .* ( w_LIN .* I_LIN + w_SAT .* I_SAT );

% Seguridad numérica
Iout(~isfinite(Iout)) = 0;
Iout = max(Iout,0);

```

```

end

% --- Capacitancia efectiva ---
function Ceff = calc_Ceff_VGS_VDS(VGS,VDS,p)
    % Overdrive
    VGT = VGS - p.VTH;

    % Pesos logísticos (idénticos al modelo de corriente)
    w_WI = 1 ./ (1 + exp( VGT ./ p.delta ));
    w_SI = 1 - w_WI;
    w_LIN = 1 ./ (1 + exp( (VDS - VGT) ./ p.delta ));
    w_SAT = 1 - w_LIN;

    % Capacitancias físicas
    Cox_area = p.Cox; % [F/m^2]
    Cch = p.w * p.l * Cox_area; % WL*Cox
    CovW = p.Cov * p.w; % W*C_ov

    % Por región
    C_WI = CovW;
    C_LIN = 0.5 * Cch + CovW;
    C_SAT = CovW;

    % Mezcla continua
    Ceff = w_WI .* C_WI + ...
           w_SI .* ( w_LIN .* C_LIN + w_SAT .* C_SAT );

    % Seguridad numérica
    Ceff(~isfinite(Ceff)) = 0;
    Ceff = max(Ceff,0);
end

```

B.2. Exploracion NMOS DC

```

% =====
% Programa para cargar y graficar curvas desde un archivo CSV grande
% Autor: Bastian Veas
%

```

```
% Descripción:
% - Lee un CSV de simulación SPICE con secciones "Variables:" y "Values:".
% - Detecta automáticamente todas las variables del archivo.
% - Usa los tres primeros ejes de NomEje como base para graficar.
% - Grafica scatter3 con plano base, curvas de barrido y color opcional.
% =====

clear; close all; clc;

%% Paso 1: Cargar el archivo CSV
filename = 'Memoria_NMOS_DC_L0-5uW0-15u.csv'; % <-- Ajustar nombre de archivo
data = readcell(filename);

%% Paso 2: Detección de metadatos
NoPoints = 0; NoVar = 0; IVar = 0; IVal = 0;

for i = 1:length(data)
    if ischar(data{i}) || isstring(data{i})
        line = string(data{i});
        if contains(line, 'No. Points:')
            NoPoints = str2double(extractAfter(line, ': '));
        elseif contains(line, 'No. Variables:')
            NoVar = str2double(extractAfter(line, ': '));
        elseif strcmp(line, 'Variables:')
            IVar = i;
        elseif strcmp(line, 'Values:')
            IVal = i;
        end
    end
end

if NoPoints == 0 || NoVar == 0
    error('No se detectaron metadatos válidos en el archivo CSV.');
```

```
end

%% Paso 3: Extracción de nombres de variables
NomEje = strings(1, NoVar);
for i = 1:NoVar
```

```

        rawname = string(data{IVar + i, 3});
        rawname = strtrim(lower(rawname));
        ini = strfind(rawname, '(');
        fin = strfind(rawname, ')');
        if ~isempty(ini) && ~isempty(fin) && ini < fin
            NomEje(i) = extractBetween(rawname, ini+1, fin-1);
        else
            NomEje(i) = rawname;
        end
    end

disp('Variables detectadas:');
disp(NomEje);

%% Paso 4: Construcción de la matriz de valores
Values = zeros(NoPoints, NoVar);
for i = 1:NoVar
    bloque = data(IVal + i : NoVar : IVal + NoVar*(NoPoints-1) + i, 2);
    Values(:, i) = cellfun(@double, bloque);
end

TableValues = array2table(Values, 'VariableNames', NomEje);

%% Paso 5: Selección de dimensiones de forma genérica
% Usa todas las variables detectadas directamente desde NomEje.
% El usuario puede elegir manualmente cuál usar como color (4ª dimensión).

% Convierte la tabla a matriz numérica
M = table2array(TableValues);

% Dimensiones principales (por defecto: las tres primeras)
dim1 = M(:, 1);
dim2 = M(:, 2);
dim3 = M(:, 3);

% Mostrar opciones disponibles para la cuarta dimensión
fprintf('\nVariables disponibles para usar como color (4ª dimensión):\n');
for k = 1:length(NomEje)

```

```

    fprintf('%d: %s\n', k, NomEje{k});
end

idx_color = input('\nIngrese el número de la variable a usar como color (4ª dimensión): ');

% Validar entrada del usuario
if isempty(idx_color) || idx_color < 1 || idx_color > length(NomEje)
    warning('Selección inválida. Se usará la tercera variable como color.');
```

idx_color = 3;

```

end

dim4 = M(:, idx_color);

fprintf('Usando "%s" como cuarta dimensión (color).\n\n', NomEje{idx_color});

%% Paso 6: Definición de ejes genéricos
x_all = TableValues.(NomEje{2}); % Eje X (ej: Vds)
y_all = TableValues.(NomEje{3}); % Eje Y (ej: Vgs)
z_all = TableValues.(NomEje{4}); % Eje Z (ej: Id)

% Variable de color (vthn si existe)
if ismember('vthn', lower(string(TableValues.Properties.VariableNames)))
    vthn_all = TableValues.vthn;
else
    vthn_all = z_all;
end

%% Paso 7: SCATTER3 mejorado con plano base
figure('Name', 'Scatter3 - Curvas no interpoladas', 'NumberTitle', 'off', 'Color', 'w');
hold on;

% --- 7.1 Filtrado de valores válidos
maskFinite = isfinite(x_all) & isfinite(y_all) & isfinite(z_all) & isfinite(vthn_all);
x = x_all(maskFinite);
y = y_all(maskFinite);
z = z_all(maskFinite);
vthn = vthn_all(maskFinite);
if isempty(x)

```

```

        error('No hay datos finitos después del filtrado.');
```

end

% --- 7.2 Detección del tipo de dispositivo según el nombre del archivo

```

[~, base, ext] = fileparts(filename);
tkn = regexp(base, '(NMOS|PMOS|NPN|PNP)', 'tokens', 'once', 'ignorecase');
if ~isempty(tkn)
    deviceType = upper(tkn{1});
else
    if ~isempty(regexpi(base, 'nmos')), deviceType = 'NMOS';
    elseif ~isempty(regexpi(base, 'pmos')), deviceType = 'PMOS';
    elseif ~isempty(regexpi(base, 'npn')), deviceType = 'NPN';
    elseif ~isempty(regexpi(base, 'pnp')), deviceType = 'PNP';
    else, deviceType = 'UNKNOWN';
    end
end

% --- 7.3 Cálculo de idmax según tipo de dispositivo
switch deviceType
    case {'NMOS', 'NPN'}
        pos_vals = z(z > 0);
        idmax = ~isempty(pos_vals) * max(pos_vals) + ...
            isempty(pos_vals) * max(abs(z));
    case {'PMOS', 'PNP'}
        neg_vals = z(z < 0);
        idmax = ~isempty(neg_vals) * abs(min(neg_vals)) + ...
            isempty(neg_vals) * max(abs(z));
    otherwise
        idmax = max(abs(z));
end

if isempty(idmax) || idmax == 0, idmax = 1; end
margin = 2; zlim_sym = [-margin*idmax, margin*idmax];

fprintf('Device type: %s | idmax = %.4g\n', deviceType, idmax);

% --- 7.4 Definición de límites X/Y
x_min = min(x); x_max = max(x);
y_min = min(y); y_max = max(y);
```

```

dx = x_max - x_min; dy = y_max - y_min;
frac_margin = 0.05;
x1 = x_min - frac_margin*dx; x2 = x_max + frac_margin*dx;
y1 = y_min - frac_margin*dy; y2 = y_max + frac_margin*dy;

% --- 7.5 Plano base con grosor (slab)
t = 0.05 * idmax;
z1 = -t/2; z2 = t/2;
[Xb, Yb] = meshgrid([x1 x2], [y1 y2]);
surf(Xb, Yb, z1*ones(size(Xb)), 'FaceColor', [0.88 0.88 0.88], 'FaceAlpha', ...
0.85, 'EdgeColor', 'none');
surf(Xb, Yb, z2*ones(size(Xb)), 'FaceColor', [0.88 0.88 0.88], 'FaceAlpha', ...
0.85, 'EdgeColor', 'none');

% --- 7.6 Datos fuera de rango en gris
mask_color = abs(z) <= idmax;
x_in = x(mask_color); y_in = y(mask_color);
z_in = z(mask_color); v_in = vthn(mask_color);
x_out = x(~mask_color); y_out = y(~mask_color); z_out = z(~mask_color);

if ~isempty(x_out)
    scatter3(x_out, y_out, z_out, 18, repmat([0.85 0.85 0.85], ...
numel(x_out),1),'filled', 'MarkerEdgeColor',[0.8 0.8 0.8], 'MarkerFaceAlpha',0.35);
end

% --- 7.7 Datos dentro de rango coloreados
if ~isempty(x_in)
    scatter3(x_in, y_in, z_in, 30, v_in, 'filled', ...
'MarkerEdgeColor','none', 'MarkerFaceAlpha',0.9);
end

%% Paso 8: Curvas de barrido Vgs y Vds
tol_group = 1e-6 * max(abs([x_max, y_max, 1]));
curveLW = 1.8; label_every = 4;
curveColor_vgs = [0 0 0];
curveColor_vds = [0 0.2 0.6];

% --- 8.1 Curvas Id vs Vds (Vgs fijas)

```

```

unique_vgs = unique(round(y./tol_group).*tol_group);
for u = 1:numel(unique_vgs)
    vt = unique_vgs(u);
    idx = abs(y - vt) <= tol_group;
    if nnz(idx) >= 2
        [xs_sorted, ord] = sort(x(idx));
        zs_sorted = z(idx); zs_sorted = zs_sorted(ord);
        plot3(xs_sorted, repmat(vt,size(xs_sorted)), zs_sorted, '-', ...
            'LineWidth', curveLW, 'Color', curveColor_vgs);
        if mod(u-1, label_every) == 0
            text(xs_sorted(end), vt, zs_sorted(end), ...
                sprintf(' %s=%.3g', NomEje{3}, vt), 'Color', ...
                curveColor_vgs, 'FontWeight','bold', 'FontSize',8, ...
                'Interpreter','none');
        end
    end
end

% --- 8.2 Curvas Id vs Vgs (Vds fijas)
unique_vds = unique(round(x./tol_group).*tol_group);
for u = 1:numel(unique_vds)
    vt = unique_vds(u);
    idx = abs(x - vt) <= tol_group;
    if nnz(idx) >= 2
        [ys_sorted, ord] = sort(y(idx));
        zs_sorted = z(idx); zs_sorted = zs_sorted(ord);
        plot3(repmat(vt,size(ys_sorted)), ys_sorted, zs_sorted, '-', ...
            'LineWidth', curveLW, 'Color', curveColor_vds);
        if mod(u-1, label_every) == 0
            text(vt, ys_sorted(end), zs_sorted(end), ...
                sprintf(' %s=%.3g', NomEje{2}, vt), 'Color', ...
                curveColor_vds, 'FontWeight','bold', 'FontSize',8, ...
                'Interpreter','none');
        end
    end
end

%% Paso 9: Etiquetas, límites y formato

```

```

zlim(zlim_sym);
vmin = min(vthn); vmax = max(vthn);
if vmin == vmax, vmin = vmin - 1e-6; vmax = vmax + 1e-6; end
clim([vmin, vmax]); colormap(turbo);

% Etiqueta del colorbar según la variable seleccionada en Paso 5
if exist('idx_color','var') && idx_color >= 1 && idx_color <= numel(NomEje)
    color_label = NomEje{idx_color};
elseif ismember('vthn', lower(string(TableValues.Properties.VariableNames)))
    color_label = 'vthn';
else
    % fallback: usar nombre de la variable usada en vthn_all (si existe en NomEje)
    % intentamos encontrar su nombre en NomEje comparando valores aproximados
    color_label = 'color';
end

cb = colorbar;
ylabel(cb, color_label, 'Interpreter', 'none');

% Extraer dimensiones L/W del nombre del archivo
pattern = '[Ll]\s*([0-9]+(?:[-\.] [0-9]+)?)\s ...
*[uUnNmM]*[A-Za-z0-9]*[Ww]\s*([0-9]+(?:[-\.] [0-9]+)?)';
tok_pw = regexp(base, pattern, 'tokens', 'once');
if ~isempty(tok_pw)
    Lstr = sprintf('L=%su', strrep(tok_pw{1}, '-', '.'));
    Wstr = sprintf('W=%su', strrep(tok_pw{2}, '-', '.'));
else
    Lstr = 'L=unknown'; Wstr = 'W=unknown';
end

title(sprintf('%s%s | Type: %s | %s %s', base, ext, deviceType, Lstr, Wstr) ...
, 'Interpreter', 'none');
xlabel(NomEje{2}, 'Interpreter', 'none');
ylabel(NomEje{3}, 'Interpreter', 'none');
zlabel(NomEje{4}, 'Interpreter', 'none');
grid on; box on; view(45,25);
set(gca, 'FontSize',12, 'LineWidth',1);

```

```
hold off;
```

```
fprintf('--- Gráfico completado correctamente ---\n');
```

B.3. Exploración NMOS Tran

```
% =====
% Programa para cargar y graficar curvas desde un archivo CSV grande
% Autor: Bastian Veas
%
% Descripción:
%   - Lee un CSV de simulación SPICE con secciones "Variables:" y "Values:".
%   - Detecta automáticamente todas las variables del archivo.
%   - Usa los tres primeros ejes de NomEje como base para graficar.
%   - Grafica scatter3 con plano base, curvas de barrido y color opcional.
% =====

clear; close all; clc;

%% Paso 1: Cargar el archivo CSV
filename = 'Memoria_NMOS_DC_L5uW0-15u.csv';
data = readcell(filename);

filename_time = 'Memoria_NMOS_TRAN_L5uW0-15u_A0-5_PO.csv';
data_time = readcell(filename_time);

%% Paso 2: Detección de metadatos
NoPoints = 0; NoVar = 0; IVar = 0; IVal = 0;

for i = 1:length(data)
    if ischar(data{i}) || isstring(data{i})
        line = string(data{i});
        if contains(line, 'No. Points:')
            NoPoints = str2double(extractAfter(line, ': '));
        elseif contains(line, 'No. Variables:')
            NoVar = str2double(extractAfter(line, ': '));
        elseif strcmp(line, 'Variables:')
            IVar = i;
        end
    end
end
```

```
        elseif strcmp(line, 'Values:')
            IVal = i;
        end
    end
end

if NoPoints == 0 || NoVar == 0
    error('No se detectaron metadatos válidos en el archivo CSV.');
```

end

%% Paso 3: Extracción de nombres de variables

```
NomEje = strings(1, NoVar);
for i = 1:NoVar
    rawname = string(data{IVal + i, 3});
    rawname = strtrim(lower(rawname));
    ini = strfind(rawname, '(');
    fin = strfind(rawname, ')');
    if ~isempty(ini) && ~isempty(fin) && ini < fin
        NomEje(i) = extractBetween(rawname, ini+1, fin-1);
    else
        NomEje(i) = rawname;
    end
end

disp('Variables detectadas:');
disp(NomEje);

%% Paso 4: Construcción de la matriz de valores
Values = zeros(NoPoints, NoVar);
for i = 1:NoVar
    bloque = data(IVal + i : NoVar : IVal + NoVar*(NoPoints-1) + i, 2);
    Values(:, i) = cellfun(@double, bloque);
end

TableValues = array2table(Values, 'VariableNames', NomEje);

%% Paso 5: Selección de dimensiones de forma genérica
```

```

% Usa todas las variables detectadas directamente desde NomEje.
% El usuario puede elegir manualmente cuál usar como color (4ª dimensión).

% Convierte la tabla a matriz numérica
M = table2array(TableValues);

% Dimensiones principales (por defecto: las tres primeras)
dim1 = M(:, 1);
dim2 = M(:, 2);
dim3 = M(:, 3);

% Mostrar opciones disponibles para la cuarta dimensión
fprintf('\nVariables disponibles para usar como color (4ª dimensión):\n');
for k = 1:length(NomEje)
    fprintf('%d: %s\n', k, NomEje{k});
end

idx_color = input('\nIngrese el número de la variable a usar ...
como color (4ª dimensión): ');

% Validar entrada del usuario
if isempty(idx_color) || idx_color < 1 || idx_color > length(NomEje)
    warning('Selección inválida. Se usará la tercera variable como color.');
```

```

    idx_color = 3;
end

dim4 = M(:, idx_color);

fprintf('Usando "%s" como cuarta dimensión (color).\n\n', NomEje{idx_color});

%% Paso 6: Definición de ejes genéricos
x_all = TableValues.(NomEje{2}); % Eje X (ej: Vds)
y_all = TableValues.(NomEje{3}); % Eje Y (ej: Vgs)
z_all = TableValues.(NomEje{4}); % Eje Z (ej: Id)

% Variable de color (vthn si existe)
if ismember('vthn', lower(string(TableValues.Properties.VariableNames)))
```

```

    vthn_all = TableValues.vthn;
else
    vthn_all = z_all;
end
%% Paso 7: SCATTER3 mejorado con plano base
figure('Name', 'Scatter3 - Curvas no interpoladas', 'NumberTitle', 'off', 'Color', 'w');
hold on;

% --- 7.1 Filtrado de valores válidos
maskFinite = isfinite(x_all) & isfinite(y_all) & isfinite(z_all) & isfinite(vthn_all);
x = x_all(maskFinite);
y = y_all(maskFinite);
z = z_all(maskFinite);
vthn = vthn_all(maskFinite);
if isempty(x)
    error('No hay datos finitos después del filtrado.');
```

end

```

% --- 7.2 Detección del tipo de dispositivo según el nombre del archivo
[~, base, ext] = fileparts(filename);
tkn = regexp(base, '(NMOS|PMOS|NPN|PNP)', 'tokens', 'once', 'ignorecase');
if ~isempty(tkn)
    deviceType = upper(tkn{1});
else
    if ~isempty(regexpi(base, 'nmos')), deviceType = 'NMOS';
    elseif ~isempty(regexpi(base, 'pmos')), deviceType = 'PMOS';
    elseif ~isempty(regexpi(base, 'npn')), deviceType = 'NPN';
    elseif ~isempty(regexpi(base, 'pnp')), deviceType = 'PNP';
    else, deviceType = 'UNKNOWN';
    end
end

% --- 7.3 Cálculo de idmax según tipo de dispositivo
switch deviceType
    case {'NMOS', 'NPN'}
        pos_vals = z(z > 0);
        idmax = ~isempty(pos_vals) * max(pos_vals) + ...
```

```

        isempty(pos_vals) * max(abs(z));
    case {'PMOS', 'PNP'}
        neg_vals = z(z < 0);
        idmax = ~isempty(neg_vals) * abs(min(neg_vals)) + ...
            isempty(neg_vals) * max(abs(z));
    otherwise
        idmax = max(abs(z));
    end
    if isempty(idmax) || idmax == 0, idmax = 1; end
    margin = 2;
    zlim_sym = [-margin*idmax, margin*idmax];

    fprintf('Device type: %s | idmax = %.4g\n', deviceType, idmax);

    % --- 7.4 Definición de límites X/Y
    x_min = min(x); x_max = max(x);
    y_min = min(y); y_max = max(y);
    dx = x_max - x_min; dy = y_max - y_min;
    frac_margin = 0.05;
    x1 = x_min - frac_margin*dx; x2 = x_max + frac_margin*dx;
    y1 = y_min - frac_margin*dy; y2 = y_max + frac_margin*dy;

    % --- 7.5 Plano base con grosor (slab)
    t = 0.01 * idmax;
    z1 = -t/2; z2 = t/2;
    [Xb, Yb] = meshgrid([x1 x2], [y1 y2]);
    surf(Xb, Yb, z1*ones(size(Xb)), 'FaceColor', [0.88 0.88 0.88], ...
        'FaceAlpha', 0.8, 'EdgeColor', 'none');
    surf(Xb, Yb, z2*ones(size(Xb)), 'FaceColor', [0.88 0.88 0.88], ...
        'FaceAlpha', 0.8, 'EdgeColor', 'none');

    % --- 7.6 Datos fuera de rango en gris
    mask_color = abs(z) <= idmax;
    x_in = x(mask_color); y_in = y(mask_color);
    z_in = z(mask_color); v_in = vthn(mask_color);
    x_out = x(~mask_color); y_out = y(~mask_color); z_out = z(~mask_color);

    if ~isempty(x_out)

```

```

        scatter3(x_out, y_out, z_out, 15, repmat([0.5 0.5 0.5], numel(x_out),1), ...
            'filled', 'MarkerEdgeColor',[0.8 0.8 0.8], 'MarkerFaceAlpha',0.1);
    end

% --- 7.7 Datos dentro de rango coloreados (primer dataset)
if ~isempty(x_in)
    scatter3(x_in, y_in, z_in, 15, v_in, 'filled', ...
        'MarkerEdgeColor','none', 'MarkerFaceAlpha',0.8);
    colormap(gca, cool); % Colormap tipo azul
end

%% Paso 7.8: Scatter3 adicional usando dataset externo con tiempo
% -----
% Este bloque asume que tienes otro archivo CSV con las mismas columnas
% (VDS, VGS, ID, etc.) y una primera columna correspondiente al tiempo.
% -----

% --- Detección rápida del bloque "Variables" y "Values"
NoPoints_t = 0; NoVar_t = 0; IVar_t = 0; IVal_t = 0;

for i = 1:length(data_time)
    if ischar(data_time{i}) || isstring(data_time{i})
        line = string(data_time{i});
        if contains(line, 'No. Points:')
            NoPoints_t = str2double(extractAfter(line, ': '));
        elseif contains(line, 'No. Variables:')
            NoVar_t = str2double(extractAfter(line, ': '));
        elseif strcmp(line, 'Variables:')
            IVar_t = i;
        elseif strcmp(line, 'Values:')
            IVal_t = i;
        end
    end
end

% --- Construcción de tabla de valores del dataset de tiempo
NomEje_t = strings(1, NoVar_t);
for i = 1:NoVar_t

```

```

    rawname = string(data_time{IVar_t + i, 3});
    rawname = strtrim(lower(rawname));
    ini = strfind(rawname, '(');
    fin = strfind(rawname, ')');
    if ~isempty(ini) && ~isempty(fin) && ini < fin
        NomEje_t(i) = extractBetween(rawname, ini+1, fin-1);
    else
        NomEje_t(i) = rawname;
    end
end

Values_t = zeros(NoPoints_t, NoVar_t);
for i = 1:NoVar_t
    bloque = data_time(IVal_t + i : NoVar_t : IVal_t + ...
        NoVar_t*(NoPoints_t-1) + i, 2);
    Values_t(:, i) = cellfun(@double, bloque);
end
TableTime = array2table(Values_t, 'VariableNames', NomEje_t);

% --- Selección de columnas: 2=VDS, 3=VGS, 4=ID, 1=TIME
x_t = TableTime.(NomEje_t{2});
y_t = TableTime.(NomEje_t{3});
z_t = TableTime.(NomEje_t{4});
time_color = TableTime.(NomEje_t{1});

% --- Filtrado de valores válidos
mask_t = isfinite(x_t) & isfinite(y_t) & isfinite(z_t) & isfinite(time_color);
x_t = x_t(mask_t);
y_t = y_t(mask_t);
z_t = z_t(mask_t);
time_color = time_color(mask_t);

% --- Scatter3 adicional (superpuesto, dataset de tiempo con tamaño variable)
figure(gcf); hold on;

% Determinar rango temporal
tmin = min(time_color);
tmax = max(time_color);

```

```
periodo = tmax - tmin;

% Normalizar tiempo [0, 1]
t_norm = (time_color - tmin) / periodo;

% Definir tamaño variable (por ejemplo, sinusoidal o lineal)
size_min = 25;    % tamaño mínimo
size_max = 80;    % tamaño máximo

% Ejemplo 1: Tamaño lineal (crece con el tiempo)
%size_vec = size_min + (size_max - size_min) * t_norm;

% Ejemplo 2: (alternativo) Tamaño oscilante sinusoidal
size_vec = size_min + (size_max - size_min) * 0.5 * (1 + sin(2*pi*t_norm));

% Graficar scatter con tamaño y color variables
scatter3(x_t, y_t, z_t, size_vec, time_color, 'filled', ...
    'MarkerEdgeColor', [0.1 0.1 0.1], ...
    'MarkerFaceAlpha', 0.9, ...
    'MarkerEdgeAlpha', 0.6);

colormap(gca, turbo);
cb2 = colorbar;
ylabel(cb2, sprintf('%s (tiempo)', NomEje_t{1}), 'Interpreter', 'none');

% Etiquetas cada 1/p del periodo
p = 50;
secciones = linspace(0, 1/0.96e9, p+1);
colores_label = jet(p);
for i = 1:p
    idx = time_color >= secciones(i) & time_color < secciones(i+1);
    if any(idx)
        mid_idx = find(idx);
        mid_idx = mid_idx(round(numel(mid_idx)/2));
        x_p = x_t(mid_idx); y_p = y_t(mid_idx); z_p = z_t(mid_idx);
        frac = (i-1)/p;
        text(x_p, y_p, z_p, sprintf(' t = %.2fT', frac), ...
            'FontWeight','bold', 'FontSize',5, ...
```

```

        'Color', colores_label(i,:), 'Interpreter','none');
    end
end

%% Paso 8: Curvas de barrido Vgs y Vds
tol_group = 1e-6 * max(abs([x_max, y_max, 1]));
curveLW = 1.8; label_every = 4;
curveColor_vgs = [0 0 0];
curveColor_vds = [0 0.2 0.6];

% --- 8.1 Curvas Id vs Vds (Vgs fijas)
unique_vgs = unique(round(y./tol_group).*tol_group);
for u = 1:numel(unique_vgs)
    vt = unique_vgs(u);
    idx = abs(y - vt) <= tol_group;
    if nnz(idx) >= 2
        [xs_sorted, ord] = sort(x(idx));
        zs_sorted = z(idx); zs_sorted = zs_sorted(ord);
        plot3(xs_sorted, repmat(vt,size(xs_sorted)), zs_sorted, '-', ...
            'LineWidth', curveLW, 'Color', curveColor_vgs);
        if mod(u-1, label_every) == 0
            text(xs_sorted(end), vt, zs_sorted(end), ...
                sprintf(' %s=%.3g', NomEje{3}, vt),'Color', ...
                curveColor_vgs, 'FontWeight','bold', 'FontSize',8, ...
                'Interpreter','none');
        end
    end
end

% --- 8.2 Curvas Id vs Vgs (Vds fijas)
unique_vds = unique(round(x./tol_group).*tol_group);
for u = 1:numel(unique_vds)
    vt = unique_vds(u);
    idx = abs(x - vt) <= tol_group;
    if nnz(idx) >= 2
        [ys_sorted, ord] = sort(y(idx));

```

```

        zs_sorted = z(idx); zs_sorted = zs_sorted(ord);
        plot3(repmat(vt,size(ys_sorted)), ys_sorted, zs_sorted, '- ', ...
            'LineWidth', curveLW, 'Color', curveColor_vds);
        if mod(u-1, label_every) == 0
            text(vt, ys_sorted(end), zs_sorted(end), sprintf(' %s=%.3g', NomEje{2}, vt), ...
                'Color', curveColor_vds, 'FontWeight','bold', 'FontSize',8, ...
                'Interpreter','none');
        end
    end
end

%% Paso 9: Etiquetas, límites y formato
zlim(zlim_sym);
vmin = min(vthn); vmax = max(vthn);
if vmin == vmax, vmin = vmin - 1e-6; vmax = vmax + 1e-6; end
clim([vmin, vmax]); colormap(cool);

% Etiqueta del colorbar según la variable seleccionada en Paso 5
if exist('idx_color','var') && idx_color >= 1 && idx_color <= numel(NomEje)
    color_label = NomEje{idx_color};
elseif ismember('vthn', lower(string(TableValues.Properties.VariableNames)))
    color_label = 'vthn';
else
    % fallback: usar nombre de la variable usada en vthn_all (si existe en NomEje)
    % intentamos encontrar su nombre en NomEje comparando valores aproximados
    color_label = 'color';
end

cb = colorbar;
ylabel(cb, color_label, 'Interpreter', 'none');

% Extraer dimensiones L/W del nombre del archivo
pattern = '[Ll]\s*([0-9]+(?:[-\.] [0-9]+)?)\s* ...
[uUnNmM]*([A-Za-z0-9]*[Ww]\s*([0-9]+(?:[-\.] [0-9]+)?)\s*';
tok_pw = regexp(base, pattern, 'tokens', 'once');
if ~isempty(tok_pw)
    Lstr = sprintf('L=%su', strrep(tok_pw{1}, '-', '.'));

```

```

        Wstr = sprintf('W=%su', strrep(tok_pw{2}, '-', '.'));
    else
        Lstr = 'L=unknown'; Wstr = 'W=unknown';
    end

    title(sprintf('%s%s | Type: %s | %s %s', base, ext, deviceType, Lstr, ...
        Wstr), 'Interpreter','none');
    xlabel(NomEje{2}, 'Interpreter','none');
    ylabel(NomEje{3}, 'Interpreter','none');
    zlabel(NomEje{4}, 'Interpreter','none');
    grid on; box on; view(45,25);
    set(gca, 'FontSize',12, 'LineWidth',1);
    hold off;

    fprintf('--- Gráfico completado correctamente ---\n');

```

B.4. Modelamiento del Rectificador CCDD

```

clc; clear; close all

%% =====
%% PARÁMETROS
%% =====

geom.w = 0.15e-6;
geom.l = 0.13e-6;

phys.eps0 = 8.854e-12;
phys.epsrox = 3.9;
phys.epsox = phys.epsrox * phys.eps0;
phys.tox = 2.2404e-9;
phys.mu_n = 0.035;
phys.T = 300;
phys.k = 1.380649e-23;
phys.q = 1.602176634e-19;

elec.Cox_p = phys.epsox / phys.tox;
elec.Cox = elec.Cox_p * geom.w * geom.l;

```

```
elec.Kn      = phys.mu_n * elec.Cox_p;

elec.VT      = phys.k * phys.T / phys.q;
elec.n       = 1.05;
elec.ID0     = 1e-7;
elec.VTH     = 0.442;

elec.VA      = 17;
elec.lambda  = 1 / elec.VA;

cap.Cgs_ov   = 9.99e-17;
cap.Cgd_ov   = 9.27e-17;
cap.Cch      = elec.Cox;

params.ID0    = elec.ID0;
params.m      = 1;
params.w      = geom.w;
params.l      = geom.l;
params.n      = elec.n;
params.VT     = elec.VT;
params.VTH    = elec.VTH;
params.Kn     = elec.Kn*0.35;
params.lambda = elec.lambda;

params.C       = 1e-12;
params.R       = 100e3;

params.Cox     = elec.Cox_p;
params.Cov     = (cap.Cgs_ov + cap.Cgd_ov) / (2*geom.w);

params.delta   = 0.01;
params.fo      = 900e6;

p = params;

%% =====
```

```

%% SIMULACIÓN DE RESPUESTA TEMPORAL (VRF = 1 V)
%% =====

VRF_values = 1;
tspan = [0 400e-9];
Vout0 = 0;

for k = 1:length(VRF_values)

    Vp = VRF_values(k);
    T = 1/p.fo;

    opts = odeset('RelTol',1e-8,'AbsTol',1e-8,'MaxStep',T/40);

    [t,Vout] = ode45(@(t,Vout) dVout_dt(t,Vout,Vp,p),tspan,Vout0,opts);

    VRF_vals = Vp*sin(2*pi*p.fo*t);
    dVRF_vals = 2*pi*p.fo*Vp*cos(2*pi*p.fo*t);

    % Inicializar vectores
    Icond_pos_vec = zeros(size(t));
    Icond_neg_vec = zeros(size(t));
    Iout_pos      = zeros(size(t));
    Iout_neg      = zeros(size(t));
    Ipump_pos     = zeros(size(t));
    Ipump_neg     = zeros(size(t));

    for i = 1:length(t)
        dV = dVout_dt(t(i),Vout(i),Vp,p);

        % Corrientes de conducción
        VGS_pos = VRF_vals(i);
        VDS_pos = (VRF_vals(i) - Vout(i))/2;
        Icond_pos = calc_Icond(VGS_pos,VDS_pos,p);

        VGS_neg = -VRF_vals(i);
        VDS_neg = (-VRF_vals(i) - Vout(i))/2;
        Icond_neg = calc_Icond(VGS_neg,VDS_neg,p);
    end
end

```

```

% Guardar en vectores
Icond_pos_vec(i) = sign(VDS_pos)*Icond_pos;
Icond_neg_vec(i) = sign(VDS_neg)*Icond_neg;

% Corrientes de bombeo
[Iump_pos(i), Iump_neg(i)] = ...
    calc_Iump_split(VRF_vals(i),Vout(i),dVRF_vals(i),dV,p);

% Corriente total consistente
Iout_pos(i) = sign(VDS_pos)*(Icond_pos - Iump_pos(i));
Iout_neg(i) = sign(VDS_neg)*(Icond_neg - Iump_neg(i));
end

mask = t >= max(t)-3*T;

figure;

% --- Vout y VRF ---
subplot(4,1,1); hold on; grid on
plot(t(mask), Vout(mask), 'b', 'LineWidth', 1.2)
plot(t(mask), VRF_vals(mask), 'r--', 'LineWidth', 1.2)
title('V_{out} y V_{RF}')
xlabel('Tiempo [s]'); ylabel('Voltaje [V]')
legend('V_{out}','V_{RF}')

% --- Corrientes de conducción del canal (Icond) ---
subplot(4,1,2); hold on; grid on
plot(t(mask), Icond_pos_vec(mask), 'b', 'LineWidth', 1.2)
plot(t(mask), Icond_neg_vec(mask), 'r', 'LineWidth', 1.2)
title('I_{cond} (corriente de canal)')
xlabel('Tiempo [s]'); ylabel('Corriente [A]')
legend('I_{cond}^{+}','I_{cond}^{-}')

% --- Corrientes de bombeo (Iump) ---
subplot(4,1,3); hold on; grid on
plot(t(mask), Iump_pos(mask), 'b', 'LineWidth', 1.2)
plot(t(mask), Iump_neg(mask), 'r', 'LineWidth', 1.2)

```

```

    title('I_{pump} (corriente capacitiva)')
    xlabel('Tiempo [s]'); ylabel('Corriente [A]')
    legend('I_{pump}^{+}','I_{pump}^{-}')

    % --- Corriente total de salida (Iout) ---
    subplot(4,1,4); hold on; grid on
    plot(t(mask), Iout_pos(mask)+Iout_neg(mask), 'k', 'LineWidth', 1.5)
    title('I_{out} total')
    xlabel('Tiempo [s]'); ylabel('Corriente [A]')
    legend('I_{out}')
end

%% =====
%% RESPUESTA DE Vout PARA DISTINTAS AMPLITUDES DE VRF
%% =====

VRF_values = 0.4:0.05:1; % amplitudes de VRF
tspan = [0 400e-9];
Vout0 = 0;

figure; hold on; grid on
title('Respuesta de V_{out} para distintas amplitudes de V_{RF}')
xlabel('Tiempo [s]'); ylabel('V_{out} [V]')

for k = 1:length(VRF_values)
    Vp = VRF_values(k);
    T = 1/p.fo;
    opts = odeset('RelTol',1e-8,'AbsTol',1e-8,'MaxStep',T/40);
    [t,Vout] = ode45(@(t,Vout) dVout_dt(t,Vout,Vp,p),tspan,Vout0,opts);
    plot(t,Vout,'LineWidth',1.2,...
        'DisplayName',sprintf('V_{RF}=%.2f V',Vp));
end

legend('show','Location','best')

%% =====

```

```

%% OPTIMIZACIÓN DE ENERGÍA EN TRAYECTORIA VGS=sin(t)
%% =====

t = linspace(0, 2*pi, 1000); % un ciclo
VGS_t = sin(t); % trayectoria VGS(t)

VOUT_values = linspace(-1, 0.9, 100);
E_values = zeros(size(VOUT_values));

for k = 1:length(VOUT_values)
    VOUT = VOUT_values(k);
    VDS_t = (VGS_t - VOUT)/2;
    I_t = calc_Icond(VGS_t, VDS_t, p);
    P_t = VDS_t .* I_t;
    E_values(k) = trapz(t, P_t);
end

[Emin, idx_min] = min(E_values);
VOUT_opt = VOUT_values(idx_min);

figure;
plot(VOUT_values, E_values, 'LineWidth', 2);
hold on;
plot(VOUT_opt, Emin, 'ro', 'MarkerSize', 8, 'MarkerFaceColor', 'r');
xlabel('VOUT (V)');
ylabel('Energía por ciclo (J)');
title('Optimización de energía en trayectoria VGS=sin(t), VDS=(VGS-VOUT)/2');
legend('Energía vs VOUT', 'Mínimo encontrado');
grid on;

fprintf('El valor óptimo de VOUT es %.3f V, con energía mínima %.3e J\n', VOUT_opt, Emin);

%% =====
%% MAPA DE POTENCIA DEL CANAL (PDS = VDS*IDS)
%% =====

VDS = linspace(0, 1, 200);
VGS = linspace(0, 1, 200);

```

```

[X, Y] = meshgrid(VDS, VGS);

Icond = calc_Icond(Y, X, p);
P      = Icond .* X;

% Máscaras de operación
maskWI  = (Y < p.VTH);
maskLIN = (Y > p.VTH) & (X < (Y - p.VTH));
maskSAT = (Y > p.VTH) & (X >= (Y - p.VTH));

% Potencias activas
P_WI = zeros(size(X)); P_WI(maskWI) = P(maskWI);
P_LIN = zeros(size(X)); P_LIN(maskLIN) = P(maskLIN);
P_SAT = zeros(size(X)); P_SAT(maskSAT) = P(maskSAT);

% Gráfico combinado
figure;
surf(X, Y, P_WI, 'FaceColor','blue','FaceAlpha',0.7); hold on;
surf(X, Y, P_LIN, 'FaceColor','green','FaceAlpha',0.7);
surf(X, Y, P_SAT, 'FaceColor','red','FaceAlpha',0.7);
xlabel('VDS'); ylabel('VGS'); zlabel('Potencia (W)');
title('Potencia en WI, LIN y SAT (activas en sus rangos)');
legend('WI: VGS<VTH','LIN: VGS>VTH, VDS<VGS-VTH','SAT: VGS>VTH, VDSVGS-VTH');
shading interp; colorbar;

%% =====
%% OPTIMIZACIÓN DE ENERGÍA USANDO Vout(t) DE LA EDO
%% =====

W_values = linspace(0.15e-6, 1e-6, 10); % de 0.15 µm a 1 µm
E_values_W = zeros(size(W_values));

tspan = [0 400e-9];
Vout0 = 0;
Vp = 1; % amplitud de VRF (puedes ajustar)

for j = 1:length(W_values)
    p.w = W_values(j); % actualizar ancho

```

```

% Resolver EDO para este W
T = 1/p.fo;
opts = odeset('RelTol',1e-8,'AbsTol',1e-8,'MaxStep',T/40);
[t,Vout] = ode45(@(t,Vout) dVout_dt(t,Vout,Vp,p),tspan,Vout0,opts);

% Trayectoria de VRF y VGS
VRF_vals = Vp*sin(2*pi*p.fo*t);
VGS_t     = VRF_vals;

% Trayectoria de VDS usando Vout(t)
VDS_t = (VGS_t - Vout)/2;

% Corriente instantánea
I_t = calc_Icond(VGS_t, VDS_t, p);

% Potencia instantánea
P_t = VDS_t .* I_t;

% Energía en el intervalo simulado
E_values_W(j) = trapz(t, P_t);
end

% Gráfico de energía vs ancho W
figure;
plot(W_values*1e6, E_values_W, 'b-o','LineWidth',1.5);
xlabel('Ancho W [ $\mu\text{m}$ ]');
ylabel('Energía por ciclo [J]');
title('Optimización de energía usando  $V_{\text{out}}(t)$  de la EDO');
grid on;

%% =====
%% DINÁMICA de Vout
%% =====

function dVout = dVout_dt(t,Vout,Vp,p)

```

```

VRF = Vp*sin(2*pi*p.fo*t);
dVRF = 2*pi*p.fo*Vp*cos(2*pi*p.fo*t);

% POS
VGS_pos = VRF;
VDS_pos = (VRF - Vout)/2;
Icond_pos = calc_Icond(VGS_pos,VDS_pos,p);
[Cgs_pos,Cgd_pos] = calc_caps(VGS_pos,VDS_pos,p);

% NEG
VGS_neg = -VRF;
VDS_neg = (-VRF - Vout)/2;
Icond_neg = calc_Icond(VGS_neg,VDS_neg,p);
[Cgs_neg,Cgd_neg] = calc_caps(VGS_neg,VDS_neg,p);

Iout_pos = sign(VDS_pos)*(Icond_pos - (Cgs_pos+0.5*Cgd_pos)*dVRF);
Iout_neg = sign(VDS_neg)*(Icond_neg + (Cgs_neg+0.5*Cgd_neg)*dVRF);

Ce = p.C + (sign(VDS_pos)*0.5*Cgd_pos + sign(VDS_neg)*0.5*Cgd_neg);

dVout = (Iout_pos + Iout_neg - Vout/p.R) ./ Ce;

end

%% =====
%% Iump
%% =====

function [Iump_pos, Iump_neg] = calc_Iump_split(VRF,Vout,dVRF,dVout,p)

% --- POS ---
VGS_pos = VRF;
VDS_pos = (VRF - Vout)/2;
[Cgs_pos,Cgd_pos] = calc_caps(VGS_pos,VDS_pos,p);

Iump_pos = Cgs_pos.*dVRF ...
           + 0.5*Cgd_pos.*dVRF ...

```

```

        - 0.5*Cgd_pos.*dVout;

% --- NEG ---
VGS_neg = -VRF;
VDS_neg = (-VRF - Vout)/2;
[Cgs_neg,Cgd_neg] = calc_caps(VGS_neg,VDS_neg,p);

Iump_neg = Cgs_neg.*dVRF ...
          + 0.5*Cgd_neg.*dVRF ...
          - 0.5*Cgd_neg.*dVout;

end

%% =====
%% MODELO DE CONDUCCIÓN MOS
%% =====

function Icond = calc_Icond(VGS,VDS,p)
    VGT = VGS - p.VTH;

    % Weak inversion
    I_WI = p.ID0 * p.m * (p.w/p.l) .* ...
          exp(VGT./(p.n*p.VT)) .* ...
          (1 - exp(-abs(VDS)./(p.n*p.VT)));
    I_WI_max = p.ID0 * p.m * (p.w/p.l) .* ...
              exp(0) .* ...
              (1 - exp(-abs(VDS)./(p.n*p.VT)));
    I_WI = min(max(I_WI,0),I_WI_max);

    if VDS < 0
        I_WI = min(max(I_WI,0),I_WI_max);
    end

    % Strong inversion linear
    I_LIN = p.Kn * p.m * (p.w/p.l) .* ...

```

```

        max(VGT,1e-15) .* abs(VDS) .* ...
        (1 - VDS./(2*max(VGT,1e-15)));
I_LIN_max = 0.5 * p.Kn * p.m * (p.w/p.l).*max(VGT,0).^2;

if VDS >= max(VGT,0)
    I_LIN = I_LIN_max;
end
I_LIN = max(I_LIN,0);

% Saturation
I_SAT = I_LIN_max .* (1 + p.lambda .* abs(VDS));
I_SAT = max(I_SAT,0);

% Blending continuo
w_WI = 1 ./ (1 + exp( VGT ./ p.delta ));
w_SI = 1 - w_WI;
w_LIN = 1 ./ (1 + exp( (abs(VDS) - VGT) ./ p.delta ));
w_SAT = 1 - w_LIN;

Icond = w_WI .* I_WI + w_SI .* ( w_LIN .* I_LIN + w_SAT .* I_SAT );
Icond(~isfinite(Icond)) = 0;
Icond = max(Icond,0);
end

%% =====
%% MODELO DE CAPACITANCIAS
%% =====

function [Cgs,Cgd] = calc_caps(VGS,VDS,p)

VGT = VGS - p.VTH;

% Pesos de blending
w_WI = 1 ./ (1 + exp( VGT ./ (p.delta+0.001+0.1) ));
w_SI = 1 - w_WI;
w_LIN = 1 ./ (1 + exp( (abs(VDS) - VGT) ./ (p.delta+0.001+0.1) ));
w_SAT = 1 - w_LIN;

```

```

% Parámetros de capacitancia
Cox_area = p.Cox;
Cch = p.w * p.l * Cox_area;
CovW = p.Cov * p.w;

% Modelos por región
Cgs_WI = CovW;
Cgd_WI = CovW;

Cgs_LIN = 0.5 * Cch + CovW;
Cgd_LIN = 0.5 * Cch + CovW;

Cgs_SAT = (2/3) * Cch + CovW;
Cgd_SAT = CovW;

% Blending continuo
Cgs = w_WI .* Cgs_WI + w_SI .* ( w_LIN .* Cgs_LIN + w_SAT .* Cgs_SAT );
Cgd = w_WI .* Cgd_WI + w_SI .* ( w_LIN .* Cgd_LIN + w_SAT .* Cgd_SAT );

% Correcciones numéricas
Cgs(~isfinite(Cgs)) = 0;
Cgd(~isfinite(Cgd)) = 0;

Cgs = max(Cgs,0);
Cgd = max(Cgd,0);

end

```

B.5. Código Extracción de Datos de Simulación

```

clear; clc;

%% =====
% Carpeta de trabajo
%% =====
folder = 'D:\Programas\usm-vlsi-tools-main\Proyectos\Memoria\CCDD_Carga';

%% =====

```

```

% Lista de archivos CSV a procesar
%% =====
fileList = {
    'Memoria_CCDD_TRAN_MULT2_L00-13_W00-15_R10kM20.csv'
    '%Memoria_CCDD_TRAN_L00-13_W00-15_R100kM20E.csv'
    '%Memoria_CCDD_TRAN_L00-15_W00-16_R100kM20E.csv'
    '%Memoria_CCDD_TRAN_L00-15_W00-15_R100kM20E.csv'
    '%Memoria_CCDD_TRAN_L00-30_W00-15_R100kM5.csv'
    '%Memoria_CCDD_TRAN_L00-30_W00-15_R100kM10.csv'
    '%Memoria_CCDD_TRAN_L00-30_W00-15_R100kM20.csv'
    '%Memoria_CCDD_TRAN_L00-30_W00-16_R100kM1.csv'
    '%Memoria_CCDD_TRAN_L00-30_W00-16_R100kM5.csv'
    '%Memoria_CCDD_TRAN_L00-30_W00-16_R100kM10.csv'
    '%Memoria_CCDD_TRAN_L00-30_W00-16_R100kM20.csv'
    '%Memoria_CCDD_TRAN_L00-30_W00-22_R100kM1.csv'
    '%Memoria_CCDD_TRAN_L00-30_W00-22_R100kM5.csv'
    '%Memoria_CCDD_TRAN_L00-30_W00-22_R100kM10.csv'
    '%Memoria_CCDD_TRAN_L00-30_W00-22_R100kM20.csv'
    '%Memoria_CCDD_TRAN_L00-30_W01-00_R100kM1.csv'
    '%Memoria_CCDD_TRAN_L00-30_W01-00_R100kM5.csv'
    '%Memoria_CCDD_TRAN_L00-30_W01-00_R100kM10.csv'
    '%Memoria_CCDD_TRAN_L00-30_W01-00_R100kM20.csv'
};

fprintf('Se encontraron %d archivos CSV en la lista.\n', numel(fileList));

%% =====
% PARTE 1: Convertir CSV → MAT
%% =====
for f = 1:numel(fileList)
    filename = fullfile(folder, fileList{f});
    fprintf('\nProcesando CSV: %s\n', filename);

    % Leer archivo
    data = readcell(filename);

    % Detectar bloques
    IVar_all = find(strcmp(data(:,1), 'Variables:'));

```

```

IVal_all = find(strcmp(data(:,1),'Values:'));
nBlocks = min(length(IVar_all), length(IVal_all));
fprintf(' Bloques detectados: %d\n', nBlocks);

% Procesar cada bloque
results = cell(1,nBlocks);
for b = 1:nBlocks
    IVar = IVar_all(b);
    IVal = IVal_all(b);

    % Número de variables y puntos
    NoVar = 0; NoPoints = 0;
    for j = IVar-5:IVar-1
        if ischar(data{j}) || isstring(data{j})
            line = string(data{j});
            if contains(line,'No. Variables:')
                NoVar = str2double(extractAfter(line,':'));
            elseif contains(line,'No. Points:')
                NoPoints = str2double(extractAfter(line,':'));
            end
        end
    end

    % Nombres de variables
    NomEje = strings(1,NoVar+1);
    NomEje(1) = "index";
    for i = 1:NoVar
        Nom = data{IVar+i,3};
        rawname = lower(string(Nom));
        ini = strfind(rawname,'('); fin = strfind(rawname,')');
        if ~isempty(ini) && ~isempty(fin) && ini < fin
            NomEje(i+1) = extractBetween(rawname,ini+1,fin-1);
        else
            NomEje(i+1) = rawname;
        end
    end

    % Reconstrucción de valores

```

```

        vals = zeros(NoPoints, NoVar+1);
        for p = 1:NoPoints
            base = IVal + 1 + (p-1)*NoVar;
            idxCell = data{base,1};
            if isnumeric(idxCell)
                vals(p,1) = idxCell;
            else
                vals(p,1) = p-1;
            end
            for j = 1:NoVar
                rowIdx = base + (j-1);
                valCell = data{rowIdx,2};
                if isnumeric(valCell)
                    vals(p,j+1) = valCell;
                else
                    vals(p,j+1) = str2double(string(valCell));
                end
            end
        end
        end

        results{b}.NomEje = NomEje;
        results{b}.vals = vals;
    end

    % Guardar resultados en archivo .mat
    [~, name, ~] = fileparts(filename);
    outname = strrep(name, 'Memoria', 'Resultados');
    outfile = fullfile(folder, [outname, '.mat']);
    save(outfile, 'results');
    fprintf(' Resultados guardados en: %s\n', outfile);
end

%% =====
% PARTE 2: Construir all_results.mat
%% =====
clearvars -except folder;
clc;

```

```
matFiles = dir(fullfile(folder,'Resultados_CCDD_TRAN_*.mat'));
fprintf('\nSe encontraron %d archivos .mat\n', numel(matFiles));

T = 1/900e6; % período fundamental de la señal RF
allResults = struct();

for f = 1:numel(matFiles)
    filename = fullfile(folder, matFiles(f).name);
    fprintf('Procesando MAT: %s\n', filename);

    load(filename,'results');
    nBlocks = numel(results);

    Pin_avg_all = zeros(1,nBlocks);
    Pout_avg_all = zeros(1,nBlocks);
    Vout_avg_all = zeros(1,nBlocks);
    VRF_max_all = zeros(1,nBlocks);

    for b = 1:nBlocks
        time = results{b}.vals(:,2);
        idx_vrf = find(results{b}.NomEje=="vrf");
        idx_irf = find(results{b}.NomEje=="irf");
        idx_vout = find(results{b}.NomEje=="vout");
        idx_ir = find(results{b}.NomEje=="ir");

        Vrf = results{b}.vals(:,idx_vrf);
        Irf = results{b}.vals(:,idx_irf);
        Vout = results{b}.vals(:,idx_vout);
        Ir = results{b}.vals(:,idx_ir);

        % Último período
        t_end = max(time);
        mask = (time >= t_end - T);
        Vout_T = Vout(mask);
        Vrf_T = Vrf(mask);

        % Promedios en Watts
        Pin_avg_all(b) = abs((1/T) * trapz(time(mask), Vrf(mask).*Irf(mask)));
    end
end
```

```

        Pout_avg_all(b) = (1/T) * trapz(time(mask), Vout(mask).*Ir(mask));
        Vout_avg_all(b) = mean(Vout_T);
        VRF_max_all(b) = round(max(abs(Vrf_T)),2);
    end

    % Guardar resultados en estructura
    allResults(f).file      = matFiles(f).name;
    allResults(f).Pin       = Pin_avg_all;
    allResults(f).Pout      = Pout_avg_all;
    allResults(f).Vout      = Vout_avg_all;
    allResults(f).VRFmax    = VRF_max_all;
    allResults(f).PCE       = Pout_avg_all ./ Pin_avg_all;
    allResults(f).Pin_dBm   = 10*log10(Pin_avg_all*1000);
    allResults(f).Pout_dBm  = 10*log10(Pout_avg_all*1000);
end

outfile = fullfile(folder,'all_Results.mat');
save(outfile,'allResults');
fprintf('\nArchivo combinado guardado en: %s\n', outfile);

%% =====
% PARTE 3: Comprobación de Cálculos
%% =====

clearvars -except folder;
clc;

% Cargar resultados combinados
infile = fullfile(folder,'all_Results.mat');
load(infile,'allResults');

fprintf('\nComprobando cálculos de: %s\n', infile);

% Iterar sobre cada archivo procesado
for f = 1:numel(allResults)
    figure('Name',['Comprobación: ', allResults(f).file], 'NumberTitle','off');

```

```
% Subplot 1: Pin vs Pout en Watts
subplot(2,2,1);
plot(allResults(f).Pin,'-o','LineWidth',1.5); hold on;
plot(allResults(f).Pout,'-s','LineWidth',1.5);
xlabel('Bloque'); ylabel('Potencia [W]');
legend('Pin','Pout','Location','best');
title('Potencias promedio (último período)');
grid on;

% Subplot 2: PCE
subplot(2,2,2);
plot(allResults(f).PCE,'-d','LineWidth',1.5,'Color',[0.2 0.6 0.2]);
xlabel('Bloque'); ylabel('Eficiencia');
title('Power Conversion Efficiency (PCE)');
grid on;

% Subplot 3: Potencias en dBm
subplot(2,2,3);
plot(allResults(f).Pin_dBm,'-o','LineWidth',1.5); hold on;
plot(allResults(f).Pout_dBm,'-s','LineWidth',1.5);
xlabel('Bloque'); ylabel('Potencia [dBm]');
legend('Pin','Pout','Location','best');
title('Potencias en dBm');
grid on;

% Subplot 4: Vout promedio y VRF máximo
subplot(2,2,4);
yyaxis left;
plot(allResults(f).Vout,'-^','LineWidth',1.5,'Color',[0 0.4 0.8]);
ylabel('Vout promedio [V]');
yyaxis right;
plot(allResults(f).VRFmax,'-v','LineWidth',1.5,'Color',[0.8 0 0]);
ylabel('VRF máximo [V]');
xlabel('Bloque');
title('Voltajes característicos');
legend('Vout avg','VRF max','Location','best');
grid on;
end
```

```
%% =====
% PARTE 3B: Comprobación de Vout y Vrf
%% =====

clearvars -except folder;
clc;

% Cargar resultados combinados
infile = fullfile(folder,'all_Results.mat');
load(infile,'allResults');

% Seleccionar archivo específico
targetFile = 'Resultados_CCDD_TRAN_MULT2_L00-13_W00-15_R25kM20.mat';
fprintf('\nComprobando Vout y Vrf de: %s\n', targetFile);

% Buscar índice del archivo en allResults
idxFile = find(strcmp({allResults.file}, targetFile));
if isempty(idxFile)
    error('El archivo %s no está en all_Results.mat', targetFile);
end

% Cargar resultados originales para acceder a las formas de onda
load(fullfile(folder,targetFile),'results');
nBlocks = numel(results);

for b = 1:nBlocks
    time = results{b}.vals(:,2);
    idx_vout = find(results{b}.NomEje=="vout");
    idx_vrf = find(results{b}.NomEje=="vrf");

    Vout = results{b}.vals(:,idx_vout);
    Vrf = results{b}.vals(:,idx_vrf);

    % Promedio ya calculado en allResults
    Vout_avg = allResults(idxFile).Vout(b);

    figure('Name', ['Bloque ', num2str(b), ' - ', targetFile], 'NumberTitle','off');
```

```
% Graficar Vout(t), Vout promedio y Vrf(t) en la misma figura
plot(time, Vout,'LineWidth',1.5,'Color',[0 0.4 0.8]); hold on;
yline(Vout_avg,'--r','LineWidth',1.5);
plot(time, Vrf,'LineWidth',1.2,'Color',[0.8 0 0]);

xlabel('Tiempo [s]'); ylabel('Voltaje [V]');
legend('Vout(t)','Vout promedio','Vrf(t)','Location','best');
title(['Bloque ',num2str(b),' - Vout y Vrf']);
grid on;
end
```